

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Локтионова Оксана Геннадьевна

Должность: проректор по учебной работе

Дата подписания: 03.05.2021 10:59:19

Уникальный программный ключ:

0b817ca911e6668abb13a5d426d39e5f1c11eabbf73e943d14a4851fda56d089

## МИНОБРАЗОВАНИЯ РОССИИ

Федеральное государственное бюджетное образовательное  
учреждение высшего образования  
«Юго-Западный государственный университет»  
(ЮЗГУ)

Кафедра вычислительной техники

УТВЕРЖДАЮ

Проректор по учебной работе

О.У. Локтионова  
« 15 » 01 2021 г.



## МУЛЬТИПЛЕКСОРЫ И ДЕШИФРАТОРЫ

Методические указания по выполнению лабораторной работы  
для студентов направления подготовки 09.03.01

Курск 2021

УДК 681.3.049.77

Составитель: И.Е. Чернецкая, В.И. Иванов

Рецензент

Кандидат технических наук, доцент *Ю.А. Халин*

**Мультиплексоры и дешифраторы:** методические указания по выполнению лабораторной работы для студентов направления подготовки 09.03.01 / Юго-Зап. гос. ун-т; сост.: И.Е. Чернецкая, В.И. Иванов. – Курск, 2021. – 16 с.: Библиогр.: с. 16.

Содержат основные сведения о принципах организации мультиплексоров и дешифраторов, а также методы реализации логических устройств на их основе. Изложены рекомендации по применению программы моделирования электронных схем при выполнении исследований устройств на мультиплексорах и дешифраторах.

Предназначены для студентов направления подготовки 09.03.01 очной и заочной форм обучения.

Текст печатается в авторской редакции

Подписано в печать *15.01.21* . Форма 60x84 1/16.

Усл. печ. л. 0,93. Уч.-изд.л. 0,84. Тираж 50 экз. Заказ. *226* Бесплатно  
Юго-Западный государственный университет.

305040, г. Курск, ул. 50 лет Октября, 94.

## Содержание

1 Цель работы	4
2 Принципы организации мультиплексоров и дешифраторов. Методика реализации логических функций на мультиплексорах и дешифраторах	4
3 Порядок выполнения работы	10
3.1 Разработка схемы и исследование логического устройства на базе мультиплексора	10
3.2 Разработка и исследование схемы логического устройства на базе дешифратора	12
4 Контрольные вопросы	15
5 Содержание отчета	15
Библиографический список	16



## **1 Цель работы**

Изучение принципов организации типовых функциональных узлов комбинационного типа: мультиплексоров и дешифраторов. Изучение методов реализации логических функций на мультиплексорах и дешифраторах. Получение навыков в сборке, наладке и исследовании схем.

## **2 Принципы организации мультиплексоров и дешифраторов. Методика реализации логических функций на мультиплексорах и дешифраторах**

Мультиплексором называется комбинационное устройство, предназначенное для коммутации в заданном порядке сигналов с нескольких входных шин на одну выходную шину. С помощью мультиплексора осуществляется временное разделение информации, поступающей по разным каналам к одному приемнику.

Входы мультиплексора делятся на информационные, адресные и разрешающие (стробирующие). На информационные входы подается информация, передаваемая на выход мультиплексора. Адресные входы обеспечивают выбор нужного информационного входа, а на разрешающий вход подается стробирующий сигнал, позволяющий подключить выбранный вход на один общий (реже два – прямой и инверсный) выход. Число информационных и адресных входов взаимосвязано. Если число адресных входов равно  $m$ , то с их помощью можно коммутировать  $2^m$  каналов, т.е. максимальное число информационных входов может быть равно  $2^m$ .

Разрешающий вход, как правило, один, а если их несколько, то сигнал на выходе мультиплексора появится только при наличии разрешающих сигналов на всех стробирующих входах. Наличие разрешающих входов позволяет синхронизировать работу мультиплексора с работой других узлов, а также наращивать его разрядность.

Работа мультиплексора описывается следующим логическим уравнением

$$F = E \cdot \bigcup_{i=0}^{2^m - 1} D_i S_i, \quad (1)$$

где  $D_i$  – входной сигнал на  $i$ -том информационном входе мультиплексора;  $S_i$  –  $i$ -й минтерм, образованный переменными на адресных входах;  $E$  – стробирующий сигнал.

Из уравнения (1) следует, что структура мультиплексора состоит из  $2^m$  конъюнкторов (схем И), каждый из которых имеет  $m$  адресных входов, по одному информационному и стробирующему входу, и одного дизъюнктора (схемы ИЛИ), объединяющего  $2^m$  выходов конъюнкторов. Выход дизъюнктора является выходом мультиплексора.

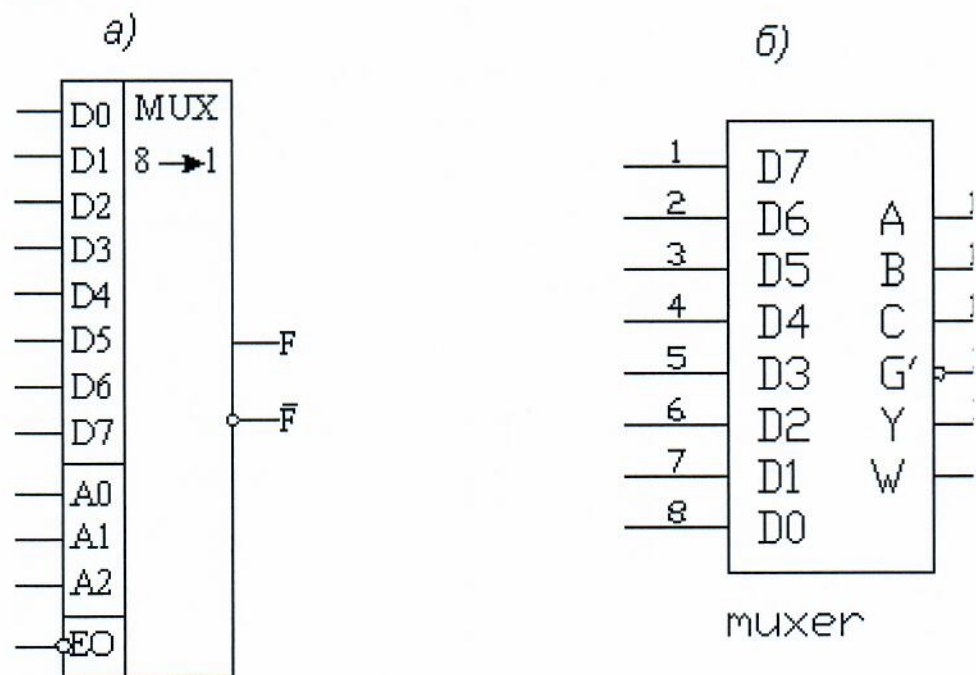


Рисунок 1 – Условные графические обозначения мультиплексора: по ГОСТ (а) и в системе DIN (б)

На рисунке 1 приведены условные графические обозначения интегральных микросхем (ИС) мультиплексора по ГОСТ (см. рисунок 1,а) и в системе DIN, которая применяется в программе моделирования электронных схем Electronics Workbench 5.0 (см. рисунок 1,б). На рисунке 1,б приняты следующие обозначения сигналов:  $D_0, \dots, D_7$  – информационные входы;  $A, B, C$  – адресные входы;  $G'$  – сигнал разрешения (инверсный);  $Y$  – прямой выход;  $W$  – инверсный выход.



Мультиплексоры, выпускаемые в виде отдельных ИС, имеют ограниченное число информационных входов (не более 16). Для увеличения числа входов мультиплексоры наращивают объединением нескольких мультиплексоров в пирамидальную (древовидную) или параллельную схему.

Пирамидальные схемы из интегральных мультиплексоров строятся по каскадному принципу. Число каскадов определяется требуемым числом входов проектируемого мультиплексора и числом входов реальных микросхем мультиплексоров.

На адресные входы мультиплексоров первого каскада подаются младшие разряды кода адреса. Выходы мультиплексоров первого каскада подаются на информационные входы микросхем второго каскада. На адресные входы ИС второго каскада подключаются следующие по старшинству разряды кода адреса. В последнем каскаде оказывается одна ИС мультиплексора, на информационные входы которой подключаются выходы всех мультиплексоров предыдущего яруса, а на адресные – старшие разряды кода адреса. При наличии стробирующих входов все они объединяются общей шиной. Недостатками пирамидальных структур являются повышенный расход микросхем и снижение быстродействия.

Если ИС мультиплексора имеет разрешающий вход, то за счет его использования как информационного можно нарастить разрядность, включая отдельные микросхемы параллельно. Кроме ИС мультиплексоров, требуется дешифратор. В этом случае разрешающие входы всех мультиплексоров подключаются к выходам дешифратора, на входы которого подаются старшие разряды кода адреса, а выходы всех мультиплексоров объединяются через схему ИЛИ. Быстродействие таких мультиплексоров существенно выше и не зависит от разрядности.

Мультиплексоры могут использоваться не только как коммутаторы информационных каналов, но и для других целей. Одна из перспективных областей их использования – реализация комбинационных логических схем, а в ряде случаев и последовательностных цифровых устройств. На мультиплексоре можно реализовать любую логическую функцию, содержащую до  $m$  переменных, где  $m$  – число адресных входов.

При реализации логической функции  $m$  переменных на мультиплексоре, имеющем  $m$  адресных входов, на



информационные входы  $D_i$  подают значения “0” или “1” согласно значениям функции на данном наборе. На адресные входы поступают входные переменные реализуемой функции в соответствии с уравнением (1):

$$A_0 = x_0, A_1 = x_1, \dots, A_{m-1} = x_{m-1},$$

где  $x_i$  – логические переменные;  $A_i$  – адресные входы мультиплексора.

При реализации на мультиплексоре с  $m$  адресными входами функции, содержащей  $m+1$  переменную, поступают следующим образом.

Пусть  $F(x_0, x_1, \dots, x_{m-1}, x_m)$  – некоторая переключательная функция. В соответствии с теоремой Шеннона [2] разложим функцию  $F$  по переменной  $x_m$ :

$$F(x_0, x_1, \dots, x_{m-1}, x_m) = F(x_0, x_1, \dots, x_{m-1}, 0) \vee F(x_0, x_1, \dots, x_{m-1}, 1).$$

Подфункции  $F(x_0, x_1, \dots, x_{m-1}, 0)$  и  $F(x_0, x_1, \dots, x_{m-1}, 1)$  на каждом  $i$ -м наборе переменных  $(x_0, x_1, \dots, x_{m-1})$  либо не зависят от значения переменной  $x_m$ , то есть равны “0” или “1”, либо равны значению  $x_m$ , либо равны ее инверсии  $\bar{x}_m$ .

Если значение заданной функции  $F(x_0, x_1, \dots, x_{m-1}, x_m)$  на  $i$ -м наборе переменных  $(x_0, x_1, \dots, x_{m-1})$  не зависит от аргумента  $x_m$ , то на  $i$ -й информационный вход подается константа “0” или “1”, если же зависит, то на соответствующий вход подается либо сигнал самой переменной  $x_m$ , либо ее инверсии  $\bar{x}_m$ .

В случае реализации функции от большего, чем  $m+1$ , количества переменных прибегают к специальным методам расширения количества входов.

Двоичными дешифраторами называются комбинационные логические устройства, имеющие  $n$  входов  $(X_0, X_1, \dots, X_{n-1})$  и  $N$  выходов  $(F_0, F_1, F_2, \dots, F_{N-1})$ , в которых каждому состоянию выходов однозначно соответствует одна из возможных комбинаций двоичных сигналов на входах. Если на входы дешифратора подается  $n$ -разрядное двоичное число, то на одном из его выходов вырабатывается сигнал единицы (нуля), а на остальных выходах сохраняется сигнал нуля (единицы). Максимальное число выходов дешифратора определяется величиной  $N = 2^n$ .

Дешифратор называется полным, если  $N = 2^n$ , и неполным, если  $N < 2^n$ .



В общем случае схема двоичного дешифратора может быть описана с помощью системы переключательных функций переменных следующего вида:

$$\begin{aligned}
 F_0 &= \overline{x_{n-1}} \leftrightarrow \overline{x_{n-2}} \dots \overline{x_1} \overline{x_0}; \\
 F_1 &= \overline{x_{n-1}} \leftrightarrow \overline{x_{n-2}} \dots \overline{x_1} x_0; \\
 F_2 &= \overline{x_{n-1}} \leftrightarrow \overline{x_{n-2}} \dots x_1 \overline{x_0}; \\
 &\dots \\
 F_{2^{n-2}} &= x_{n-1} x_{n-2} \dots x_1 \overline{x_0}; \\
 F_{2^{n-1}} &= x_{n-1} x_{n-2} \dots x_1 x_0,
 \end{aligned} \tag{2}$$

где  $x_0, x_1, \dots, x_{n-1}$  – двоичные переменные на соответствующих входах дешифратора,  $F_0, F_1, F_2 \dots, F_{2^{n-1}}$  – переключательные функции выходов дешифратора.

В зависимости от способа структурной реализации этих функций различают матричные и пирамидальные дешифраторы. Быстродействие дешифратора определяется суммарным временем задержки последовательно включенных логических элементов и зависит от количества ступеней дешифратора.

Схема матричного дешифратора строится на основании выражений (2), так что каждое уравнение системы реализуется отдельным логическим элементом. При построении неполных матричных дешифраторов возможно упрощение отдельных переключательных функций.

При построении матричного дешифратора на большое число входных переменных могут возникнуть трудности с реализацией схемы из-за ограничения числа входов у логических элементов, количества логических элементов на кристалле внутри корпуса ИС, а также количества внешних выводов ИС.

На рисунке 2 приведены условные графические изображения ИС дешифратора по нормам ГОСТ: с прямыми выходами и прямым сигналом разрешения (см. рисунок 2,а) и с инверсными выходными сигналами и инверсным сигналом разрешения (см. рисунок 2,б).



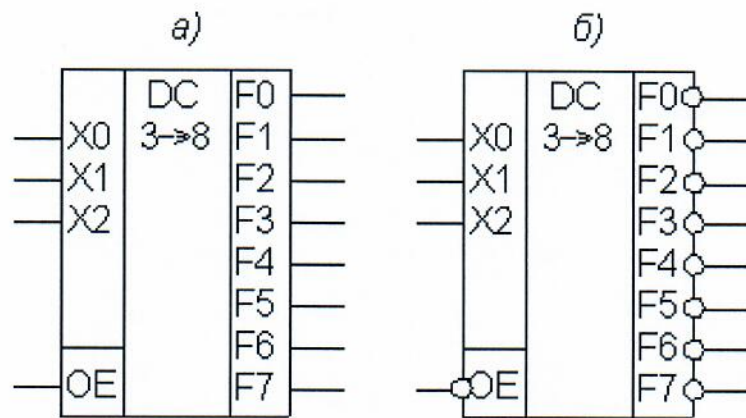


Рисунок 2 – Условные графические изображения ИС дешифратора по нормам ГОСТ

На рисунке 3 приведены условные графические изображения ИС дешифратора в соответствии со стандартом DIN: с прямыми выходами (см. рисунок 3,а) и с инверсными выходными сигналами (см. рисунок 3,б). В схеме на рисунке 3, а имеется три входа разрешения: один прямой (G1) и два инверсных (G2A' и G2B').

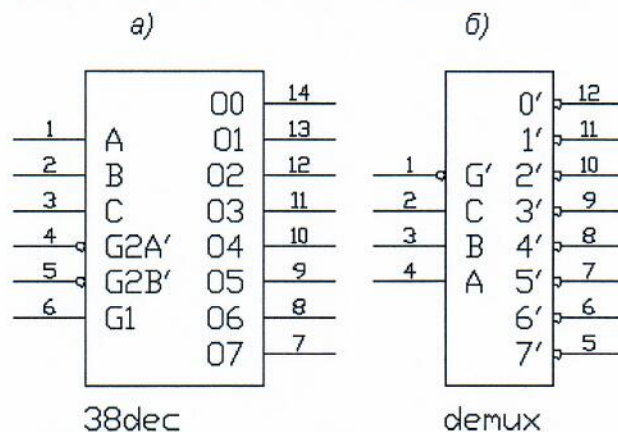


Рисунок 3 – Условные графические изображения ИС дешифратора по стандарту DIN

Для наращивания разрядности малоразрядных дешифраторов применяются схемы пирамидального типа. Особенностью такого схемотехнического построения является то, что входное многоразрядное слово делится на два “поля”. Поле младших разрядов соответствует числу входов имеющихся дешифраторов. Оставшееся поле разрядов используется для формирования сигналов разрешения работы одного из дешифраторов, декодирующих поле младших разрядов.

Дешифраторы могут использоваться не только как преобразователи двоичного кода в унарный код типа “1 из N”, но и



для реализации комбинационных логических схем. На дешифраторе совместно с дополнительными логическими элементами можно реализовать любую логическую функцию, содержащую до  $n$  переменных, где  $n$  – число входов. В самом деле, в соответствии с выражениями (2) схема дешифратора формирует  $N$  всех возможных минтермов от  $n$  входных переменных. Те выходы, которые соответствуют единичным значениям заданной логической функции, необходимо объединить по схеме ИЛИ, и получится реализация функции в СНДФ. При практической реализации устройства следует учитывать, что базовыми логическими элементами существующих серий являются многовходовые элементы типа И–НЕ либо ИЛИ–НЕ. Выбирая дешифраторы с прямыми или инверсными выходами, можно минимизировать аппаратные затраты.

В случае, когда число переменных  $n+1$  превышает на единицу количество входов дешифратора  $n$ , и переменная  $x_n$  влияет на значения заданной функции, можно применить различные схемные решения. Одно из них заключается в использовании двух ИС дешифратора: одна из них стробируется по разрешающему входу сигналом  $\bar{x}_n$ , а вторая – сигналом  $x_n$ .

### 3 Порядок выполнения работы

#### 3.1 Разработка схемы и исследование логического устройства на базе мультиплексора

Разработать устройство на базе мультиплексора “8×1” для реализации логической функции, истинной на наборах четырех переменных  $x_3 x_2 x_1 x_0$ , десятичные номера которых для различных вариантов указаны в таблице 1, собрать его и проверить функционирование.

На рисунке 4 приведен пример схемы, которую необходимо собрать на рабочем поле программы электронного моделирования **Electronics Workbench**. Комбинации входного кода генерирует двоичный счетчик (ИС общего назначения серии ТТЛШ), который выбирается из магазина **Digital** в секции **CNT**. В свойствах счетчика установить библиотеку **t1l** и модель **LS** (ТТЛШ).

На вход СКА счетчика подаются тактовые сигналы от генератора прямоугольных импульсов. Выходы счетчика  $A, B, C, D$



служат источником двоичного кода:  $x_0, x_1, x_2, x_3$  соответственно. Если установить частоту тактовых импульсов 1кГц, то длительность одного такта составляет 1мс, а полный цикл – 16мс.

В качестве мультиплексора выбрать в магазине **Digital** в секции **MUX** ИС общего назначения **Generic 1-of-8 MUX** и в ее свойствах выбрать библиотеку **ttl**, модель **LS**, то есть ТТЛШ.

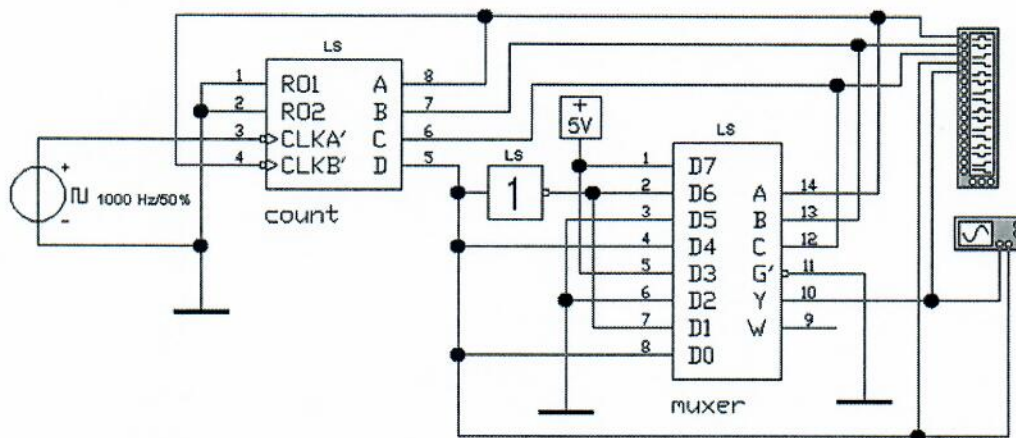


Рисунок 4 – Схема установки для исследования логического устройства на базе мультиплексора

Таблица 1 – Варианты заданий для исследования логического устройства на базе мультиплексора

Вариант	Десятичные номера наборов $x_3 x_2 x_1 x_0$	Вариант	Десятичные номера наборов $x_3 x_2 x_1 x_0$
1	0,1,2,3,12,13,14,15	16	0,1,3,4,5,7,8,12
2	0,1,2,3,8,9,10,11	17	0,1,3,4,5,7,9,13
3	0,1,2,3,4,8,12	18	0,1,3,4,5,7,11,15
4	0,1,2,3,5,9,13	19	0,1,2,3,4,8,9,10,11,12
5	0,1,2,3,6,10,14	20	5,7,8,9,10,11,13,15
6	0,1,2,3,7,11,15	21	1,3,4,5,12,14
7	0,4,5,6,7,8,12	22	6,7,8,9,13,15
8	1,4,5,6,7,9,13	23	1,4,5,9,12,13
9	3,4,5,6,7,11,15	24	1,5,7,15
10	2,4,5,6,7,10,14	25	0,1,2,3,4,5,6,10,14
11	0,4,8,12,13,14,15	26	2,3,5,6,7,8,9,13,15
12	1,5,9,12,13,14,15	27	5,7,9,10,11,13,15
13	3,7,11,12,13,14,15	28	1,3,5,7,9,11,12,13,15
14	0,1,4,5,7,10,11,13,14,15	29	1,3,4,5,6,7,9,11
15	0,1,2,4,5,6,8,12	30	1,3,8,9,10,11,13,15



Исследование работы логического устройства производится с помощью логического анализатора **Logic Analyzer** и осциллографа **Oscilloscope** из магазина инструментов **Instruments**.

Логический анализатор функционирует как многоканальный осциллограф. Он развертывает на своем экране временные диаграммы прямоугольных логических сигналов: входных переменных  $x_0, x_1, x_2, x_3$  и выходного сигнала устройства  $F$ .

Перед началом моделирования выполнить следующие установки в блоке **Clock Set...** на панели анализатора:

**Clock Mode – Internal** (задает внутренний режим запуска от самих исследуемых сигналов);

**Internal clock rate – 8 кГц** (частота тактовых импульсов);

**Threshold voltage (V) – 1,3** (порог срабатывания анализатора).

Остальные установки оставить по умолчанию и нажать кнопку **Accept**.

Запустить программу моделирования и, когда на экране анализатора заполнятся диаграммы напряжений, остановить процесс моделирования кнопкой **Pause**. Выбрать подходящий масштаб по оси времени с помощью установки **Clocks per division**, так чтобы на развертке укладывался полный цикл работы устройства.

Зарисовать для отчета временные диаграммы сигналов на всех входах и выходе устройства.

Просмотреть на экране осциллографа осциллограммы напряжений старшей переменной (для временной привязки) и выходного сигнала устройства. Обратит внимание на появление ложных выбросов в выходном напряжении на границах некоторых тактов – помехи “статического риска”. Зафиксировать полученные осциллограммы в отчете.

### 3.2 Разработка и исследование схемы логического устройства на базе дешифратора

Разработать устройство на базе трехразрядного дешифратора “3×8” для реализации логической функции, истинной на наборах четырех переменных  $x_3 x_2 x_1 x_0$ , десятичные номера которых для различных вариантов указаны в таблице 2, собрать его и проверить функционирование.



Таблица 2 – Варианты заданий для исследования логического устройства на базе дешифратора

Вариант	Десятичные наборов $x_3 x_2 x_1 x_0$	номера	Вариант	Десятичные наборов $x_3 x_2 x_1 x_0$	номера
1	1,3,4,5,12,14		16	0,1,2,3,7,11,15	
2	6,7,8,9,13,15		17	0,4,5,6,7,8,12	
3	1,4,5,9,12,13		18	1,4,5,6,7,9,13	
4	1,5,7,15		19	3,4,5,6,7,11,15	
5	0,1,2,3,4,5,6,10,14		20	2,4,5,6,7,10,14	
6	2,3,5,6,7,8,9,13,15		21	0,4,8,12,13,14,15	
7	5,7,9,10,11,13,15		22	1,5,9,12,13,14,15	
8	1,3,5,7,9,11,12,13,15		23	3,7,11,12,13,14,15	
9	1,3,4,5,6,7,9,11		24	0,1,4,5,7,10,11,13,14,15	
10	1,3,8,9,10,11,13,15		25	0,1,2,4,5,6,8,12	
11	0,1,2,3,12,13,14,15		26	0,1,3,4,5,7,8,12	
12	0,1,2,3,8,9,10,11		27	0,1,3,4,5,7,9,13	
13	0,1,2,3,4,8,12		28	0,1,3,4,5,7,11,15	
14	0,1,2,3,5,9,13		29	0,1,2,3,4,8,9,10,11,12	
15	0,1,2,3,6,10,14		30	5,7,8,9,10,11,13,15	

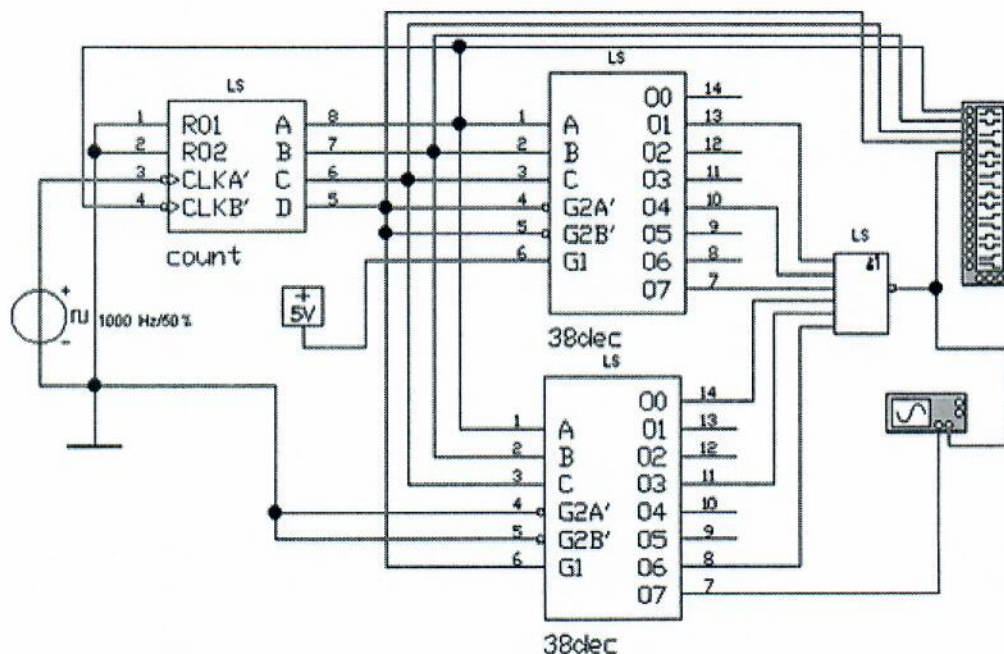


Рисунок 5 – Схема установки для исследования логического устройства на ИС дешифраторов



На рисунке 5 приведена в качестве примера схема логического устройства, реализующего логическую функцию, которая принимает единичное значение на 10 наборах входных переменных: 0, 2, 3, 5, 6, 9, 10, 12, 13, 15. При объединении выходов дешифраторов, соответствующих конституентам единицы, потребовалось бы использовать десятивходовый логический элемент, который не содержится в реальных сериях элементов. Более экономным схемным решением является объединение шести выходов дешифраторов, которые соответствуют нулевым значениям функции. Для этого применяются ИС дешифраторов с прямыми выходными сигналами и логический элемент типа ИЛИ-НЕ.

В качестве дешифратора выбрать в магазине **Digital** в секции **DEC** ИС общего назначения **Generic 8-to-1 DEMUX** (дешифратор с инверсными выходами) или **Generic 3-to-8 Dec** (дешифратор с прямыми выходами) и в ее свойствах выбрать библиотеку **ttl**, модель **LS**, то есть ТТЛШ.

Остальные интегральные схемы в установке на рисунке 5 выбраны также из библиотеки **ttl**, модель **LS**.

Исследование работы логического устройства производится в динамическом режиме с помощью логического анализатора **Logic Analyzer** и осциллографа **Oscilloscope** из магазина инструментов **Instruments**. Перед началом моделирования выполнить установки в блоке **Clock Set...** на панели анализатора как указано в предыдущем пункте.

Запустить программу моделирования. Выбрать подходящий масштаб по оси времени с помощью установки **Clocks per division**, так чтобы на развертке укладывался полный цикл работы устройства. Зарисовать для отчета временные диаграммы сигналов на всех входах и выходе устройства.

Просмотреть на экране осциллографа осциллограмму выходного напряжения устройства. Для синхронизации выходного сигнала с началом цикла на другой вход осциллографа нужно подать любой сигнал с известным временным положением, например, в начале или в конце цикла. Обратить внимание на появление ложных выбросов в выходном напряжении на границах некоторых тактов – помехи “статического риска”. Зафиксировать полученные осциллограммы в отчете.



#### **4 Контрольные вопросы**

1. Какие комбинационные устройства называются мультиплексорами и для каких целей они используются?

2. Назовите основные способы наращивания разрядности мультиплексоров и приведите сравнительные характеристики.

3. Какие существуют методы реализации логических функций на основе мультиплексоров?

4. Какие комбинационные устройства называются дешифраторами? Приведите примеры использования дешифраторов.

5. Назовите основные способы наращивания разрядности дешифраторов. Какой тип дешифратора наиболее быстродействующий и почему?

6. Какие существуют методы реализации логических функций на основе дешифраторов?

#### **5 Содержание отчета**

Отчет должен содержать:

1) титульный лист;

2) наименование работы и цель исследований;

3) результаты разработки схемы логического устройства на базе мультиплексора (обоснование выбора элементной базы, схема устройства);

4) результаты исследования работы логического устройства на мультиплексоре в динамическом режиме (временные диаграммы входных и выходных сигналов);

5) результаты разработки схемы логического устройства на базе дешифраторов (обоснование выбора элементной базы, схема устройства);

6) результаты исследования работы логического устройства на дешифраторах в динамическом режиме (временные диаграммы входных и выходных сигналов).

## Библиографический список

1. Угрюмов Е.П. Цифровая схемотехника: Учебное пособие. – СПб.: БХВ-Петербург, 2001. – 528 с.
2. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: Учеб. пособие для вузов. – М.: Высш. шк., 1987. – 318 с.
3. Иванов В.И. Проектирование цифровых устройств: учебное пособие / В.И. Иванов, В.С. Титов, М.В. Бобырь, А.С. Ястребов.– Курск: Юго-Зап. гос. ун-т., 2011. –100 с.