

УДК 744

Составители: Э.И. Ватутин

Рецензент

Кандидат технических наук, доцент *Ю.А. Халин*

Структурная и функциональная организация специализированных процессоров: методические указания к обучающей системе по автоматизированному лабораторному практикуму дисциплины «Специальные процессоры, машины и сети» для студентов направления подготовки 09.03.01 / Юго-Зап. гос. ун-т; сост.; Э.И. Ватутин. – Курск, 2021. - 21 с.:– Библиогр.: с. 21

Излагаются методические основы программной обучающей системы, реализованной на ПЭВМ и предназначенной для самостоятельного изучения принципов организации специализированных процессоров ЭВМ, приобретения навыков их анализа, программирования и отладки. Основное внимание обращается на теоретические основы их построения применительно к конкретным решаемым задачам и специфику их структурной и функциональной организации по сравнению с типовыми микропроцессорами. Предназначены для студентов направления подготовки 09.03.01 очной и заочной форм обучения.

Методические указания соответствуют рабочей программе дисциплины «Специальные процессоры, машины и сети».

Текст печатается в авторской редакции

Подписано в печати 15.01. . Формат 60*84 1/16.
Усл. печ. л. ____ . Уч.-изд. л. ____ . Тираж 50 экз. Заказ 230 . Бесплатно.
Юго-Западный государственный университет.
305040 Курск, ул. 50 лет Октября, 94.

Содержание

ВВЕДЕНИЕ	4
1. ЦЕЛИ АВТОМАТИЗИРОВАННОГО ЛАБОРАТОРНОГО ПРАКТИКУМА.....	5
2. ПУТИ ПОВЫШЕНИЯ ПРОИЗВОДИТЕЛЬНОСТИ МИКРОПРОЦЕССОРНЫХ СИСТЕМ С ПОМОЩЬЮ СОПРОЦЕССОРОВ И АКСЕЛЕРАТОРОВ	6
3. ОРГАНИЗАЦИЯ ОБУЧАЮЩЕЙ СИСТЕМЫ	11
4. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «СИСТОЛИЧЕСКИЕ ПРОЦЕССОРЫ»	12
5. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «РАСПОЗНАЮЩИЙ СИСТОЛИЧЕСКИЙ ПРОЦЕССОР»	13
6. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «НЕЙРОННЫЕ СЕТИ»	15
7. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «САМООБУЧЕНИЕ НЕЙРОННЫХ СЕТЕЙ»	16
8. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «ПРОЦЕССОР ЛОГИЧЕСКОГО ВЫВОДА».....	18
9. ПОРЯДОК ВЫПОЛНЕНИЯ ЛАБОРАТОРНЫХ РАБОТ	19
10. СОДЕРЖАНИЕ ОТЧЕТОВ	20
БИБЛИОГРАФИЧЕСКИЙ СПИСОК.....	21

ВВЕДЕНИЕ

Применение специализированных процессоров, машин и вычислительных систем позволяет существенно повысить производительность обработки информации при построении их на той же элементной базе, что и ЭВМ общего назначения [1, 7]. В настоящее время серийно производятся несколько типов специализированных программируемых микропроцессоров: потоковые процессоры, цифровые процессоры сигналов, нечеткие процессоры, нейрокомпьютеры, транспьютеры, реконфигурируемые процессоры используемые в качестве сопроцессоров и акселераторов типовых микропроцессорных систем общего назначения [7]. В виде заказных специализированных БИС и СБИС производятся систолические и волновые процессоры, однородные вычислительные и управляющие логические среды, аналоговые электронные и оптоэлектронные узкоспециализированные нейрочипы, а также ряд СБИС конкретного назначения: контроллеры дисплеев и жестких дисков, графические процессоры, сетевые адаптеры, СБИС протоколов управления связью для модемов и мобильных телефонов, программирующие и отладочные средства для ПЛИС и специализированных микропроцессоров, большая номенклатура БИС и СБИС для бытовой техники, бортовых микро-ЭВМ транспортных средств и т. п. [1, 7]. Названные СБИС специализированных процессоров позволяют существенно расширить функциональные возможности высокопроизводительных функционально-распределенных вычислительных систем автоматизации реального времени и применяются в качестве элементной базы микропроцессорных мультимедиа систем.

Производительность специализированных процессоров повышают по сравнению с типовыми микропроцессорами общего назначения путем введения разнообразных способов параллельной обработки информации и максимального приспособления их структурной и функциональной организации к специфике решаемых задач. Это привело к многообразию их фундаментальных теоретических основ, принципов построения и алгоритмов функционирования, в корне отличающихся в ряде случаев от принципов базовой модели ЭВМ фон Неймана [2, 3, 6, 7].

Специалисты по системотехнике ЭВМ (специальность 230101) должны знать названные выше отличия и владеть навыками анализа,

синтеза, программирования и отладки основных типов специализированных процессоров. Трудности их изучения в вузе заключаются в отсутствии единого учебника, разбросанности материала в большом числе монографий, периодических изданий и патентов, а также недостаточной освещенности в ряде публикаций теоретических основ важнейших типов специализированных процессоров.

Названные трудности обучения могут быть преодолены с помощью широко распространенных ЭВМ путем создания на их основе автоматизированных обучающих систем, в том числе автоматизированных лабораторных практикумов. Программная обучающая система должна содержать теоретическую часть (в виде текстового и графического файлов), демонстрационную часть (на основе программной модели изучаемого типа процессора) и практическую часть (в виде индивидуальных исследовательских заданий, выполняемых на программной модели).

Данная обучающая система предназначена для снижения трудоемкости и интенсификации самостоятельного изучения и выполнения лабораторных работ по наиболее сложным перспективным специализированным процессорам: систолическим процессорам, моделям нейронных сетей (нейрокомпьютерам), процессорам логического вывода. В ней демонстрируются и исследуются следующие актуальные их применения: быстрое умножение полиномов и матриц; конвейерное распознавание в реальном времени непрерывного потока векторов входных образов; автоассоциативное распознавание и восстановление нейрокомпьютером сильнокоррелированных образов; таксономия и обобщение входной информации в результате самообучения нейрокомпьютера; организация логического вывода по рекурсивным правилам.

1. ЦЕЛИ АВТОМАТИЗИРОВАННОГО ЛАБОРАТОРНОГО ПРАКТИКУМА

Самостоятельное изучение по текстовым и графическим файлам ЭВМ особенностей структурной и функциональной организации нескольких типов специализированных процессоров, используемых в качестве сопроцессоров и акселераторов микропроцессорных систем. Приобретение практических навыков их анализа, программирования и отладки. Экспериментальные исследования их возможностей в повышении производительности и расширении круга задач, решаемых

вычислительной техникой в ряде важных прикладных областей: обработке полиномов и матриц, распознавании образов, самообучении, распознаванию, автоматизации логических выводов по рекурсивным правилам.

2. ПУТИ ПОВЫШЕНИЯ ПРОИЗВОДИТЕЛЬНОСТИ

МИКРОПРОЦЕССОРНЫХ СИСТЕМ С ПОМОЩЬЮ СОПРОЦЕССОРОВ И АКСЕЛЕРАТОРОВ

Микропроцессорные комплекты СБИС, широко используемые в инженерной практике, не позволяют обеспечить требуемую производительность в многозадачных системах автоматизации. Подключение нескольких микропроцессоров к одной общей шине в мультисистемах повышает производительность при решении нескольких слабо связанных или независимых задач. Однако, при решении сложных математических задач, например, в цифровой обработке сигналов с применением многомерного преобразования Фурье, распознавании образов, искусственном интеллекте, расчете траекторий движения, распараллеливание вычислительных алгоритмов возможно в основном на командном уровне при интенсивном перекрестном обмене операндами между командами разных ярусов параллельной программы. В этом случае мультисистемы с общей шиной неэффективны, так как общая шина, как узкое место системы, резко снижает комплексную производительность. В то же время желательно сохранить принцип межмодульной связи через общую шину, так как серийные БИС и СБИС микропроцессорных комплектов ориентированы по внешним выводам на использование в системах с общей шиной. Данное противоречие можно разрешить, если сложные математические задачи решать в дополнительных специализированных микропроцессорах, подключаемых к общей шине и функционирующих параллельно с главным микропроцессором при малой интенсивности обмена массивами операндов. Применяются два типа таких специализированных процессоров: сопроцессоры и акселераторы [2, 3, 6, 7].

Сопроцессор – ведомый процессор, псевдопараллельно работающий с центральным, подключаемый к его локальной шине и использующий ее в режиме разделения времени, который расширяет систему команд центрального процессора, выбирает свои команды из общего с последним

потока команд в общем с ним адресном пространстве и использует ту же систему обработки прерываний, что и основной процессор.

Акселератор – ведомый, параллельно работающий с центральным, периферийный процессор, выполняющий собственный поток команд в своем независимом адресном пространстве, подключаемый к системной шине с помощью дополнительной схемы порта ввода-вывода и обменивающийся информацией с ведущей системой в режиме прямого доступа в ее основную память. Он может быть программируемым или непрограммируемым. Программируются потоковый микропроцессор, процессоры логического вывода и цифровой процессор сигналов. Систолический, волновой, нейрокомпьютерный акселераторы ориентируются на решение одной задачи и обычно не программируются [2, 4, 7].

Акселераторы и сопроцессоры производятся в виде плат расширения или специализированных заказных СБИС и в настоящее время являются эффективным средством повышения производительности и расширения функциональных возможностей микропроцессорных систем [2, 3, 6, 7].

В управляющих ЭВМ и вычислительных устройствах интеллектуального интерфейса, работающих в реальном масштабе времени, существенно повышаются требования к скорости решения задач. Максимально возможная производительность могла бы достигаться, если структуру специализированного вычислителя синтезировать по принципу потокового программирования тождественно структуре графа операндов решаемой задачи, реализуя каждую его вершину отдельным операционным блоком. Однако такой подход практически нереален для большинства вычислительноемких задач систем автоматизации как из-за большой избыточности и высокой стоимости таких вычислителей, так и принципиальных ограничений технологического и экономического характера в электронной промышленности. Графы операндов, содержащие множество пересекающихся непланарных дуг передачи данных, не могут быть тождественно перенесены в структуры заказных и полузаказных СБИС в связи со следующими ограничениями: на число слоев металлизации для создания внутренних межсоединений; на длину межсоединений на кристалле; на число внешних выводов. В то же время острая потребность в быстром решении ряда сложных математических задач управления и преобразования информации стимулирует поиск путей разрешения данного противоречия.

Один из подходов к структурной и логической организации специализированного вычислителя – каскадное соединение друг с другом множества однородных функциональных узлов. Он позволил минимизировать число непланарных межсоединений на кристалле и внешних выводов СБИС, во много раз повысить производительность по сравнению с микропроцессорами и программируемыми акселераторами и сопроцессорами за счет потери гибкости в программировании и перепрограммировании. Известны матричные структуры вычислителей следующих двух типов [2, 7].

Систолический процессор представляет собой регулярную матрицу однородных операционных элементов (ОЭ) или вычислительных устройств, каждое из которых обменивается информацией со своими ближайшими соседями, причем все ОЭ работают синхронно под управлением общего источника синхросигналов, частота которых ограничивается быстродействием самого медленного ОЭ матрицы. Термин систолический взят по аналогии между ритмичными сокращениями сердечной мышцы и синхронной прокачкой операндов через матрицу ОЭ. Он является развитием конвейерного принципа, но в отличие от него в систолической матрице могут продвигаться несколько потоков операндов как согласно в одну сторону, так ортогонально и встречно.

Волновой процессор представляет собой, в общем случае, нерегулярную матрицу однородных ОЭ, которые обмениваются информацией с ближайшими соседями, но не требуют общей глобальной синхронизации работы всех ОЭ. Операции в ОЭ инициализируются готовыми их операндами, поступающими на их входы с выходов других ОЭ. «Волны» обработки распространяются по матрице по мере того, как ОЭ передают полученные результаты своим соседям. Волновой процессор по структуре соединения ОЭ наиболее близок к структуре графа операндов решаемой задачи с той лишь разницей, что в нем предприняты специальные меры для исключения непланарных пересекающихся связей за счет передачи части операндов через дополнительные ОЭ. Основное преимущество волнового процессора состоит в том, что в нем не требуется глобальная синхронизация всех ОЭ, а достаточна только локальная в пределах каждого ОЭ. Однако из-за асинхронного принципа продвижения операндов на входах ОЭ могут накапливаться их очереди в связи с неготовностью парных им операндов. Поэтому при проектировании и программировании волновых процессоров необходимо под каждую

решаемую задачу определять оптимальное или субоптимальное распределение предельных длин очередей и соответствующих им емкостей буферных памятей по всем ОЭ.

Однородность схем вычислительных ячеек и межсоединений является хорошей предпосылкой для их построения на БИС и СБИС. Они производятся либо в виде БИС вычислительных ячеек, которые могут соединяться в матрицы любых размеров в соответствии с размерностью решаемой задачи, либо в виде матричных заказных СБИС [2, 3, 7]. Такая микроэлектронная элементная база широко применяется при создании узко специализированных вычислителей для обработки изображений, речевых сигналов и распознавания образов, функционирующих в реальном времени.

Известно применение акселераторов в составе современных ЭВМ в качестве специальных графических процессоров, процессоров баз данных, криптографических процессоров, программаторов ППЗУ и ПЛМ. Они различаются по функциональной и структурной организации, вычислительным алгоритмам и степени их распараллеливания. Известны их реализации на БИС микропроцессорных комплектов, БМК, программируемых БИС ППЗУ и ПЛМ. В качестве центрального обрабатывающего блока в них используются типовые микропроцессоры, специализированные типовые потоковые микропроцессоры, микропроцессоры цифровой обработки сигналов или узко специализированные обрабатывающие устройства.

Акселераторы, построенные на названной элементарной базе, существенно ускоряют решение многих прикладных задач. Однако они не удовлетворяют требованиям по балансу времени в целом ряде систем автоматизации и человеко-машинном интерфейсе и не могут обеспечить их работу в реальном масштабе времени. Кардинальным путем повышения производительности акселераторов является переход на параллельную элементную базу, которая позволяет при том же уровне быстродействия электронных компонентов на несколько порядков увеличить скорость решения сложных задач.

Один из подходов к структурной организации заказных СБИС, позволяющий перейти к параллельной организации элементной базы и удовлетворить технико-экономическим требованиям электронной технологии, является построение их в виде специализированных систолических и волновых процессоров. Структурные схемы этих

процессоров обладают однородностью обрабатываемых ячеек и межсоединений, планарностью, сравнительной простотой принципиальных электрических схем ячеек, минимальной длиной межсоединений на кристалле, достаточно малым числом слоев металлизации, требуемых для прокладки межсоединений, минимальным числом выводов кристаллов. Они позволяют в сотни раз повысить производительность при массовом параллелизме данных, например, при непрерывном потоке векторов входных операндов, который наблюдается в человеко-машинном интерфейсе ЭВМ, системах технического зрения, системах ввода с речи, системах связи, непрерывных технологических процессах.

В этих системах автоматизации свойство гибкости и программируемости элементной базы электронных устройств не обязательно, так как потоки входных данных обрабатываются по неизменным алгоритмам. Поэтому узкая специализация систолических и волновых процессоров путем максимального приспособления их структурной и функциональной организации и схем обрабатываемых ячеек к вычислительным алгоритмам решаемых задач не является препятствием к их массовому применению в названных системах автоматизации. Основное требование, определяющее целесообразность их проектирования и производства в виде заказных СБИС, – достаточно высокая потребность в них на данном этапе развития технологии и экономики, гарантирующая возможность организации их производства и сбыта.

При соблюдении названных требований целесообразно создание высокопроизводительных акселераторов на базе систолических и волновых процессоров, позволяющих организовать функционирование специализированных систем в реальном масштабе времени. В состав акселератора, построенного на систолическом процессоре (СП), обязательно вводится буферная память специальной организации. Она предназначена для преобразования форматов данных. Поток машинных слов данных ЭВМ (байт, 16-ти или 32-х разрядных слов) преобразуется в поток векторов слов, состоящих из нескольких машинных слов ЭВМ. Слова каждого вектора загружаются в качестве входных операндов и выгружаются как выходные результаты параллельно в каждом конвейерном такте СП в соответствии с параллельным систолическим вычислительным алгоритмом.

Производительность систолических процессоров повышается за счет совмещения двух факторов: конвейерной организации вычислительного процесса и параллельного ввода-вывода векторов операндов, что создает достаточно большой запас в производительности и позволяет применять в межсоединениях между внутренними ячейками СП и во внешних выводах СП последовательный код передачи каждого из машинных слов данных. Тем самым решается одна из основных проблем в создании СБИС – минимизация расхода площади кристалла на прокладку межсоединений и минимизация числа внешних выводов.

Буферная память, необходимая для согласования параллельного систолического процессора с последовательной ведущей ЭВМ, производится в виде специализированной СБИС, ориентированной на обслуживание конкретной СБИС данного типа СП.

Таким образом, сопроцессоры и акселераторы представляют собой важную и широко распространенную группу специализированных процессоров, отличающихся по организации от базовой модели последовательной ЭВМ фон Неймана. Их организация основана на новых фундаментальных принципах: пространственно-временной интерпретации систолических алгоритмов, моделях искусственных нейронных сетей, модели Уоррена абстрактной машины логического вывода, нечеткой обработке информации и т.п. Данная обучающая система создана для снижения трудоемкости и интенсификации изучения названных новых принципов организации процессоров и путей их практического использования при построении ЭВМ следующих поколений.

3. ОРГАНИЗАЦИЯ ОБУЧАЮЩЕЙ СИСТЕМЫ

Обучающая система по лабораторному практикуму, реализованная на ЭВМ, состоит из пяти программных подсистем:

- систолические процессоры (CYST_DC, CYST_MM);
- распознающий систолический процессор (CYST_MP);
- нейронные сети (LAB_NC);
- самообучение нейронных сетей (LAB_SAMOB);
- процессор логического вывода (PLV/SYMPLV).

Каждая подсистема включает следующие разделы:

- ◆ теория (текстовый и графический файлы);

- ◆ демонстрация (графическое отображение структуры и/или динамики функционирования изучаемого процессора);
- ◆ практика (индивидуальные задания и рекомендуемая программа исследований).

Ядром каждой подсистемы является программная модель изучаемого процессора и алгоритма его функционирования, снабженная текстовым и графическим интерфейсом пользователя. Взаимодействие студента с подсистемой организуется на основе системы меню и подменю, расшифровок условных обозначений, комментариев, определений, подсказок и методических указаний, в том числе о порядке выполнения всех этапов работы и содержании отчета по лабораторной работе. Названная информация ориентирована на наиболее актуальные названные выше применения изучаемых процессоров.

4. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «СИСТОЛИЧЕСКИЕ ПРОЦЕССОРЫ»

Обучающая подсистема состоит из следующих программных модулей:

CYST_MP – программа моделирования систолического процессора для умножения полиномов.

CYST_MM – программа моделирования систолического процессора для умножения матриц.

Функциональные возможности подсистемы:

- выдача краткой информации о подсистеме;
- чтение теоретических сведений, необходимых для понимания принципа действия систолических процессоров;
- ввод и модификация исходных данных с клавиатуры и из файла;
- демонстрация динамики функционирования процессоров на экране монитора с возможностью визуального наблюдения изменений на уровне регистров;
- запуск модели систолического процессора в пошаговом и автоматическом режимах;
- просмотр результатов моделирования;
- вывод на экран схем ячеек и процессоров;
- сохранение данных в файле;

- вызов оперативной контекстной справки о назначении клавиш;
- просмотр комментариев к текущему содержимому кадра демонстрации;
- преобразование массивов коэффициентов полиномов в форму, требуемую для загрузки в систолический процессор;
- преобразование массивов элементов матриц в диагональную форму, требуемую для загрузки в систолический процессор;
- преобразование массива выходных данных модели процессора в нормальную форму представления;
- сброс структуры данных для повторного запуска модели процессора;
- моделирование машинного цикла систолического процессора.

Важнейшие принципы организации процессоров, подлежащие изучению:

- ◆ структурные схемы ячеек операционных элементов и процессоров, схемотехника и принципы действия их функциональных узлов;
- ◆ методы синхронизации операндов и способы загрузки исходных данных;
- ◆ пространственно-временная интерпретация систолического алгоритма и таблицы временных диаграмм;
- ◆ причина отсутствия местных устройств управления в ячейках операционных элементов;
- ◆ оценка длительности конвейерного такта;
- ◆ технико-экономическая необходимость применения последовательного кода передачи операндов;
- ◆ оценка выигрыша в повышении производительности по сравнению с однопроцессорной последовательной ЭВМ.

5. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «РАСПОЗНАЮЩИЙ СИСТОЛИЧЕСКИЙ ПРОЦЕССОР»

Обучающая подсистема состоит из программного модуля CYST_DC, предназначенного для моделирования систолического процессора распознавания образов.

Функциональные возможности подсистемы:

- выдача краткой информации о подсистеме;
- чтение теоретических сведений, необходимых для понимания принципа действия распознающего систолического процессора;
- ввод и модификация исходных данных с клавиатуры и из файла данных;
- демонстрация динамики функционирования процессора на экране монитора с возможностью визуального наблюдения изменений на уровне регистров;
- запуск систолического алгоритма в пошаговом и автоматическом режимах;
- вывод схем ячеек и процессора на экран монитора;
- вызов оперативной контекстной справки о назначении клавиш;
- просмотр комментариев и расшифровок условных обозначений к текущему изображению в кадре демонстрации;
- ввод числа эталонов;
- редактирование изображения символа в растре, например, распознаваемого символа для внесения искажений его изображения;
- преобразование матриц входных и эталонных векторов в диагональные загрузочные массивы операндов процессора;
- начальная загрузка эталонов и инициализация матрицы идентификаторов выходных данных.

Важнейшие принципы организации процессора, подлежащие изучению:

- ◆ структурные схемы вычисляющей и сравнивающей ячеек и процессора, схемотехника и принципы действия их функциональных узлов;
- ◆ методы синхронизации операндов и способы загрузки исходных данных;
- ◆ математические основы алгоритма распознавания по минимуму расстояния от эталона;
- ◆ пространственно-временная интерпретация систолического алгоритма на основе псевдоумножения матриц входных и эталонных векторов;
- ◆ причина необходимости загрузки в сравнивающие ячейки процессора матрицы внешних идентификаторов расстояний каждого входного вектора от всех эталонных векторов;

- ◆ причина необходимости начальной загрузки эталонных векторов в систолический массив вычисляющих ячеек;
- ◆ способ загрузки ограниченного числа эталонных векторов при неограниченной длине последовательности входных векторов;
- ◆ причина необходимости вывода из процессора по каждому входному вектору, кроме идентификатора его минимального расстояния до ближайшего эталона, также и величины этого минимального расстояния;
- ◆ две фазы конвейерного такта процессора и оценка его длительности.

6. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «НЕЙРОННЫЕ СЕТИ»

Обучающая подсистема состоит из следующих программного модуля LAB NC.

Функциональные возможности подсистемы:

- выдача справочной информации о подсистеме;
- чтение теоретических сведений о методах моделирования нейронных сетей в нейрокомпьютерах;
- выбор исследуемого типа модели нейронной сети;
- выбор количества эталонов, хранимых в памяти нейрокомпьютера: 6, 12 эталонов и все буквы латинского алфавита;
- задание количества аддитивных случайных пикселей ошибок в растре изображения эталона для генерации последовательности входных искаженных распознаваемых и восстанавливаемых нейрокомпьютером образов;
- демонстрация на экране монитора автоассоциативного восстановления искаженного входного изображения;
- задание двух режимов демонстрации функционирования программной модели нейрокомпьютера: а) «распознать» - показ конечных результатов работы моделирующей программы; б) «шаг» - показ по циклам последовательных приближений при программном моделировании процесса переключения нейрокомпьютера;
- возможность выполнения сравнительных исследований разрешающей способности и информационной емкости при автоассоциативном восстановлении сильнокоррелированных образов

тремя типами моделей нейронных сетей, используемых в нейрокомпьютерах.

Важнейшие принципы организации нейрокомпьютеров, подлежащие изучению:

- ◆ методы моделирования нейронов и нейронных сетей;
- ◆ структуры электронных и оптоэлектронных аналоговых нейрокомпьютеров;
- ◆ аналитическое программирование автоассоциативных нейрокомпьютеров, основанных на модели Хопфилда;
- ◆ минимизация числа электрических межсоединений в оптоэлектронном полносвязном нейрокомпьютере;
- ◆ «маскирование» совпадающих компонент эталонных векторов сильнокоррелированных образов путем взвешивания компонент входного вектора;
- ◆ увеличение информационной емкости нейрокомпьютера, основанного на модели нейронной сети высокого порядка;
- ◆ роль проектного моделирования при проектировании нейрокомпьютеров;
- ◆ принцип последовательных приближений при итеративном программном моделировании процесса переключения (срабатывания) нейрокомпьютера.

7. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «САМООБУЧЕНИЕ НЕЙРОННЫХ СЕТЕЙ»

Обучающая подсистема представлена программным модулем LAB SAMOB.

Функциональные возможности подсистемы:

- выдача справочной информации о подсистеме;
- чтение теоретических сведений об обучении и самообучении нейрокомпьютеров;
- конструирование эталонных изображений для файла эталонов образов, используемых при создании обучающих выборок;
- редактирование изображения из файла эталонов;
- выбор одного эталонного изображения и задание числа случайных аддитивных ошибок в нем для генерации обучающей выборки;

- программное моделирование алгоритма самообучения двухслойной ненаправленной нейронной сети с наращиванием числа нейронов в скрытом слое и вариацией весовых коэффициентов связей между нейронами слоев [5];

- демонстрация на экране монитора процесса самообучения с использованием модуля Select в двух режимах: а) «автоматическом» с показом конечных результатов самообучения, а именно: потребовавшегося числа циклов обучения на нескольких разных входных искаженных векторах обучающей выборки, необходимого числа нейронов в скрытом слое и выходного вектора отклика, восстановленного нейрокомпьютером по входному искаженному вектору в результате самообучения; б) «шаг» с показом названных в п. а выходных данных в каждом цикле самообучения на каждом из входных, случайно искаженных векторов обучающей выборки (динамика самообучения);

- возможность выполнения сравнительных исследований качества самообучения на разных видах изображений и на разных числах классов образов в составе обучающей выборки.

Важнейшие принципы организации самообучающихся нейрокомпьютеров, подлежащие изучению:

- ◆ структура программно-аппаратного вычислительного комплекса, имитирующего самообучение нейронной сети;

- ◆ отличительные особенности обучения по эталонам с учителем и самообучения без эталонов и без учителя;

- ◆ способ выделения нейрона, наиболее активного на данном входном векторе;

- ◆ критерий прекращения наращивания числа нейронов в скрытом слое (числа запоминаемых входных векторов обучающей выборки);

- ◆ способ коррекции величин весовых коэффициентов связей между нейронами без дальнейшего наращивания их числа, поощряющий успешные отклики нейрокомпьютера;

- ◆ зависимость качества самообучения от предельной информационной емкости нейрокомпьютера.

8. МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ПОДСИСТЕМЕ «ПРОЦЕССОР ЛОГИЧЕСКОГО ВЫВОДА»

Обучающая подсистема состоит из программного модуля SYMPLV – основная интерактивная программа, организующая диалоговые режимы.

Функциональные возможности подсистемы:

- выдача справочной информации о подсистеме;
- чтение теоретических сведений о принципах организации логического вывода, синтаксисе и семантике языка ПРОЛОГ, структурной и функциональной организации ПРОЛОГ – акселератора ПЛВ [6];
- моделирование машинного цикла ПЛВ;
- демонстрация динамики функционирования ПЛВ по изменению содержимого регистров и стеков процессора, подкрепленная показом структурной схемы хода выполнения программы вывода (схемы процедурной семантики) на двух примерах: а) инвертирование списка; б) задача «обезьяна и банан»;
- создание диалогового интерфейса с пользователем;
- просмотр комментариев и расшифровок условных обозначений к текущему изображению в кадре;
- просмотр справочника о системе и функциях машинных команд ПЛВ и исполняемом коде ПРОЛОГ-программ;
- ввод задачи в среду имитатора ПЛВ;
- защита от типичных ошибок обращения к НМД и некорректного использования программного имитатора ПЛВ.

Важнейшие принципы организации процессора, подлежащие изучению:

- ◆ структура ПРОЛОГ-акселератора персональной системы логического вывода PSI [6];
- ◆ система команд ПЛВ, исполняемый код ПРОЛОГ-программы;
- ◆ метод последовательной резолюции, трасса логического вывода при поиске на дереве И-ИЛИ, вызывающая и вызываемая процедуры;
- ◆ унификация аргументов предикатов;
- ◆ организация возвратов при поиске вывода;
- ◆ представление в памяти ПЛВ составного аргумента предиката методом разделения структур (молекула и скелетон);

- ◆ тегирование данных: константа, свободная и связанная переменная, локальная и глобальная переменная;
- ◆ причины создания стеков: глобального, локального, трейлового, управляющего и унификационного;
- ◆ тег «мусора»;
- ◆ микроинтерпретатор команд, стандартные микроподпрограммы базовых операций;
- ◆ схема процедурной семантики программы логического вывода, поиск и проверка альтернативы;
- ◆ организация системы индексации и оптимизации динамической памяти на примере решения задачи инвертирования списка;
- ◆ функционирование команды возврата и стека следа логического вывода на примере решения задачи «обезьяна и банан».

Учитывая высокую сложность организации ПЛВ и ограниченные сроки ее изучения, в качестве основного практического задания выбрано самостоятельное составление схемы процедурной семантики программы логического вывода, которая концентрированно отражает особенности ПЛВ по сравнению с типовыми микропроцессорами фон Неймана.

9. ПОРЯДОК ВЫПОЛНЕНИЯ ЛАБОРАТОРНЫХ РАБОТ

Указания о порядке выполнения всех этапов лабораторных работ имеются в каждой из программных подсистем. Кроме того, руководствуясь текстовой информацией меню, подменю и подсказок, можно выдержать оптимальную последовательность этапов работы по изучению организации процессора и освоению практических навыков их исследования.

Методические основы всех подсистем одинаковы и состоят в следующем. Вначале по текстовым и графическим файлам раздела «Теория» необходимо самостоятельно изучить математические и физические основы соответствующего типа процессора, принципы его структурной и функциональной организации, методы расчета его параметров и программирования. Затем в режиме «Демонстрация» на примерах решения процессором конкретных задач изучается динамика его функционирования. Пользуясь графическим отображением на экране монитора изменения содержимого регистров и/или преобразования

обрабатываемой информации, а также комментариями к каждому кадру демонстрации, представляется возможным в интерактивном пошаговом режиме работы на ПЭВМ закрепить понимание принципов действия изучаемого процессора. Если возникнут затруднения в восстановлении концептуальной модели процессора в связи с пробелом в знаниях, целесообразно возвратиться к повторению «Теории» и устранить соответствующий пробел в знаниях. Для программируемых процессоров, используя описание входного языка и функций операторов машинного языка из комментариев, необходимо освоить основные принципы составления и исполнения программ конкретных задач, приведенных в разделе «Демонстрация».

В заключительном разделе «Практика» выполняется конкретное практическое задание в соответствии с указаниями по порядку выполнения данного раздела. Каждая из подсистем позволяет после выполнения практического задания отобразить и зарегистрировать в режиме «Демонстрация» все полученные результаты.

10. СОДЕРЖАНИЕ ОТЧЕТОВ

Рекомендации по отбору материала для составления исчерпывающего отчета по лабораторной работе имеются во всех разделах каждой из подсистем. Отчет должен быть кратким в объеме 8-10 страниц. К составлению отчета необходимо подходить творчески, стремясь в нем кратко, убедительно и обоснованно отразить следующие принципиально важные вопросы:

1) важнейшие принципы организации изучаемого процессора (см. разделы 4–8);

2) графическое и текстовое описание динамики функционирования процессора (1-2 примера из раздела «Демонстрация»);

3) оценка основных параметров и/или пример программы процессора;

4) результаты, полученные в разделе «Практика» и выведенные в режиме «Демонстрация»;

5) выводы, подчеркивающие преимущества изучаемого процессора по сравнению с последовательной однопроцессорной ЭВМ, особенности и преимущества разных реализаций процессоров, ограниченные возможности изученных типов процессоров и пути их усовершенствования, важнейшие результаты выполненного практического задания и т.п.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Громов, Ю. Ю. Архитектура ЭВМ и систем [Электронный ресурс] : учебное пособие / Ю. Ю. Громов, О. Г. Иванова, М. Ю. Серегин. - Тамбов : Издательство ФГБОУ ВПО «ТГТУ», 2012. - 200 с. (Режим доступа http://biblioclub.ru/index.php?page=main_ub_red&needauth=1)
2. Проектирование специализированных информационно-вычислительных систем: Учеб. пос. по спец. ЭВМ / Ю. М. Смирнов и др. М.: Высш. шк., 1984. 359 с.
3. Кун С. Матричные процессоры на СБИС: Пер. с англ. М.: Мир, 1991. 672 с.
4. СБИС для распознавания образов и обработки изображений: Пер. с англ. / Под ред. К. Фу. М.: Мир, 1988. 248 с.
5. Нейрокомпьютеры и интеллектуальные роботы / Под ред. Н.М. Амосова. Киев: Наук. думка, 1991. 311 с.
6. Kratzer K.R. Unuberwachte adantion mit dem Kosinus Klassifikation // Informationstechnik. 1991. № 4. PP. 185-191.
7. Вишняков В.А. и др. Аппаратно-программные средства процессоров логического вывода. М.: Радио и связь, 1991. 264 с.
8. Типикин А.П. Специализированные параллельные процессоры, машины и сети. Курск, Гос. техн. ун-т., 1996. 339 с.
9. Марков С. Цифровые сигнальные процессоры. Книга 1. М.: фирма МИКРОАРТ, 1996. 144 с.
10. Сперанский В.С. Сигнальные микропроцессоры и их применение в системах телекоммуникаций и электроники: Учебное пособие для вузов. - М.: Горячая линия - Телеком, 2008. - 168 с.
11. Комаров А.В. Цифровые сигнальные процессоры. Обнинск, 2003, - 141 с.