

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Локтионова Оксана Геннадьевна

Должность: проректор по учебной работе

Дата подписания: 06.12.2023 12:14:44

Уникальный программный ключ:

0b817ca911e6668abb13a5d426d39e5f1c11eabf73e943df4a4851fda56d089

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования

Юго-Западный государственный университет
(ЮЗГУ)

Кафедра вычислительной техники

УТВЕРЖДАЮ

Проректор по учебной работе


О.Г. Локтионова
«20» М 2023 г.



Элементная база для проектирования многопроцессорных систем

Методические указания по выполнению практической работы
по дисциплине «Отказоустойчивые многопроцессорные платформы»
для студентов направления подготовки 09.04.01

Курск 2023

УДК 621.(076.1)

Составитель: С.А. Дюбрюкс

Рецензент

Кандидат технических наук, доцент В.С.Панищев

Элементная база для проектирования многопроцессорных систем: методические указания по выполнению практической работы по дисциплине «Отказоустойчивые многопроцессорные платформы» для студентов направления подготовки 09.04.01 Информатика и вычислительная техника //Юго-Зап. гос. ун-т; сост.: С.А. Дюбрюкс.- Курск, 2023.- 44 с.

Изложены основные теоретические сведения об элементной базе, используемой для проектирования многопроцессорных систем.

Приведены задания и требования к оформлению результатов, контрольные вопросы.

Методические указания соответствуют требованиям рабочей программы по дисциплине «Отказоустойчивые многопроцессорные платформы» направления подготовки 09.04.01 Информатика и вычислительная техника.

Предназначены для студентов направления подготовки 09.04.01 очной формы обучения «Информатика и вычислительная техника».

Текст печатается в авторской редакции

Подписано в печать _____. Формат 60x84 1/16.
Усл. печ. л. Уч. – изд.л. Тираж 30 экз. Заказ 1278 Бесплатно.
Юго-Западный государственный университет

305040, Курск, ул. 50 лет Октября, 94.

Содержание

Введение	4
Цель работы	6
Основные теоретические сведения	6
Задание	30
Оформление отчёта	43
Перечень необходимых ресурсов сети Интернет	44

Введение

Процессоры семейства Multicore являются одними из лидеров по продажам на рынке отечественной элементной базы. Процессоры линейки предназначены как для военной промышленности с жёсткими условиями эксплуатации и ограничением использования элементной базы (1892ВМ8Я, 1892ВМ10Я с собственными RISC-ядрами Elcore), так и для применения в аппаратуре, подобной смартфонам и планшетам (1892ВМ14Я с применением импортных ядер CORTEX-A9, сопроцессоров Neon).

Процессоры 1967ВН028, 1967ВН034 фирмы “Миландр” предназначены как для военной промышленности с жёсткими условиями эксплуатации и ограничением использования элементной базы, так и для применения в составе многопроцессорных систем (1967ВН028 с дополнительными возможностями для объединения в кластер).

В настоящее время в МО РФ устанавливаются жёсткие ограничения на элементную базу, применяемую в авиационной, при проектировании новейших образцов морского транспорта, танков, космических аппаратов, узлов атомных станций и прочих систем, в том числе всех критических. Данные процессоры российской разработки призваны заполнить ту нишу, которая освобождается при импортозамещении. При разработке подобных проектов с недопустимым применением импорта возникает необходимость в знаниях особенностей функционирования данных процессоров, их подключения и использования в узлах многопроцессорных систем.

Процессор 1967ВН028 ориентирован на применение в кластерных структурах с общей памятью путём разработки собственного интерфейса для объединения процессоров в кластер, процессор 1967ВН034 - как ряд дополнительных интегрированных интерфейсов для подключения дисплеев, видеокамер, так и ряд специфических интерфейсов, используемых в бортовой авионике (ARINC 429, МКИО ГОСТ Р 52070-2003), в автомобилестроении, производстве танков (CAN). Процессор частично повторяет архитектурные особенности бортового контроллера 1986ВЕ1Т, выпущенного фирмой “Миландр” ранее.

Мультиклеточные процессоры – первые российские процессоры, в которые интегрировано процессорное ядро с принципиально новой (пост-неймановской) мультиклеточной архитектурой. Ядро может состоять из 4, 8, 16 или 32 клеток, объединенных интеллектуальной коммутационной средой. Клетки имеют систему команд, построенную на базе языка триад.

Главное достоинство процессора Multiclet R1 – повышенная отказоустойчивость, обусловленная применением алгоритмов динамической реконфигурации кристалла. Процессор Multiclet P1 оптимизирован по

энергопотреблению. Оба процессора предназначены для решения задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности. При относительно невысоких тактовых частотах не более 100 МГц они достигают высокого быстродействия за счёт параллельного выполнения команд, для которых вычислены операнды.

Цель работы

Детальный анализ информации о ряде российских микросхем с целью изучения особенностей их применения при разработке РЭА. Приобретение навыка анализа технической документации на интегральные микросхемы.

Основные теоретические сведения

Процессор 1892ВМ8Я. Краткое описание

Сигнальный микропроцессор 1892ВМ8Я имеет следующие функциональные параметры и возможности:

- тактовая частота 80 МГц;
- архитектура – MIPS32;
- 32-х битная шина передачи адреса и 64-х битная шина передачи данных;
- кэш команд объемом 16 Кбайт;
- устройство умножения и деления;
- сопроцессор арифметики в формате с плавающей точкой;
- JTAG IEEE 1149.1, встроенные средства отладки программ;
- производительность – не менее 80 млн. оп/сек (при тактовой частоте 80 МГц);
- оперативная память центрального процессора (CRAM) объемом 32 Кбайт;
- 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI);
- встроенный цифровой сигнальный процессор (DSP) с “Гарвардской” RISC – подобной архитектурой с оригинальной системой команд и преимущественно одноктактным исполнением инструкций;
- SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
- пиковая производительность DSP, не менее (при тактовой частоте 80 МГц):
 - 480 млн. оп/с 32-битных операций с плавающей точкой (IEEE 754);
 - 2880 млн. оп/с 8-битных операций с фиксированной точкой;
 - 1280 млн. оп/с 16-битных операций с фиксированной точкой;
 - 640 млн. оп/с 32-битных операций с фиксированной точкой.
- встроенный контроллер управления статической памятью типа SRAM, FLASH, ROM, а также синхронной памятью типа SDRAM;
- программное конфигурирование типа блоков памяти и их объема;

- программное задание циклов ожидания;
- формирование сигналов выборки 4 блоков внешней памяти;
- 16 - канальный контроллер прямого доступа в память (DMA) и 4 внешних запроса прямого доступа;
- 4 универсальных порта MFBSP, работающих в режимах: LPORT (Analog Device), SPI, I2S, GPIO;
- два дуплексных канала SpaceWire с пропускной способностью не менее 250 Мбит/с каждый;
- универсальный асинхронный порт (UART) типа 16550;
- 32-разрядный интервальный таймер (IT);
- 32-разрядный таймер реального времени (RTT);
- напряжение питания микропроцессора: ядро 2,5 В $\pm 5\%$, периферия 3,3 В $\pm 5\%$.
- максимальная мощность потребления ядра 2625 мВт, приведено пиковое значения для наихудших условий в пределах ТУ.
- программируемые режимы энергосбережения.
- диапазон рабочих температур от -60 °С до +85 °С.
- корпус HSBGA-416, 35x35мм.

Структурная схема процессора 1892ВМ8Я приведена на рисунке 1.

В состав 1892ВМ8Я входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора арифметики в формате с плавающей точкой (FPU);
- DSP – цифровой сигнальный процессор;
- CDB (CPU Data Bus) – шина обмена данными CPU с регистрами устройств;
- AXI Switch - коммутатор;
- XRAM, YRAM, PRAM – память DSP;
- SRAM – двухпортовая оперативная память центрального процессора;
- MPORT – порт внешней памяти;
- DMA – контроллер прямого доступа в память;
- OnCD – встроенные средства отладки программ;
- UART – асинхронный последовательный порт;
- PLL – умножитель частоты на основе PLL;
- SWIC – контроллеры канала Space Wire (2);
- MFBSP (Multy Functional Bufferd Serial Port) (4);
- ICTR – контроллер прерываний;
- IT – интервальный таймер;
- WDT – сторожевой таймер;

- RTT – таймер реального времени;
- JTAG – отладочный порт.

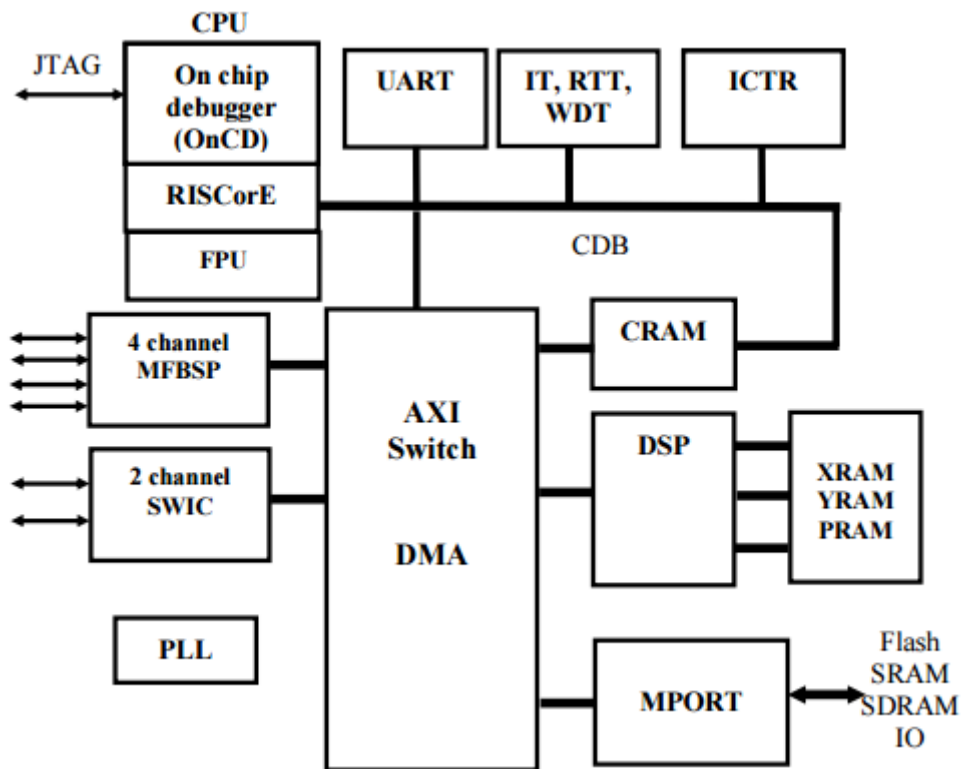


Рисунок 1 - Структурная схема процессора 1892BM8Я

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “ЭЛВИС” <http://multicore.ru/index.php?id=658>.

Процессор 1892BM10Я. Краткое описание

Микропроцессор 1892BM10Я (рисунок 2) имеет следующие функциональные параметры и возможности:

- ☑ тактовая частота: 250 МГц;
- ☑ CPU-ядро: совместимо с MIPS32, встроенный 32/64-разрядный акселератор (FPU);
- ☑ производительность двух DSP-ядер:
 - 24e8: 4000 Моп/с, 16 операций за 1 такт;
 - int32: 4000 Моп/с, 16 операций за 1 такт;
 - int16: 16 Гоп/с, 64 операции за 1 такт;
 - int8: 24 Гоп/с, 96 операций за 1 такт.
- ☑ встроенное ОЗУ: 4 Мбит;
- ☑ 32-разрядный порт внешней памяти SRAM/ ROM/ SDRAM/ Mobile SDRAM/ EPROM/ FLASH и внешних устройств;

☒ последовательные порты I2C, Ethernet MAC 10/100, 2 порта UART, 4 порта MFBSPP (I2S/ SPI/ SHARC LPORT/ GPIO) с DMA;

☒ порты ввода и вывода видеоданных;

☒ встроенный 4-канальный DMA-контроллер;

☒ встроенные интервальный таймер, таймер реального времени, сторожевой таймер;

☒ навигационный коррелятор (MCC);

☒ 24 канала слежения за навигационными сигналами GPS C/A, GPS L2C, ГЛОНАСС СТ;

☒ 4 внешних прерывания;

☒ встроенный умножитель/делитель входной частоты (PLL);

☒ порт JTAG, встроенные средства отладки программ (OnCD);

☒ программная совместимость снизу с процессорами «Мультикор»: 1892BM3T, 1892BM2Я, 1892BM5Я, 1892BM8Я;

☒ напряжение питания микропроцессора: ядро — 1,2 В ±5%, периферия — 3,3 В ±5%;

☒ максимальная мощность потребления ядра: 1512 мВт для наихудших условий в пределах ТУ и 567 мВт на частоте 100 МГц;

☒ программируемые режимы энергосбережения;

☒ температурный диапазон от -60°C до +85 °C;

☒ корпус HSBGA-400, 21x21 мм.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “ЭЛВИС” <http://multicore.ru/index.php?id=1149>.

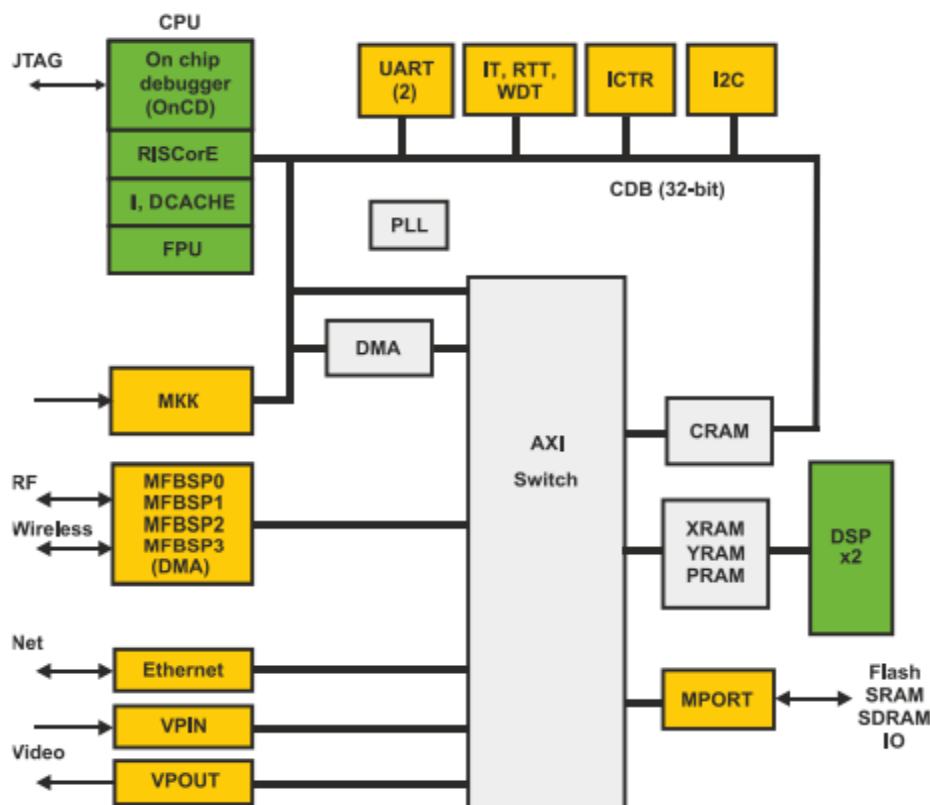


Рисунок 2 - Структурная схема процессора 1892BM10Я

Процессор 1892BM14Я. Краткое описание

Малопотребляющий многоядерный сигнальный микропроцессор нового поколения 1892BM14Я (рисунок 3) для связных, навигационных, мультимедийных, встраиваемых, мобильных приложений имеет следующие основные характеристики и особенности:

- технология изготовления — КМОП, 40LP процесс TSMC.
- архитектура: многоядерная гетерогенная «система-на-кристалле» с использованием IP-блоков платформы «МУЛЬТИКОР» (от ОАО НПЦ «ЭЛВИС») и покупных IP-блоков.
- максимальная рабочая частота
 912 МГц CPU / 720 МГц DSP при нормальных условиях;
 не менее 744 МГц CPU / 480 МГц DSP для наихудших условий;
 1104 МГц CPU / 912 МГц DSP при нормальных условиях и повышенном напряжении ядра (1,2В).
- общее потребление микропроцессора:
 общее типовое — 3 Вт (зависит от используемых ресурсов);
 в режиме гибернации — до 130 мВт;
 в режиме глубокого сна — 75 мкВт;

- потребление DSP — $0,5 \div 0,8$ мВт/МГц (в зависимости от задачи) на ядро;

- потребление CPU — $0,3 \div 0,5$ мВт/МГц (в зависимости от задачи) на ядро;

- система управления энергопотреблением.

- напряжение электропитания:

- напряжение питания ядра: 1,1–1,2 В;

- настраиваемое напряжение питания периферии: 1,8/ 2,5/ 3,3 В.

- многоядерная гетерогенная MIMD-архитектура на базе стандартных процессорных и специализированных ядер:

- стандартное управляющее процессорное сдвоенное ядро — Dual CORTEX-A9 (CPU 0-1) с FPU-акселератором и NEON SIMD-акселератором (ARM);

- кластер на базе двух DSP-ядер с плавающей и фиксированной точкой ELCore-30M; полная программная совместимость с микросхемами 1892BM10Я, 1892BM15Ф;

- графический 2D/3D акселератор (MALI-300, ARM); поддержка OpenVG 1.1, OpenGL ES 2.0/1.1; поддержка разрешения до HD 1080p с 4x сглаживанием; встроенный 8 КВ кэш второго уровня; 250 млн. пикселей/с;

- ядро многоканального ГЛОНАСС/GPS/BeiDou-коррелятора;

- видеocodeк VELcore-01: обеспечение функций H.264 CBP Encode and Decode, Full HD (1920x1080) стерео поток с частотой следования не менее 30 кадров/с; память видеоданных VRAM объемом 1 Мбайт, доступная для CPU и DSP;

- аппаратный ускоритель для сжатия изображений по стандарту JPEG.

Периферия:

○ контроллер Ethernet MAC 10/100/1000;

○ два порта DDR3; максимальная скорость передачи данных 1066 Мбит/с на частоте 533 МГц; разрядность — 16/32;

○ порт памяти NORMPORT для подключения памяти SRAM/PSRAM/ROM/NOR FLASH;

○ порт памяти NANDMPORT для подключения памяти NAND FLASH;

○ два SD/MMC порта с поддержкой SD3.0/MMC4.5;

○ два многофункциональных порта MFBSP (LPORT, SPI, I2S, GPIO) с DMA;

○ четыре универсальных асинхронных порта (UART) типа 16550A;

○ USB2.0 (HOST+DEVICE+PHY), 480 Мбит/с;

○ «интеллектуальный» многоканальный DMA контроллер SDMA;

- DMA контроллер с возможностью прямой обработки запросов периферийных устройств PDMA;
- 128 мультиплексированных GPIO вывода; возможность ввода 32 внешних прерываний;
- три порта I2C интерфейса;
- два выделенных порта интерфейса SPI;
- выделенный порт интерфейса I2S;
- 2 двухканальных контроллера ШИМ;
- два порта SpaceWire для обеспечения сетевых возможностей микросхемы; соответствуют стандарту ECSS-E-50-12C; скорость приема и передачи данных — от 2 до 400 Мбит/с; дуплексный режим работы;
- восемь универсальных 32-разрядных таймеров, интервальные/реального времени (IT/RTT);
- 32-разрядный сторожевой таймер (WDT);
- таймер реального времени (RTC); полная поддержка календаря: секунды, минуты, часы, дни, месяцы, годы; внешняя синхронизация — 32,768 кГц;
- широкие возможности по отладке и трассированию программ: архитектура отладки и трассирования ARM CoreSight; отладка по стандарту IEEE1149.1(JTAG); порт отладки DAP с доступом к внутренней памяти микросхемы;
- два порта ввода видеоданных:
- порт MIPI CSI или параллельный порт;
- встроенное DMA;
- встроенный Image Preprocessor.
- порт вывода видеоданных:
- порт MIPI DSI или параллельный порт;
- встроенное DMA.
- контроллер управления электропитанием: управление включением и выключением электропитания; формирование и хранение реального времени.

- тип корпуса 1296 HFCBGA, 19 мм x 19 мм, шаг по выводам 0,5 мм.

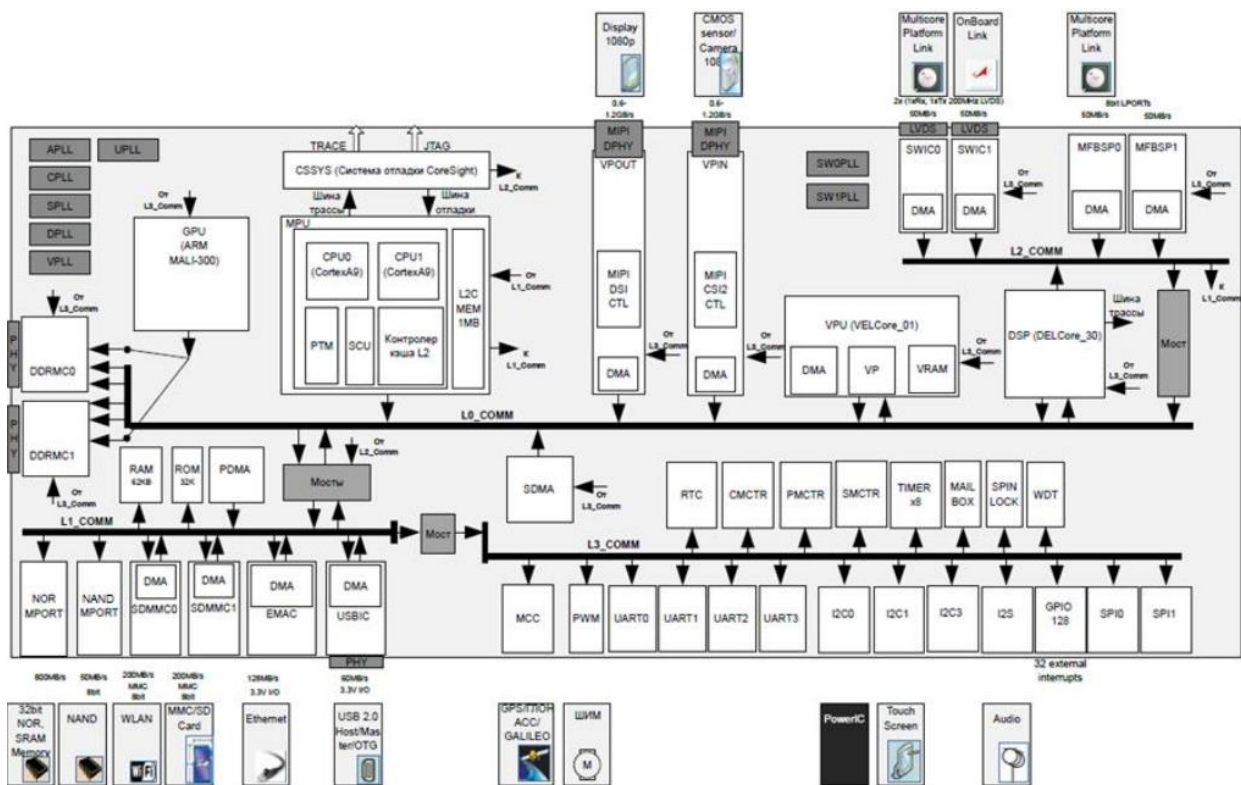


Рисунок 3 - Структурная схема процессора 1892VM149

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “ЭЛВИС” <http://multicore.ru/index.php?id=1335>.

Процессор 1967BH028. Краткое описание

Сигнальный микропроцессор 1967BH028 имеет следующие технические характеристики:

- рабочая частота до 450 МГц, время цикла исполнения команды 2,2 нс;
- встроенная оперативная память типа SRAM 24 Мбит;
- корпус типа BGA повышенной термостойкости 25 x 25 мм (576 шариковых вывода);
- два вычислительных блока, каждый из которых содержит АЛУ, множитель, сдвигатель и коммуникационный блок (CLU);
- два целочисленных АЛУ, обеспечивающих адресацию данных и содержащих буферы выравнивания данных (DAB).
- интегрированная система ввода-вывода включает 14-канальный контроллер DMA, внешний 64/32-разрядный порт, 4 высокоскоростных двунаправленных LVDS порта передачи данных, контроллер SDRAM, пользовательские линии ввода-вывода и внешний флаг переполнения таймера для синхронизации системы;
- два таймера;

- порт доступа к интерфейсу JTAG (совместимому со стандартом 1149.1 IEEE) для эмуляции на кристалле;

- формат данных: числа с плавающей точкой одинарной (32 бита) и двойной (64 бита) точности. Числа с фиксированной точкой: 8, 16, 32 и 64 бит.

Процессор обеспечивает высокопроизводительную суперскалярную цифровую обработку сигнала, оптимизированную для применения в телекоммуникациях или других областях, требующих мультипроцессорной системы цифровой обработки данных. Он особенно эффективен в алгоритмах цифровой обработки сигнала и системах ввода-вывода. 1967BH028 поддерживает на низком уровне дополнительные передачи через устройство прямого доступа к памяти между внутренней памятью, внешней памятью, отображаемыми в памяти периферийными устройствами, LVDS портами, главным процессором и другими (мультипроцессорными) устройствами цифровой обработки данных. Он также упрощает процесс программирования процессора цифровой обработки сигналов (DSP) за счет гибкого набора команд и использования языка высокого уровня в архитектуре DSP. Процессор позволяет использовать изменяемую мультипроцессорную систему с низкими потерями пропускной способности и обеспечивает встроенную арбитражную систему мультипроцессорной обработки данных без дополнительных устройств

Структурная схема процессора 1967BH028 приведена на рисунке 4.

В состав 1892BM8Я входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора арифметики в формате с плавающей точкой (FPU);

- DSP – цифровой сигнальный процессор;

- CDB (CPU Data Bus) – шина обмена данными CPU с регистрами устройств;

- AXI Switch - коммутатор;

- XRAM, YRAM, PRAM – память DSP;

- SRAM – двухпортовая оперативная память центрального процессора;

- MPORT – порт внешней памяти;

- DMA – контроллер прямого доступа в память;

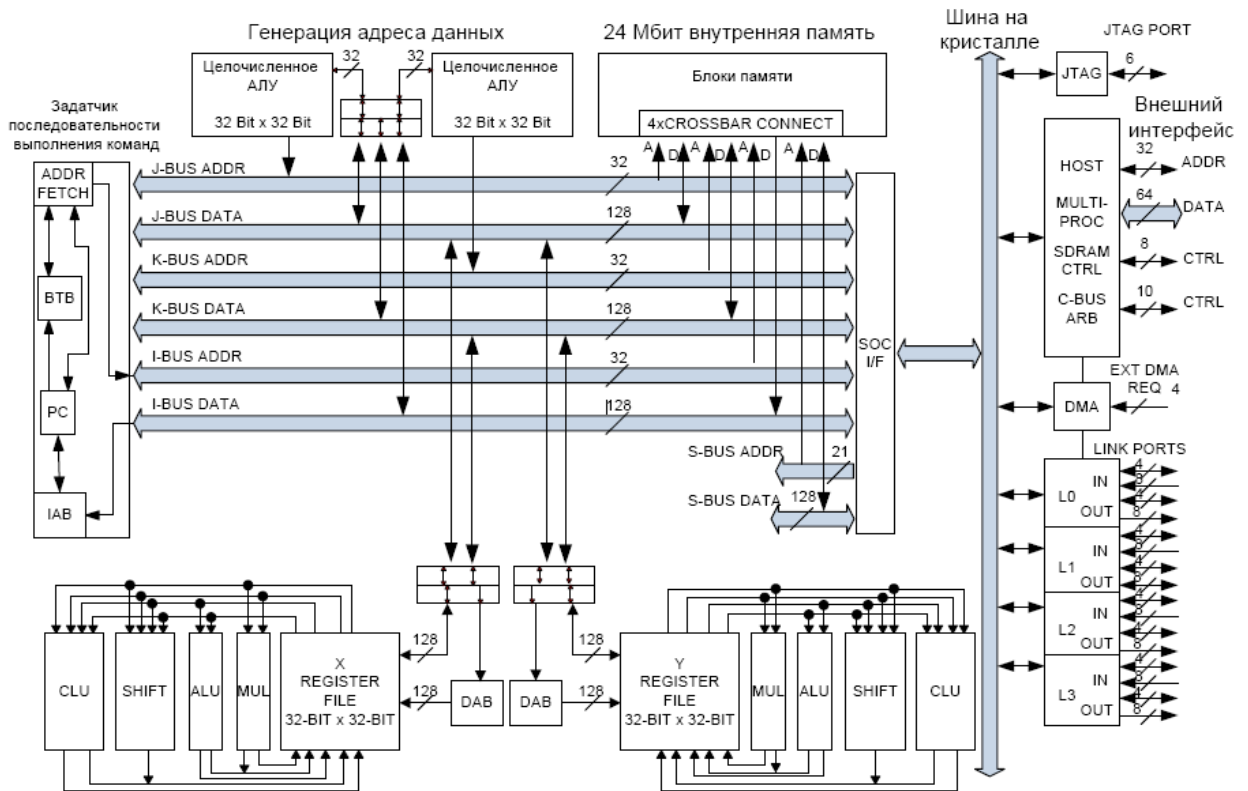


Рисунок 4 – Структурная схема микросхемы 1967BH028

- OnCD – встроенные средства отладки программ;
- UART – асинхронный последовательный порт;
- PLL – умножитель частоты на основе PLL;
- SWIC – контроллеры канала Space Wire (2);
- MFBSP (Multy Functional Bufferd Serial Port) (4);
- ICTR – контроллер прерываний;
- IT – интервальный таймер;
- WDT – сторожевой таймер;
- RTT – таймер реального времени;
- JTAG – отладочный порт.

Основное отличие процессора - наличие собственного мультипроцессорного интерфейса, который позволяет объединять процессоры в кластер, где каждый из процессоров предоставляет свои внутренние ресурсы в общий доступ своеобразно алгоритму задачи. Так, его адресные линии могут быть сконфигурированы не только как выходы, но и как входы (подробно описано в методических указаниях к лабораторной работе №4) для чтения своей памяти по кластерной шине процессором-мастером шины. Кроме того, исполняемые процессорами в кластере программы могут загружаться динамически мастером шины без перезапуска всей системы.

Процессор состоит их двух архитектурных частей:

- ядро процессора (Рисунок 5), где исполняются команды;
- периферийные устройства (Рисунок 6) для хранения данных и осуществления операций обмена с внешними устройствами.

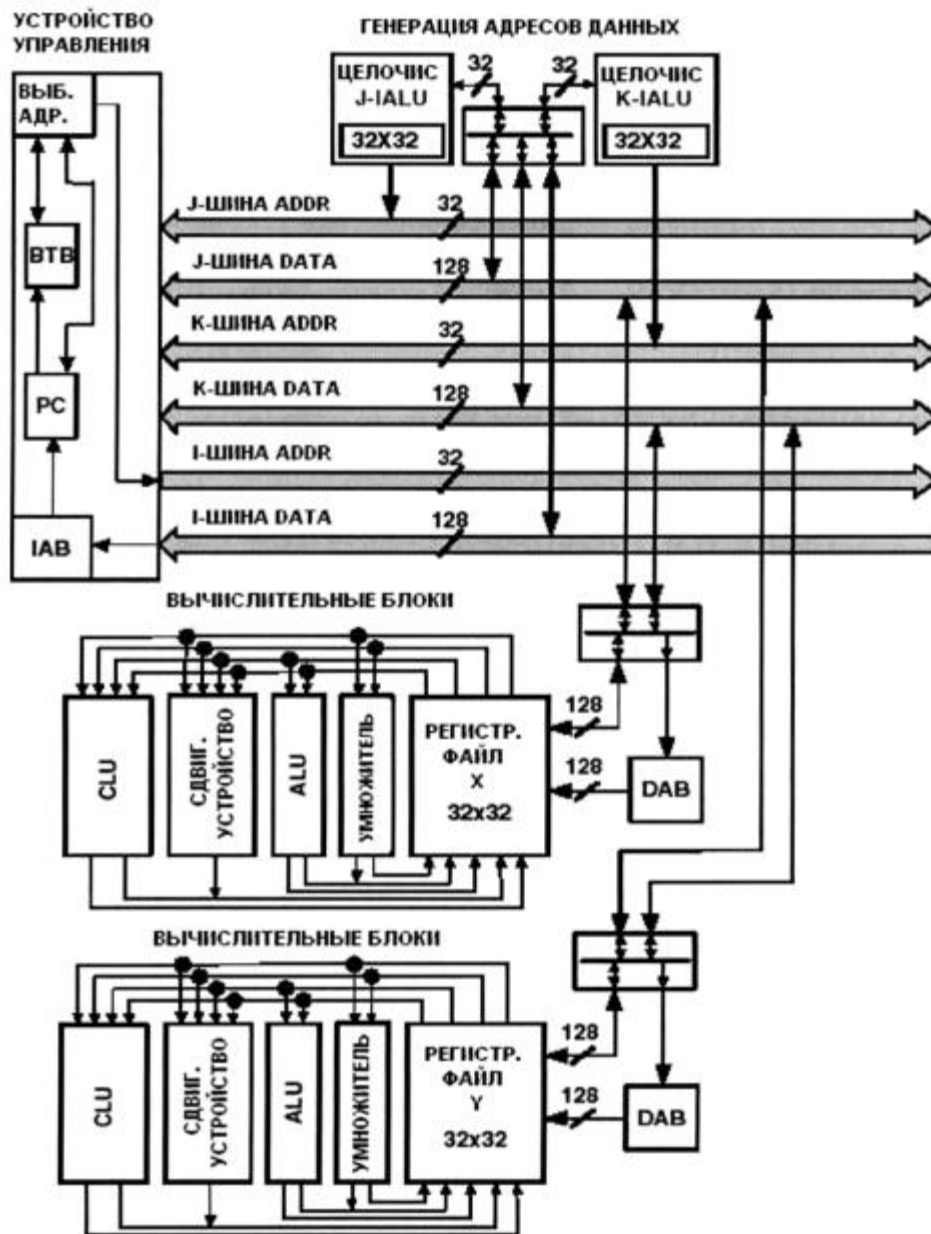


Рисунок 5 – Структурная схема ядра процессора

В процессоре можно выделить следующие элементы:

- два вычислительных модуля: X и Y, каждый из которых содержит умножитель, ALU, CLU, сдвиговое устройство и регистровый файл объемом в 32 слова;
- два блока целочисленных ALU: J и K, каждый из которых содержит 32-битное целочисленное ALU, а также регистровый файл объемом в 32 слова;
- устройство управления (Sequencer), управляющее ходом исполнения программы, содержащее буфер выравнивания команд (instruction alignment buffer – IAB) и буфер целевых адресов перехода (branch target buffer – ВТВ);

- три 128-битные шины, обеспечивающие возможность высокоскоростного обмена между внутренней памятью и другими компонентами ядра процессора (вычислительными блоками, блоками целочисленных ALU, устройством управления и SOC-интерфейсом);
- 128-битную шину, обеспечивающую возможность высокоскоростного обмена между внутренней памятью и периферийными устройствами внешнего ввода/вывода (DMA, внешним портом и портами линков);
- SOC-интерфейс, обеспечивающий связь между внутренними шинами ядра и шиной периферийных устройств;
- интерфейс внешнего порта, включая хост-интерфейс, контроллер SDRAM, конвейерный интерфейс со статической организацией конвейера, четыре канала DMA, четыре порта LVDS-линков, каждый с двумя каналами DMA, и поддержку многопроцессорной работы;
- 24 Мбит внутренней памяти, организованной как шесть 4-Мбитных блоков, каждый из которых содержит 128К 32-битных слов.

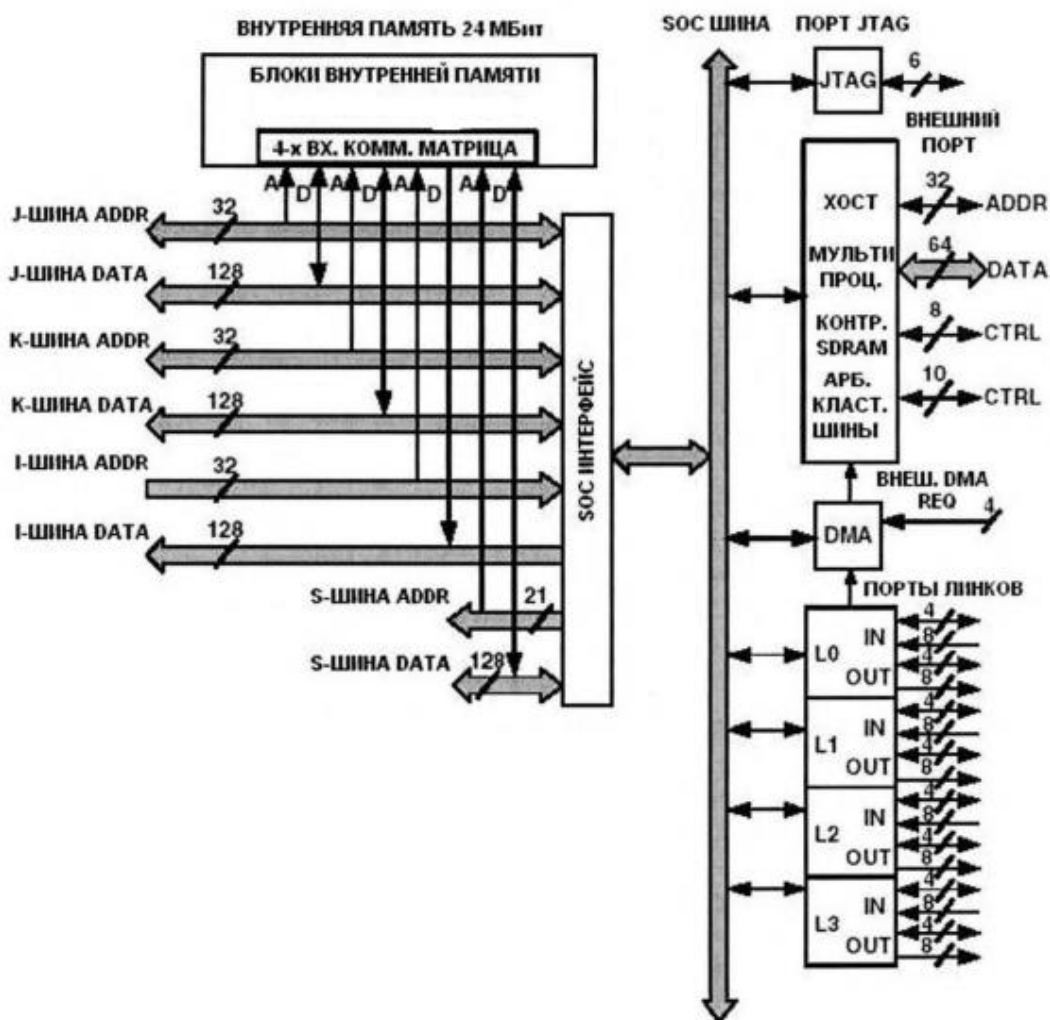


Рисунок 6 – Схема подключения периферийных устройств к ядру процессора

Внешний порт процессора обеспечивает интерфейс с внешней памятью, с устройствами ввода/вывода, отображенными в память, с хост-процессором, а также с дополнительными процессорами. Внешний порт выполняет арбитраж внешней шины и подает управляющие сигналы на общую глобальную память, SDRAM и устройства ввода/вывода.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Миландр” <http://multicore.ru/index.php?id=658>.

Процессор 1967ВН044. Краткое описание

Микросхемы интегральные 1967ВН034 предназначены для использования в аппаратуре специального назначения в качестве процессора цифровой обработки сигналов с ОЗУ 12 Мбит и тактовой частотой 300 МГц. Структурная схема микропроцессора приведена на рисунке 7.

Одна из её особенностей состоит в том, что у всех внешних 32-х битных портов PA..PE имеется ряд конфигурационных вариантов, которые должен определять разработчик ещё на стадии проектирования “железа”. Эти варианты определяют, какую из ряда заранее известного набора функцию будет выполнять порт. При этом порты могут перепрограммироваться динамически в течение одного и того же включения процессора.

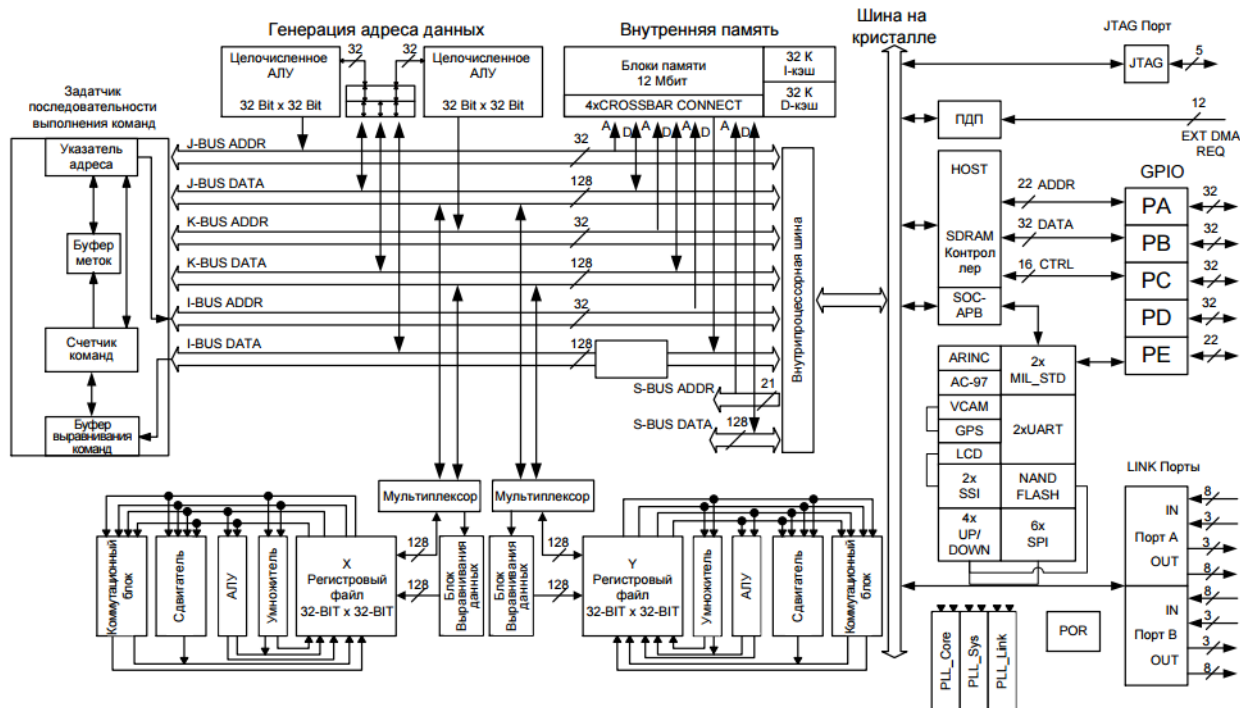


Рисунок 7 – Структура процессора 1967ВН044

Процессор состоит из трех архитектурных частей:

- ядро процессора (рисунок 8), где исполняются команды;

- внутренняя память (рисунок 9), где хранятся данные;
- периферийные устройства (рисунок 10), которые осуществляют операции обмена с внешними устройствами.

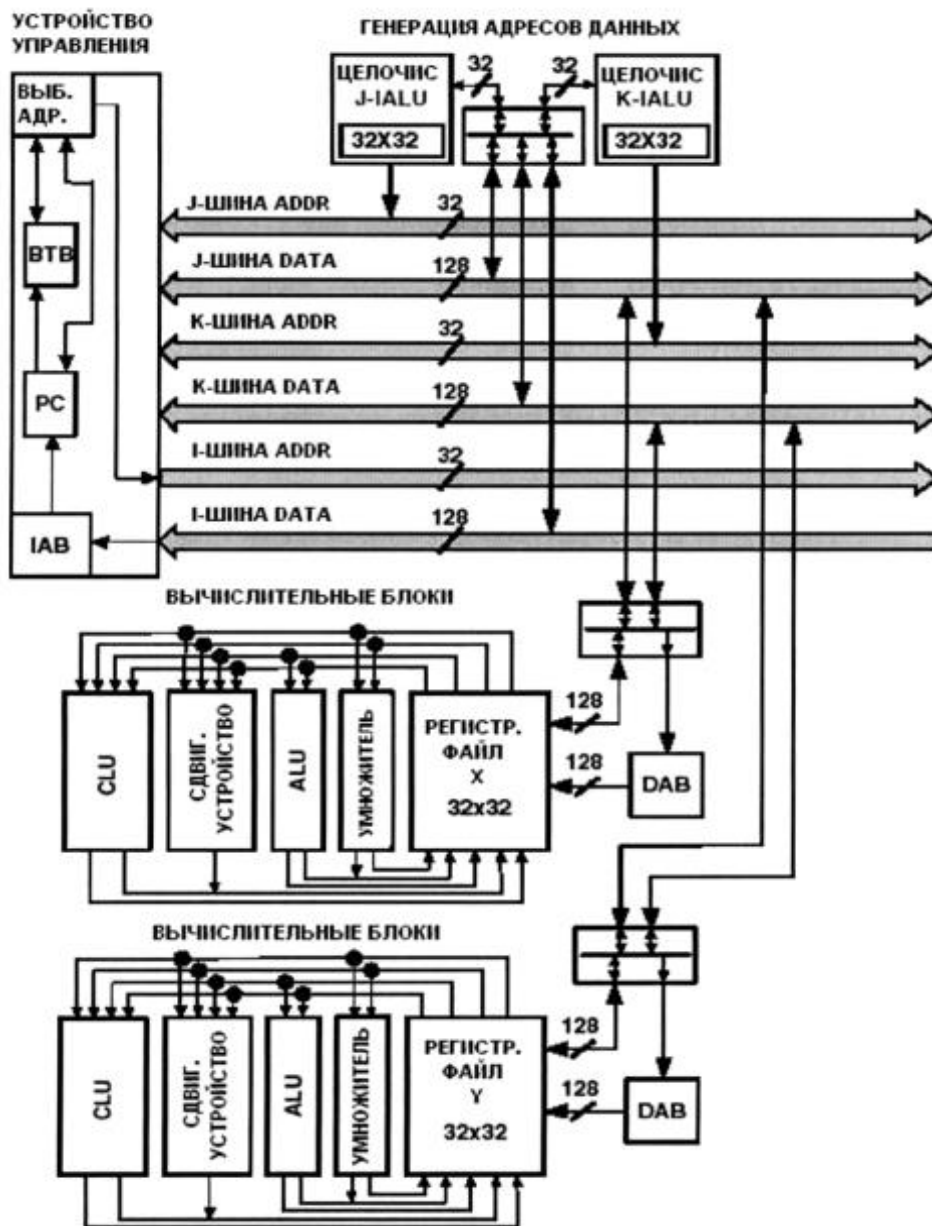


Рисунок 8 – Схема внутреннего ядра процессора

В процессоре можно выделить следующие элементы:

- два вычислительных модуля: X и Y, каждый из которых содержит умножитель, ALU, CLU, сдвиговое устройство и регистровый файл объемом в 32 слова;
- два блока целочисленных ALU: J и K, каждый из которых содержит 32-битное целочисленное ALU, а также регистровый файл объемом в 32 слова;

- устройство управления (Sequencer), управляющее ходом исполнения программы и содержащее буфер выравнивания команд (instruction alignment buffer – IAB) и буфер целевых адресов перехода (branch target buffer – BTB);

- три 128-битные шины, обеспечивающие возможность высокоскоростного обмена между внутренней памятью и другими компонентами ядра процессора (вычислительными блоками, блоками целочисленных ALU, устройством управления и SOC-интерфейсом);

- 128-битная шина, обеспечивающая возможность высокоскоростного обмена между внутренней памятью и периферийными устройствами внешнего ввода/вывода (DMA, внешним портом и LINK-портами);

- SOC-интерфейс, обеспечивающий связь между внутренними шинами ядра и шиной периферийных устройств.

- периферийные устройства, такие как интерфейс внешнего порта, контроллер SDRAM, конвейерный интерфейс со статической организацией конвейера, двенадцать каналов DMA, два порта LVDS-линков (с двумя каналами DMA каждый) и др.;

- 12 Мбит внутренней памяти, организованной как шесть блоков по 2 Мбит, каждый из которых содержит 64К 32-битных слов;

- средства поддержки отладки;

- тестовый порт JTAG.

Внутренняя память объемом 12 Мбит разбита на шесть блоков памяти по 64 К слов. Каждая из четырех пар внутренних шин «адрес/данные» подсоединена ко всем шести блокам памяти через коммутационную матрицу. Шесть блоков памяти поддерживают до четырех обращений в каждом такте, причем каждый блок памяти может выполнить 128-битное обращение за такт. Внешний порт поддерживает ширину шины данных 16 или 32 бита. Высокая пропускная способность ввода/вывода сочетается с высокой скоростью работы ядра. Для достижения высокой тактовой частоты процессор использует конвейерную внешнюю шину для синхронной статической памяти (SSRAM) и для синхронной динамической памяти (SDRAM).

Высокую пропускную способность передачи данных из точки в точку поддерживают два порта LVDS-линков. Каждый LINK-порт обеспечивает полнодуплексную связь.

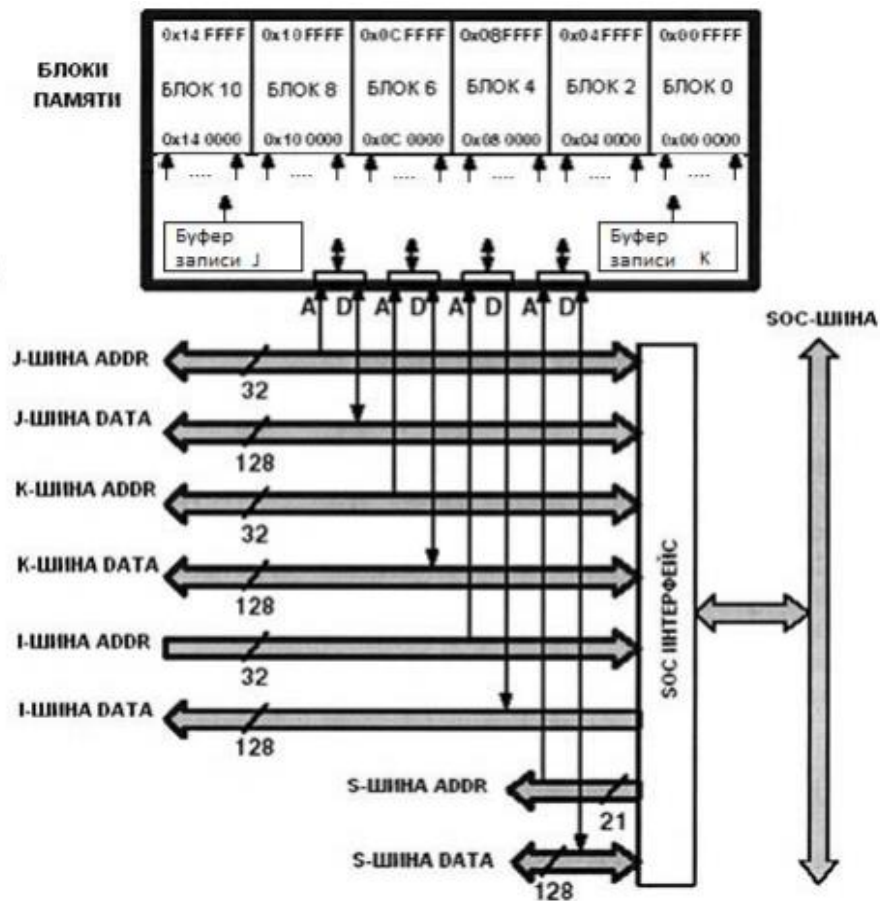


Рисунок 9 – Подключение внутрикристалльной памяти к ядру процессора

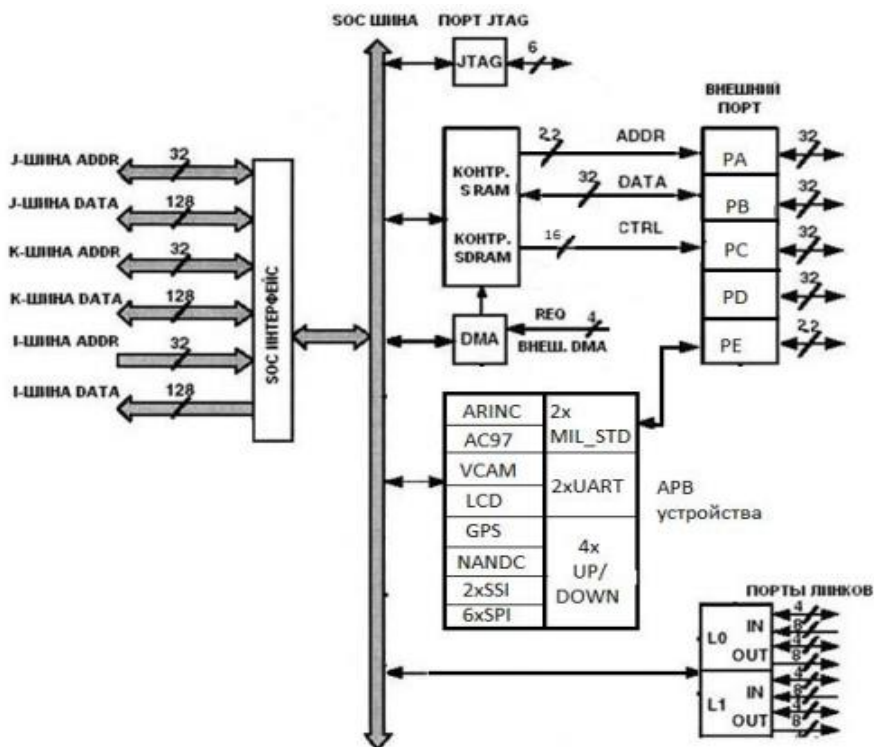


Рисунок 10 – Подключение периферийных устройств к ядру процессора

Наличие разнообразных контроллеров периферийных устройств позволяет подключать:

- внешнюю NAND флэш-память;
- последовательную флэш-память с интерфейсом SPI;
- внешние аудио кодеки с интерфейсом SSI или AC97;
- внешние устройства, поддерживающие интерфейсы ARINC и MIL_STD;
- внешнюю LCD-панель произвольного разрешения;
- внешнюю видеокамеру;
- внешние ЦАП\АЦП.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Миландр” www.milandr.ru.

Процессор Multiclet R1. Краткое описание

Микропроцессор Multiclet R1 (МСр0411100101) имеет в своем составе мультиклеточное процессорное ядро – первое процессорное ядро с принципиально новой (пост-неймановской) мультиклеточной архитектурой российской разработки. Мультиклеточный процессор предназначен для решения широкого круга задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности. Данный мультиклеточный процессор состоит из 4 клеток (когерентных процессорных блоков), объединенных интеллектуальной коммутационной средой. Общая структура процессора приведена на рисунке 11.

Особенности:

- число клеток — 4;
- разрядность процессора — 32/64 бита;
- память данных - 128Кб (4*4К*64);
- память программ 128Кб (4*4К*64);
- ПЗУ - в исполнении «1» отсутствует, для хранения исполняемого кода должно применяться внешнее последовательное FLASH ПЗУ XCF04S;
- блок операций над числами с плавающей запятой (в каждой клетке);
- тактовая частота - 100 МГц;
- производительность - 2,4 Gflops.

Общие характеристики:

- корпус - QFP-208;
- условия эксплуатации – (0...+70);
- максимальная потребляемая мощность процессора 1,08Вт

- напряжение питания (раздельное):

- ядра — 1,8В

- периферии — 3,3 В.

Основные свойства:

- увеличение производительности в 4-5 раз при одновременном снижении энергопотребления (при одинаковых тактовых частотах и топологических нормах исполнения):

- в 2-4 раза по сравнению с аудиопроцессорами;

- в 10-15 раз по сравнению с процессорными ядрами со сверхнизкими энерго-потреблением;

- «естественная» реализация параллелизма (без решения задачи распараллеливания);

- уменьшение площади кристалла;
- эффективная реализация любого класса задач (коммутационная среда не вносит каких-либо ограничений в межклеточный обмен данными);

- выполнение программы без перекомпиляции на любом количестве клеток.

Периферийные устройства:

- 2 интерфейса SPI с селектором “ведомых” устройств (в режиме “ведущий”);

- 4 универсальных асинхронных приёмопередатчика UART с FIFO на прием/передачу;

- 2 интерфейса I2C (один “master” и один “slave”);

- интерфейс I2S;

- Ethernet контроллер 10/100Мб/с;

- USB 1.1 FS (device) контроллер с последовательным внешним интерфейсом для подключения приемо-передатчика;

- часы реального времени с календарем;

- 7 таймеров общего назначения;

- 4 порта ввода-вывода, общее количество вводов-выводов – 104;

- 4-х канальный контроллер ШИМ;

- сторожевой таймер.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Мультиклет”

http://www.multiclet.com/docs/Datasheet_MCp0411100101.pdf

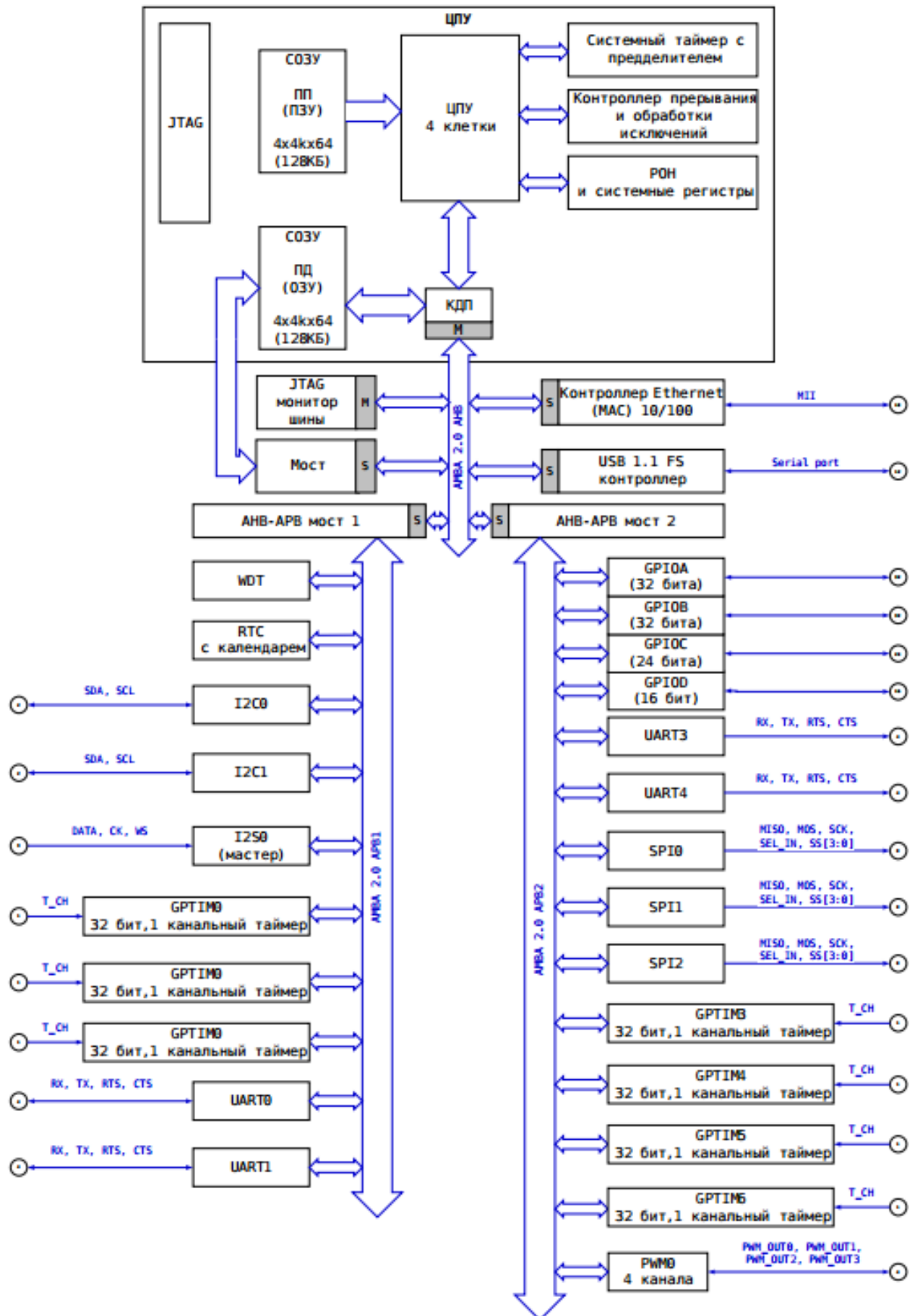


Рисунок 11 - Общая структура процессора Multiclet R1

Процессор Multiclet P1. Краткое описание

Микропроцессор Multiclet P1 (МСр041Р100104) в миниатюрном корпусе создан на базе российской мультиклеточной архитектуры и имеет в своем составе мультиклеточное процессорное ядро российской разработки. Он предназначен для решения широкого круга задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности, а также там, где существенными являются массогабаритные характеристики. Отличается от предыдущих процессоров линейки уменьшенной периферией. Основные технические характеристики процессора приведены на рисунке 12. Структурная схема процессора приведена на рисунке 13.

Параметры	МСр041Р100104-LQ144
Ядро	МСс041Р1, российское
Кол-во ядер	1 (4 клетки)
Архитектура	мультиклеточная, российская
Тип корпуса	LQFP 144 20x20 мм
Тех.процесс	0,18 мкм
Разрядность	32/64 бит
Тактовая частота	100 МГц
Производительность	2,4 Гфлопс
Память данных	128 Кб (4*4К*64)
Память программ	128 Кб (4*4К*64)
Напряжение	ядра - 1,8 В периферии - 3,3 В
Максимальная потребляемая мощность (на FFT)	1,08 Вт
Плавающая запятая	есть

Рисунок 12 - Технические характеристики процессора Multiclet P1

Процессор Multiclet P1 отличается от предыдущих процессоров линейки уменьшенной номенклатурой периферийных устройств. Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Мультиклет”.

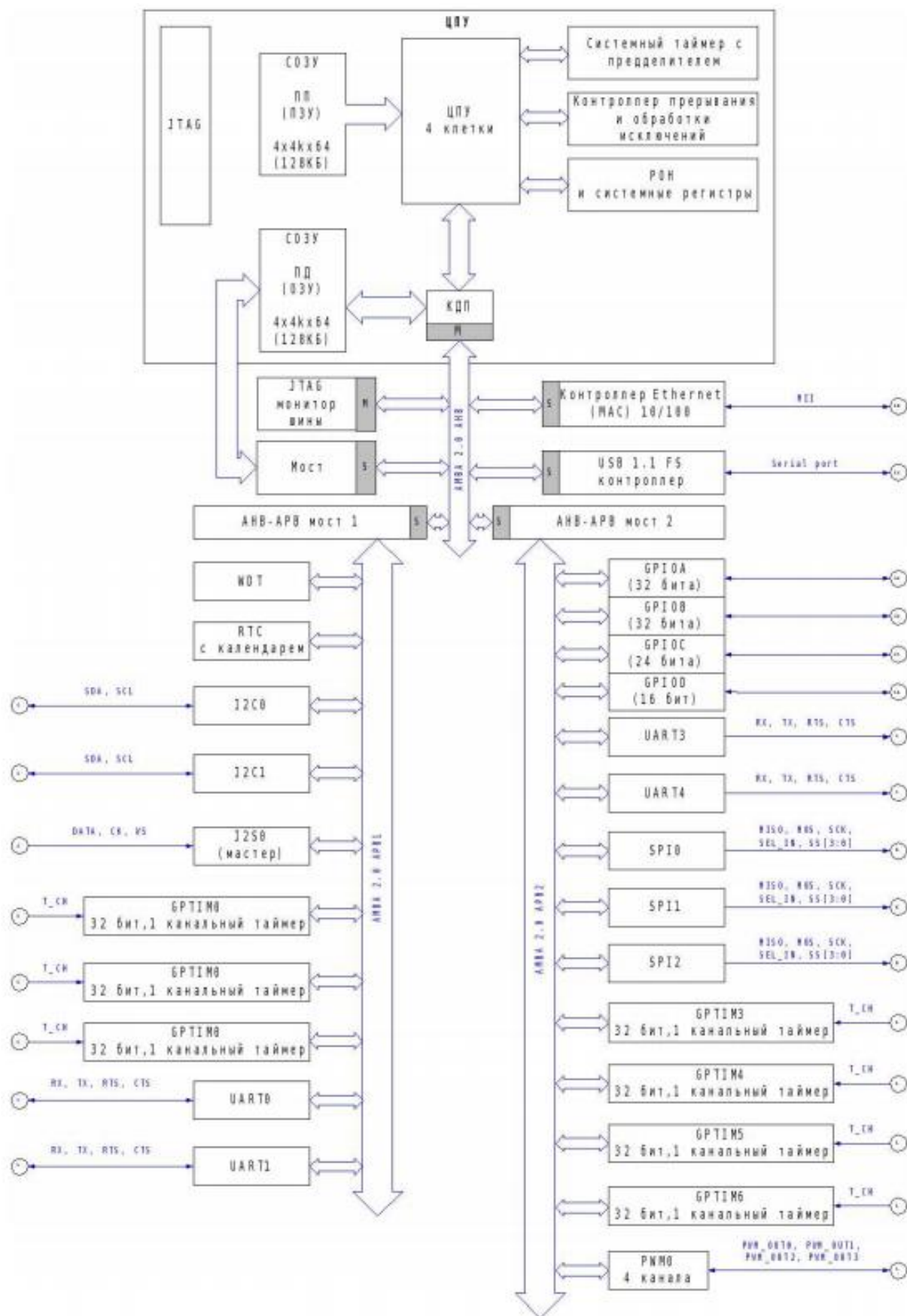


Рисунок 13 – Структурная схема процессора Multiclet P1

Процессор МЦСТ-R1000

Процессор МЦСТ-R1000 предназначен для использования в многопроцессорных системах с распределенной когерентной общей оперативной памятью, рассчитанных на высокие показатели производительности. Основные решения, принятые в этом направлении, состоят в реализации четырехъядерной процессорной части с архитектурой SPARC.v9 и переходе на тактовую частоту 1 ГГц. Важной новацией является введение трех быстрых каналов межсистемного обмена, позволяющих строить четырехпроцессорные вычислительные системы простым соединением каналов. Системы с большим количеством процессоров могут быть реализованы при использовании дополнительного коммутатора.

В архитектуру системы также внесены ряд оптимизаций, способствующих увеличению производительности (рисунок 14). В их числе надо особо отметить решения, обеспечивающие наполненность потока инструкций, который поступает в процессоры в фазе дешифрации.

Структура микросхемы содержит (рисунок 15):

- четыре процессорных ядра — CPU0—CPU3;
- контроллер кэш-памяти второго уровня L2CacheControl;
- общий кэш второго уровня L2Cache;
- контроллер когерентности CC;
- системный коммутатор SCom;
- контроллер оперативной памяти MC;
- контроллер канала ввода-вывода IOCC;
- три контроллера каналов межсистемного обмена — ISCC0, ISCC1 и ISCC2.

Процессорные ядра CPU0—CPU3 реализуют 64-разрядную архитектуру SPARCv9 и имеют суперскалярную организацию. Максимальный темп дешифрации команд в процессорном ядре — 2 команды за такт. Обмен с кэшем второго уровня для каждого процессорного ядра выполняется блоками по 32 байта (4 слова параллельно) и выполняется на рабочей частоте ядра 1000 МГц.

Контроллер кэш-памяти второго уровня L2CacheControl управляет работой кэш-памяти второго уровня L2Cache.

Кэш второго уровня L2Cache является общим для четырех процессорных ядер и имеет емкость 2 Мбайт. Он организован в виде 8 колонок по 4096 строк, размер кэш-блока — 64 байта данных.

Контроллер когерентности СС обеспечивает согласованность данных в многопроцессорных системах (в том числе с несимметричным доступом к памяти), построенных на базе систем на кристалле МЦСТ-R1000.

Параметр	Значение
Процессорное ядро	SPARCV9 + VIS2
Тактовая частота, ГГц	1
Количество процессорных ядер	4
Производительность одного ядра: – Dhrystone, GIPS; – 32 разряда, GFLOPS; – 64 разряда, GFLOPS	2 4 2
Кэш команд первого уровня (одно ядро), Кбайт	16 (I)
Кэш данных первого уровня (одно ядро), Кбайт	32 (D)
Кэш второго уровня (общий), Мбайт	2
Пропускная способность канала ОЗУ, Гбайт/с	4
Тип ОЗУ	DDR2-800
Пропускная способность канала ввода-вывода, Гбайт/с	2
Пропускная способность канала межпроцессорного обмена (3 канала в микросхеме), Гбайт/с	4
Потребляемая мощность, Вт, не более	20
Количество транзисторов, млн шт.	180
Напряжение питания, В	1,0/1,8/2,5
Тип корпуса/количество выводов	HFCBGA/1156
Технология	90 нм, 10 слоев металла
Площадь кристалла, мм ²	128

Рисунок 14 – Технические характеристики процессора МЦСТ-R1000

Процессорные ядра CPU0—CPU3 реализуют 64-разрядную архитектуру SPARCV9 и имеют суперскалярную организацию. Максимальный темп дешифрации команд в процессорном ядре — 2 команды за такт. Обмен с кэшем второго уровня для каждого процессорного ядра выполняется блоками по 32 байта (4 слова параллельно) и выполняется на рабочей частоте ядра 1000 МГц.

Контроллер кэш-памяти второго уровня L2CacheControl управляет работой кэш-памяти второго уровня L2Cache.

Кэш второго уровня L2Cache является общим для четырех процессорных ядер и имеет емкость 2 Мбайт. Он организован в виде 8 колонок по 4096 строк, размер кэш-блока — 64 байта данных.

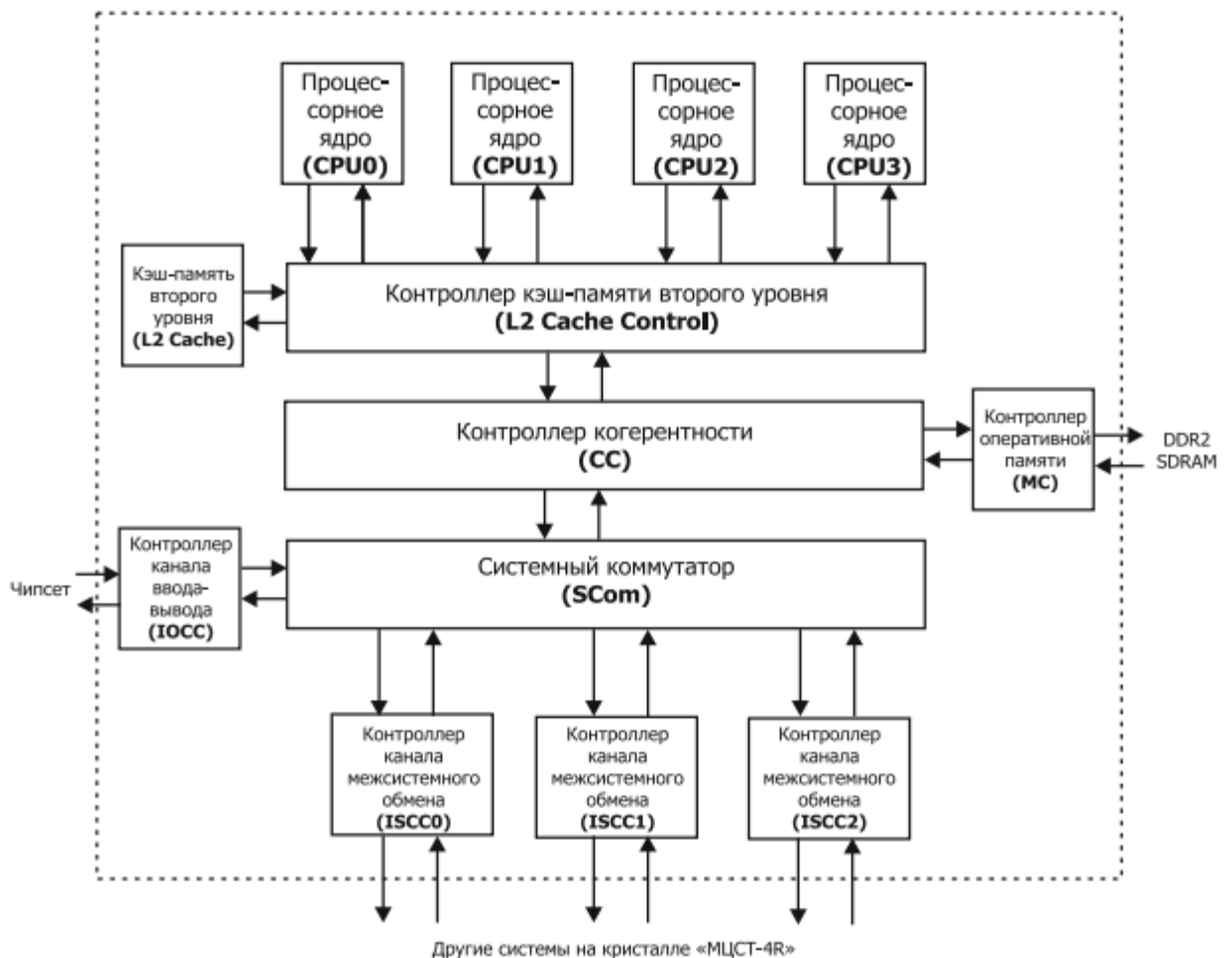


Рисунок 15 – Структурная схема процессора МЦСТ-R1000

Контроллер когерентности СС обеспечивает согласованность данных в многопроцессорных системах (в том числе с несимметричным доступом к памяти), построенных на базе систем на кристалле МЦСТ-R1000.

Системный коммутатор SCom обеспечивает доступ в оперативную память процессорных ядер, контроллера канала ввода-вывода IOCC и трех контроллеров межсистемного обмена ISCC0—ISCC2.

Контроллер памяти MC обеспечивает доступ к двум слотам оперативной памяти типа DDR2SDRAM с общим объемом до 8 Гбайт. Обмен с памятью выполняется на частоте 250 МГц, пропускная способность канала 9×2 байт в каждый такт обмена.

Контроллер канала ввода-вывода IOCC обеспечивает обмен с подсистемой ввода-вывода (контроллером «южного моста») или другими вычислительными комплексами.

Контроллеры каналов межсистемного обмена ISCC0—ISCC2 предназначены для связи с другими системами на кристалле МЦСТ-R1000. Каждый контроллер удаленного доступа имеет дуплексный байтовый LVDS-канал. Обмен выполняется по методу DDR (DoubleDataRate) на частоте 500

МГц. Пропускная способность одного канала в одном направлении 1×2 байт каждый такт, суммарная пропускная способность контроллера 2000 Мбайт/с.

Различия между контроллерами IOCC и ISCC связаны в основном со спецификой пакетов данных и сигнальных сообщений, передаваемых в канале обмена. По каналу ввода-вывода IOС выполняется передача данных ств (массивы данных или отдельные команды).

По каналу межсистемного обмена ISC выполняется доступ в память к другим системам и от других систем на кристалле МЦСТ-R1000.

Задание

Выполнить задание в соответствии с вариантом, который определяется как № V, 2V 3V, ..., 12V, где V – номер варианта.

Варианты заданий

1. Какой из процессоров линейки Multicore имеет максимальную рабочую частоту 250 МГц.

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

2. Какой из процессоров линейки Multicore является радиационно-стойким?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

3. Какой из процессоров линейки Multicore имеет возможность подключения памяти DDR3?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

4. Какой из процессоров линейки Multicore имеет настраиваемое программно напряжение питания встроенных периферийных узлов?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

5. Какой из процессоров линейки Multicore имеет наибольшее напряжение питания ядра?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

6. Какой из процессоров линейки Multicore не имеет встроенных ядер Ethernet и Glonass?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

7. Какой из процессоров линейки Multicore не может работать в диапазоне температур

-60°C ...+85°C?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.
- г. Ни одна не может.
- д. Все могут.

8. Какой из поддерживаемых линейкой Multicore интерфейсов не может быть использован для объединения процессоров в сеть?

- а. Ethernet.
- б. SPI.
- в. SpaceWire.

9. Какой из поддерживаемых линейкой Multicore интерфейсов используется как отладочный?

- а. JTAG.
- б. SPI.
- в. I2C.

10. Какой корпус имеют процессоры 1982ВМ8Я, 1982ВМ10Я, 1982ВМ14Я?

- а. пластиковый.
- б. TQFP.
- в. шариковый.

11. Какой из процессоров линейки Multicore не имеет встроенной защиты внешней памяти модифицированным кодом Хэмминга?

- а. 1982ВМ8Я.
- б. 1982ВМ10Я.
- в. 1982ВМ14Я.

12. Какая из перечисленных микросхем фирмы “ЭЛВИС” относится к классу ОЗУ?

- а. 1892ВМ14Я.
- б. 1982ХД1Я.
- в. 1657РУ1У.
- г.1508ПЛ8Т.

13. Какая из перечисленных микросхем фирмы “ЭЛВИС” не содержит встроенной памяти?

- а. 1892ВМ14Я.
- б. 1982ХД1Я.
- в. 1657РУ1У.
- г.1508ПЛ8Т.

14. Архитектура процессора 1892ВМ14Я согласно классификации Флинна.

- а. SISD
- б. MISD.
- в. SIMD.
- г. MIMD.

15. Тактовая частота ядра процессора 1892ВМ14Я в нормальных климатических условиях.

- а. 912 МГц.
- б. 617 МГц.
- в. 435 МГц.
- г.250 МГц.

16. Сколько сегментов памяти имеют процессоры 1892ВМ8Я и 1892ВМ10Я?

- а. 3.
- б. 4.
- в. 5.
- г.8.

17. Какое из перечисленных устройств не интегрировано в процессор 1892ВМ14Я?

- а. Видеоакселератор VELCore-01.
- б. Графический акселератор ARM MALI-300.
- в. Встроенный кодер Хаффмана для сжатия видеоизображений.
- г. Многоканальный кореллятор GPS/Glonass..
- д. АЦП.

18. Система команд процессора 1892ВМ14Я:

- а. ARM v7.
- б. MIPS32.
- в. VIS.
- г. x86.

19. Какие из интерфейсов не интегрированы в процессор 1892ВМ14Я?

- а. Ethernet 1000.
- б. USB.
- в. CAN.
- г. DDR-3.
- д. LVDS.

20. Диапазон рабочих температур процессора 1892ВМ14Я

- а. -40...+85°C.
- б. -40...+105°C.
- в. -60...+125°C.
- г. -60...+85°C.

21. Какие из частей домена питания процессора 1892ВМ14Я допускают неподачу питания?

- а. Питание ядра.
- б. Питание домена реального времени реального времени.
- в. Питание домена DDR-3.
- г. Питание драйверов домена Alive.

22. Какая внешняя частота должна подаваться для работы домена реального времени процессора 1892ВМ14Я?

- а. 32 КГц.

б. 24 МГц.

в. 12 МГц.

г. 10 МГц.

23. Какая внешняя частота может подаваться для работы коррелятора Glonass процессора 1892ВМ14Я?

а. 32 КГц.

б. 24 МГц.

в. 1000 МГц.

г. 100 МГц.

-----**Блок Миландр**-----

24. Какая из перечисленных микросхем фирмы “МИЛАНДР” относится к классу микропроцессоров?

а. 1896ВЕ1Т.

б. 1636РР2У.

в. 1967ВН044.

г. 1645РУ4У.

25. Какие напряжения питания требуются для работы ОЗУ 1645РУ4У?

а. 3.3 В.

б. 5 В.

в. 1.8 В.

г. 2.5 В.

26. Какой из процессоров содержит специальные выводы запроса доступа к общей шине от процессоров кластера?

а. оба содержат.

б. 1967ВН028.

в. 1967ВН044.

г. ни один не содержит.

27. Разрядность внешней шины данных процессора 1967ВН028 составляет?

а. 8.

б. 16.

в. 32.

г. 64.

28. Разрядность внешней шины данных процессора 1967ВН044 составляет?

- а. 8.
- б. 16.
- в. 32.
- г. 64.

29. В какой из процессоров интегрирован сетевой интерфейс Ethernet?

- а. в оба процессора.
- б. 1967ВН028.
- в. 1967ВН044.
- г. ни в один.

30. Какая из микросхем фирмы Миландр реализует интерфейс Ethernet?

- а. 5600ВГ1У.
- б. 5559ИН10.
- в. 5559ИН13.
- г. 5600ВВ2У.

31. Какова максимальная скорость концентраторов Ethernet, выпускаемых фирмой Миландр?

- а. 10 Мб/с.
- б. 100 Мб/с.
- в. 1000 Мб/с.

32. Какова максимальная тактовая частота ядра процессора 1967ВН028?

- а. 80 МГц.
- б. 300 МГц.
- в. 450 МГц.
- г. 700 МГц.

33. Какова максимальная тактовая частота ядра процессора 1967ВН044?

- а. 80 МГц.
- б. 300 МГц.
- в. 450 МГц.
- г. 700 МГц.

34. Какие из интерфейсов, реализуемых в контроллерах фирмы Миландр, не предназначены для создания сети?

- а. Ethernet.
- б. RS-485.
- в. RS-232.
- г. CAN.

35. В каком из трёх режимов работы микропроцессора 1967ВН028 команды считываются не из системной памяти:

- а. эмулятор.
- б. пользовательский.
- в. застойный.
- г. режим супервизора.

36. Минимальное время сброса микропроцессора 1967ВН028 измеряется в

- а. наносекундах.
- б. микросекундах.
- в. миллисекундах.
- г. омах.
- д. килокалориях.

37. Какие напряжения используются при запитке 1967ВН028?

- а. 5 В.
- б. 1 В.
- в. 3.3 В.
- г. 2.5 В.
- д. 1.2 В.

38. Какие напряжения используются при запитке 1967ВН044?

- а. 5 В.
- б. 1 В.
- в. 3.3 В.
- г. 2.5 В.
- д. 1.2 В.

39. Архитектура процессора Мультиклет R1 согласно классификации Флинна.

- а. SISD
- б. MISD.
- в. SIMD.
- г. MIMD.

40. Тактовая частота процессора Мультиклет R1 не превышает.

- а. 100 МГц
- б. 200 МГц.
- в. 450 МГц.
- г. 1000 МГц.

41. Какие напряжения используются при запитке процессора Мультиклет R1?

- а. 5 В.
- б. 1 В.
- в. 3.3 В.
- г. 2.5 В.
- д. 1.8 В.

42. Диапазон рабочих температур процессора Мультиклет R1 составляет

- а. -40...+85°C.
- б. -40...+105°C.
- в. -60...+125°C.
- г. -60...+145°C.

43. Какое устройство не входит в состав процессора Мультиклет R1?

- а. контроллер SPI.
- б. WatchDog.
- в. Контроллер периферийного сканирования.
- г. Термодатчик.
- д. Контроллер транзакций данных.

44. Особенность концепции мультиклеточного процессора:

- а. Результаты вычислительных операций рассылаются автоматически во все клетки процессора.
- б. Разные ветки алгоритмов обрабатываются разными клетками.
- в. Разными клетками выполняются разные стадии конвейера.

45. Какие типы адресации используются в мультиклеточном процессоре.

- а. прямая и косвенная.
- б. только непосредственная.
- в. прямая.
- г. косвенная.

46. Какой интерфейс не интегрирован в процессоре Мультиклет R1?

- а. АЦП.
- б. USB.
- в. SATA.
- г. I2C.
- д. Ethernet.

47. Какое из устройств не входит в состав клетки процессора Мультиклет R1?

- а. устройство выборки команд.
- б. мультиплексор результатов.
- в. отладочный блок JTAG.
- г. интервальный таймер.
- д. контроллер прерываний.

48. Сколько клеток входит в состав процессора Мультиклет R1?

- а. 2.
- б. 4.
- в. 8.
- г. 16.
- д. контроллер прерываний.

49. Сколько клеток входит в состав процессора Мультиклет R1?

- а. 2.
- б. 4.
- в. 8.
- г. 16.

50. Основным достоинством процессора Мультиклет R1 является:

- а. динамическая реконфигурация кристалла.
- б. радиационная стойкость.

- в. пониженное энергопотребление.
- г. встроенная нейросеть.

51. Основным достоинством процессора Мультиклет R1 является:

- а. динамическая реконфигурация.
- б. радиационная стойкость.
- в. пониженное энергопотребление.
- г. встроенная нейросеть.

52. Какой уровень сетевой модели OSI Ethernet не интегрирован в процессор Мультиклет R1?

- а. сетевой.
- б. транспортный.
- в. канальный.
- г. физический.

53. Какое количество ядер интегрировано на кристалле МЦСТ-1000К?

- а. 2
- б. 4
- в. 8
- г. 16

54. Основная сфера применения микропроцессора МЦСТ R1000.

- а. Многопроцессорные системы с общей памятью.
- б. Многопроцессорные системы с распределённой памятью.
- в. Кластерные системы.
- г. Серверы.

55. Тактовая частота работы процессора МЦСТ R1000 составляет.

- а. 100 МГц
- б. 800 МГц
- в. 500 МГц
- г. 1 ГГц

56. Максимальная разрядность шины данных процессора МЦСТ R1000 составляет

- а. 8
- б. 16

в. 32

г. 64

57. Необходимые напряжения питания процессора МЦСТ R1000

а. 1.8 В

б. 1.2 В

в. 3.3 В

г. 1 В

д. 2.5 В

58. Температурный диапазон процессора МЦСТ R1000

а. -40...+85°C.

б. -40...+105°C.

в. -55...+125°C.

г. -60...+125°C.

59. Система команд процессора МЦСТ R1000

а. Thumb-2.

б. VIS

в. X86.

г. MIPS64.

60. Тип поддерживаемой памяти процессора МЦСТ R1000.

а. DDR.

б. DDR-2

в. DDR-3.

г. SRAM.

61. Основная сфера применения микропроцессора Эльбрус-4С.

а. Многопроцессорные системы с общей памятью.

б. Многопроцессорные системы с распределённой памятью.

в. Кластерные системы.

г. Серверы.

62. Тактовая частота работы процессора Эльбрус-4С составляет.

а. 100 МГц

б. 800 МГц

в. 500 МГц

г. 1 ГГц

63. Максимальная разрядность шины данных процессора Эльбрус-4С составляет

а. 8

б. 16

в. 32

г. 64

64. Необходимые напряжения питания процессора Эльбрус-4С

а. 1.5 В

б. 1.2 В

в. 3.3 В

г. 1 В

д. 2.5 В

65. Температурный диапазон процессора Эльбрус-4С

а. -40...+85°С.

б. -60...+85°С.

в. -55...+125°С.

г. -60...+125°С.

66. Тип поддерживаемой памяти процессора Эльбрус-4С

а. DDR.

б. DDR-2

в. DDR-3.

67. Архитектура процессора Байкл-ТС1

а. SISD

б. MISD.

в. SIMD.

г. MIMD.

68. Максимальная скорость интегрированного Ethernet составляет:

а. 10 Мб/с.

б. 100 Мб/с.

в. 1000 Мб/с.

г. 10000 Мб/с.

69. Какой интерфейс не интегрирован в Байкл-ТС1?

а. DDR3.

б. PCIe v.3.0.

в. LVDS.

г. SATA 6G.

д. USB 2.0.

70. Рабочая частота двух ядер, интегрированных в Байкл-ТС1, составляет

а. 1200 МГц.

б. 10000 МГц.

в. 500 МГц.

г. 750 МГц.

71. Какое напряжение не нужно подавать при запитке процессора Байкал-ТС1?

а. 0.95В.

б. 0.9В.

в. 1.5В

г. 1.2В.

д. 1.8В.

72. Какое напряжение питания должно подаваться первым при старте процессора Байкал-ТС1?

а. напряжения ядра.

б. напряжение на систему опорных тактовых сигналов PLL .

в. напряжение на драйверы периферийных устройств.

г. напряжение на ядро SATA.

д. 1.8В.

ОФОРМЛЕНИЕ ОТЧЕТА

После выполнения каждой из практических работ студентом оформляется отчет и представляется преподавателю для проверки с последующей защитой (выполнение отчета и защита работы проводится каждым студентом индивидуально).

Работа оформляется в последовательности, приведенной в методических указаниях.

На первой странице пишется заглавие, указывается цель и объем работы в часах, Ф.И.О. студента, группа, дата выполнения.

Текст работы оформляется на ПЭВМ шрифтом Times New Roman с использованием средств текстового процессора и выводится на принтер на листах формата А4 (210 * 297 мм) с соблюдением ГОСТ 2.105-95, ГОСТ 8.417-2002 и ГОСТ 7.1-2003.

В отчете по проделанной работе должны быть включены следующие структурные элементы:

- а) титульный лист;
- б) цель работы;
- в) основная часть, содержащая постановку задачи и полученные результаты, а также отражающая процесс выполнения работы;
- г) выводы.

Перенос слов на титульном листе и в заголовках текста не разрешается. Точка в конце заголовка не ставится.

Защита практических работ осуществляется по результатам выполненного задания, в процессе защиты выполняется дополнительная проверка (с использованием контрольных вопросов) усвоения студентом материала.

При защите правильные ответы на вопросы зачитываются преподавателем, также им объясняется, почему именно данный ответ считается правильным. Таким образом, защита происходит в форме дополнительного собеседования.

Перечень ресурсов информационно-телекоммуникационной сети Интернет, необходимых для выполнения данной работы

1. www.parallel.ru. Информационно-аналитический центр по параллельным вычислениям.
2. www.milandr.ru. Сайт фирмы “Миландр”, Зеленоград.
3. www.elvees.ru. Сайт фирмы “Элвис”, Зеленоград.
4. www.multiclet.ru. Сайт фирмы “Мультиклет”, Екатеринбург.
5. www.elbrus.ru. Сайт фирмы “Эльбрус”, Москва.
6. www.baikalelectroniks.ru. Сайт фирмы Байкал Электроникс, Московская область.
7. <https://ru.wikipedia.org>. Википедия.