

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Локтионова Оксана Геннадьевна

Должность: проректор по учебной работе

Дата подписания: 07.12.2023 14:03:27

Уникальный программный ключ:

0b817ca911e6668abb13a5d426d39e5f1c11eabbf73e943df4a4851fda56d089

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования

Юго-Западный государственный университет

(ЮЗГУ)

Кафедра вычислительной техники

УТВЕРЖДАЮ

Проректор по учебной работе

О.Г. Локтионова

« 07 »

2023 г.



Разработка структурной схемы кластерной системы

Методические указания по выполнению лабораторной работы
по дисциплине «Отказоустойчивые многопроцессорные платформы»
для студентов направления подготовки 09.04.01

Курск 2023

УДК 621.(076.1)

Составители: С.А. Дюбрюкс

Рецензент

Кандидат технических наук, доцент В.С.Панищев

Разработка структурной схемы кластерной системы: методические указания по выполнению лабораторной работы по дисциплине «Отказоустойчивые многопроцессорные платформы» для студентов направления подготовки 09.04.01 Информатика и вычислительная техника //Юго-Зап. гос. ун-т; сост.: С.А. Дюбрюкс.- Курск, 2023.- 28 с.

Изложены основные определения, основные сведения о типах кластерных систем, их топологиях, способах организации связей внутри кластера, применяемых интерфейсах, элементной базе для организации кластерных связей.

Приведены задания и требования к оформлению результатов, контрольные вопросы.

Методические указания соответствуют требованиям рабочей программы по дисциплине «Отказоустойчивые многопроцессорные платформы» направления подготовки 09.04.01 Информатика и вычислительная техника.

Предназначены для студентов направления подготовки 09.04.01 очной формы обучения «Информатика и вычислительная техника».

Текст печатается в авторской редакции

Подписано в печать _____. Формат 60x84 1/16.
Усл. печ. л. Уч. – изд.л. Тираж 30 экз. Заказ ~~1277~~ Бесплатно.
Юго-Западный государственный университет

Введение

Эффективный анализ данных требует наличия высокопроизводительных средств и методов для их обработки. Существует большое число научных направлений, в которых было накоплено достаточно опыта и данных для проведения анализа. Это могут быть исследования по анализу статистических данных, экспериментальных данных или же высокозатратное моделирование. В связи с этим были разработаны способы повышения производительности вычислений, как на программном, так и на аппаратном уровне. Например, такие как директивы многопоточного программирования (множественные потоки выполнения), использование более производительных процессоров, использование графических адаптеров для обеспечения повышенной производительности расчетов сложных математических задач. А также использование распределенных кластерных систем. Использование каждой из этих технологий имеет свои преимущества. Решать сложные вычислительные задачи наиболее просто с использованием параллельных потоков выполнения. Использование кластерных систем позволяет получить самую высокую производительность наряду с наиболее простой возможностью масштабирования. В связи с этим наибольший интерес для исследования представляют системы на основе вычислительных кластеров.

Данная работа посвящена разработке структурной схемы вычислительного кластера с использованием процессорных ядер из лабораторных работ 1,2,3 по дисциплине “Отказоустойчивые мультипроцессорные платформы” и средств организации интерфейсов обмена данными в кластере. Её выполнение должно способствовать как повторению усвоенных при изучении курса схемотехники навыков, так и формированию творческого мышления разработчика на основе лекций, преподаваемых по курсу дисциплины “Отказоустойчивые многопроцессорные платформы”.

Цель работы: применение полученных теоретических знаний о кластерных системах, процессорных ядрах и средств организации коммутационных интерфейсов. Приобретение навыка анализа технической документации на микросхемы.

Основные теоретические сведения

Кластерные системы

Кластер - это группа вычислительных машин, которые связаны между собой и функционируют как один узел обработки информации. Обычно кластер представляет собой группу однородных вычислительных узлов, соединенных между собой высокоскоростным каналом связи (рисунок 1).

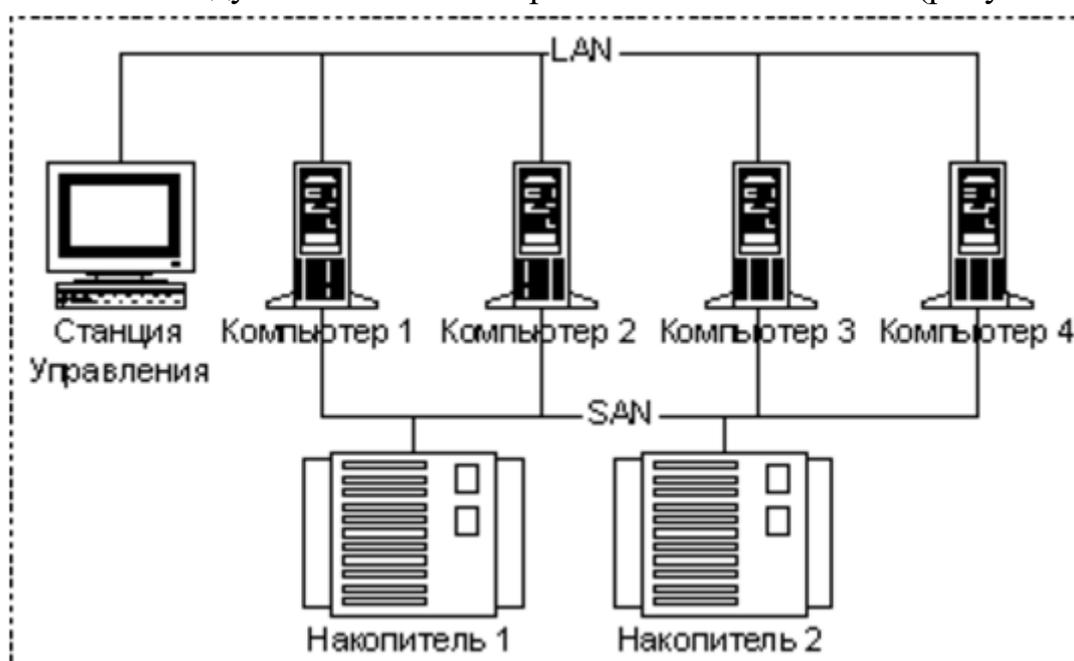


Рисунок 1 – Кластерная система

Оборудование суперкомпьютерных кластеров должно отвечать ряду требований для обеспечения требуемого уровня производительности. К таким требованиям можно отнести:

1. Высокая готовность.
2. Высокое быстродействие.
3. Масштабирование.
4. Общий доступ к ресурсам.
5. Удобство обслуживания.

В зависимости от решаемых задач, отдельным пунктам из этого списка может уделяться приоритетное значение.

Основным типизирующим фактором кластера можно считать его основное назначение: кластер высокой готовности, высокопроизводительный кластер и их комбинация. При этом высокопроизводительный кластер необходимо рассматривать в двух аспектах: повышение производительности

при уменьшении удельной стоимости кластерного решения по сравнению с любым другим и получение пиковых производительностей вне зависимости от стоимости такой системы.

Кластер высокой готовности - архитектурное решение, направленное для достижения заданного уровня коэффициента готовности и связанное с ним качеством обслуживания и производительностью. Высокопроизводительные кластеры, напротив, необходимы для достижения пиковой производительности мультимедийной системы.

Кластер обладает рядом характеристик, которые дают представление об его возможностях: прозрачностью, гибкостью, надежностью (отказоустойчивостью и коэффициентом доступности), производительностью и масштабируемостью.

В безопасных коммуникационных средах находит применение третий тип: высокопроизводительные кластеры высокой готовности, которые характеризуются:

- 1) концепцией системы единого представления SSI (управление и администрирование как для единой системы, единая файловая система);
- 2) надежностью (высокой готовностью и отказоустойчивостью);
- 3) высоким масштабированием;
- 4) гибкостью при адаптации приложений.

Как правило, все компьютеры в параллельной системе выполняют полезную работу, а не находятся в горячем резерве. В случае сбоя приложения, оно может быть перезапущено на другом узле кластера. Такой кластер обязательно имеет связанные коммуникационной средой дисковые накопители, позволяющие перезапускать приложения на разных компьютерах. Файловая система использует журналирование, энергонезависимый буфер дисков и систему резервного копирования.

Высокопроизводительные кластеры высокой готовности классифицируются на следующие типы: система единого представления, «зеркало» и «сито». Основной идеей кластера, реализованного в ключе системы единого представления, является создание распределенной ОС, которая бы управляла всеми узлами кластера как единым компьютером и предоставляла пользователю единый интерфейс и инструментарий такого управления. Кластер типа «зеркало» предполагает наличие зеркального образа основной вычислительной системы. Идея методологии «сита» заключается в разделении запросов и ответов клиентов в соответствии с требуемой дисциплиной обслуживания между всеми узлами кластера. Узел, который занимается разделением запросов или ответов называется координатором (директором), а остальные узлы – исполнителями (рабочими).

Кластер достигает своего быстродействия за счёт параллельных вычислений, под которыми понимаются процессы обработки данных, в которых одновременно могут выполняться нескольких машинных операций или потоков задач. Достижение параллелизма возможно только при выполнении следующих требований к архитектурным принципам построения вычислительной системы:

- независимость функционирования отдельных устройств ЭВМ (данное требование относится в равной степени ко всем основным компонентам вычислительной системы - к устройствам ввода-вывода, к обрабатывающим процессорам и к устройствам памяти);

- избыточность элементов вычислительной системы. Организация избыточности может за счёт использования специализированных устройств, например таких, как отдельных процессоров для целочисленной и вещественной арифметики, устройств многоуровневой памяти (регистры, кэш) а также дублирования устройств ЭВМ путем использования нескольких однотипных обрабатывающих процессоров или нескольких устройств оперативной памяти.

Дополнительной формой обеспечения параллелизма может служить конвейерная реализация обрабатывающих устройств, при которой выполнение операций в устройствах представляется в виде исполнения последовательности составляющих операцию подкоманд, благодаря чему при вычислениях на таких устройствах могут находиться на разных стадиях обработки одновременно несколько различных элементов данных.

При рассмотрении проблемы организации параллельных вычислений следует различать следующие возможные режимы выполнения независимых частей программы:

- многозадачный режим (режим разделения времени), при котором для выполнения процессов используется единственный процессор. Данный режим является псевдопараллельным, когда активным (исполняемым) может быть один единственный процесс, а все остальные процессы находятся в состоянии ожидания своей очереди на использование процессора. Использование режима разделения времени может повысить эффективность организации вычислений (например, если один из процессов не может выполняться из-за ожидания вводимых данных). Процессор может быть задействован для готового к исполнению процесса. В данном режиме проявляются многие эффекты параллельных вычислений (необходимость взаимoisключения и синхронизации процессов и др.) и, как результат, этот режим может быть использован при начальной подготовке параллельных программ;

- параллельное выполнение, когда в один и тот же момент времени может выполняться несколько команд обработки данных; данный режим вычислений может быть обеспечен не только при наличии нескольких процессоров, но реализуем и при помощи конвейерных и векторных обрабатывающих устройств;

- распределенные вычисления; данный термин обычно используют для указания параллельной обработки данных, при которой используется несколько обрабатывающих устройств, достаточно удаленных друг от друга и в которых передача данных по линиям связи приводит к существенным временным задержкам. В результате эффективная обработка данных при таком способе организации вычислений возможна только для параллельных алгоритмов с низкой интенсивностью потоков межпроцессорных передач

данных; перечисленные условия является характерными, например, при организации вычислений в многомашинных вычислительных комплексах, образуемых объединением нескольких отдельных ЭВМ с помощью каналов связи локальных или глобальных информационных сетей.

По однородности вычислительных узлов кластеры могут быть:

- однородными. Все узлы кластера являются однотипными. Центральный процессор, оперативная память, дисковая подсистема, сетевые адаптеры - все компоненты узла являются однотипными. При такой организации узлы являются взаимозаменяемыми. Замена производится либо на аналогичный компонент вычислительного узла, либо производится замена узла целиком. Такая организация вычислительного кластера позволяет свести к минимуму задержки, связанные с неравномерной загрузкой суперкомпьютера. Как правило не возникает ситуаций при которых одни вычислительные узлы простаивают в связи с тем, что на других еще производится обработка данных.

- смешанного типа. При такой организации в качестве узла кластера может выступать любой вычислитель, который поддерживает программное обеспечение и имеет общий доступ к разделяемым ресурсам. В связи с этим, могут наблюдаться неоднородность загрузки вычислительного кластера. Более производительные узлы будут заканчивать работу раньше, чем менее производительные. При работе на таком кластере требуется уделять большее внимание при написании программ.

Основные типы связей в кластерной системе:

- плоская решётка (рисунок 2);
- куб и гиперкуб (рисунок 3);
- кольцо с полной связью по хордам (рисунок 4);
- толстое дерево (рисунок 5).

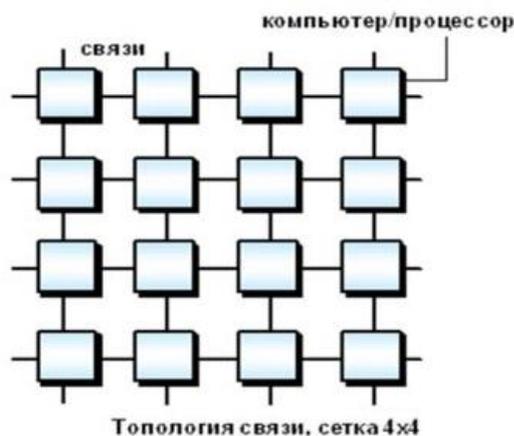


Рисунок 2 – Топология “плоская решётка”

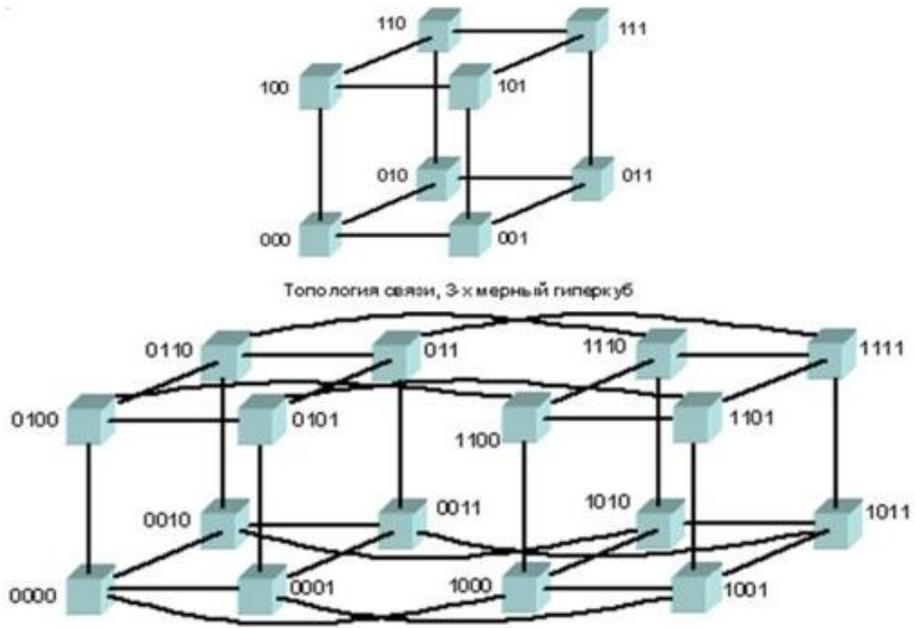


Рисунок 3 – Топология “куб” и “гиперкуб”

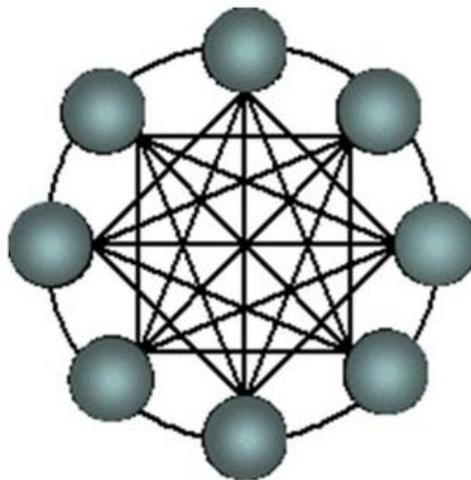


Рисунок 4 – Топология “кольцо”

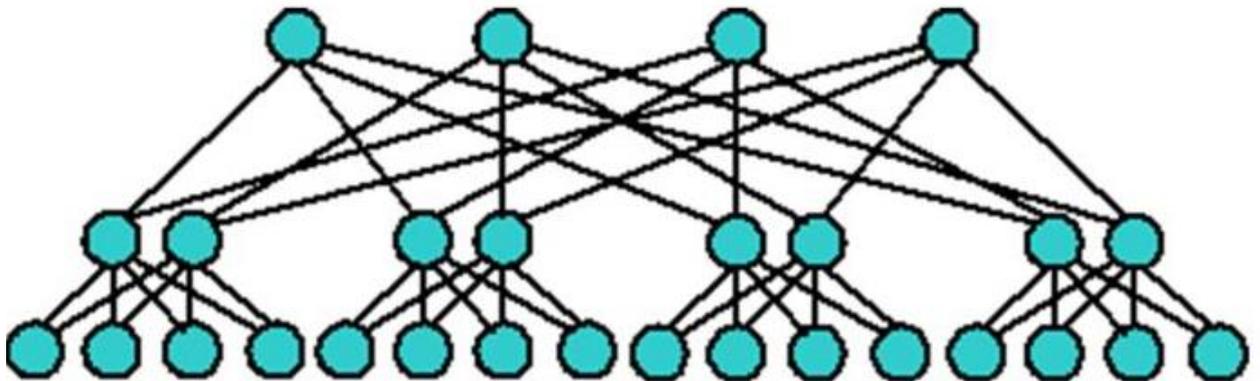


Рисунок 5 – Топология “толстое дерево”

Основные интерфейсы, используемые для реализации кластерных систем – это Infiniband, Ethernet, SCI, и другие. Для организации кластера можно использовать любой сетевой интерфейс, обладающий необходимым быстродействием. В рамках данной лабораторной работы предполагается использовать Ethernet для ядер процессоров 1967ВН034, Multiclet R1, Multiclet P1 и Ethernet либо SpaceWire процессоров семейства Мультикорр. Для 1967ВН028 предлагается использовать свой собственный кластерный интерфейс.

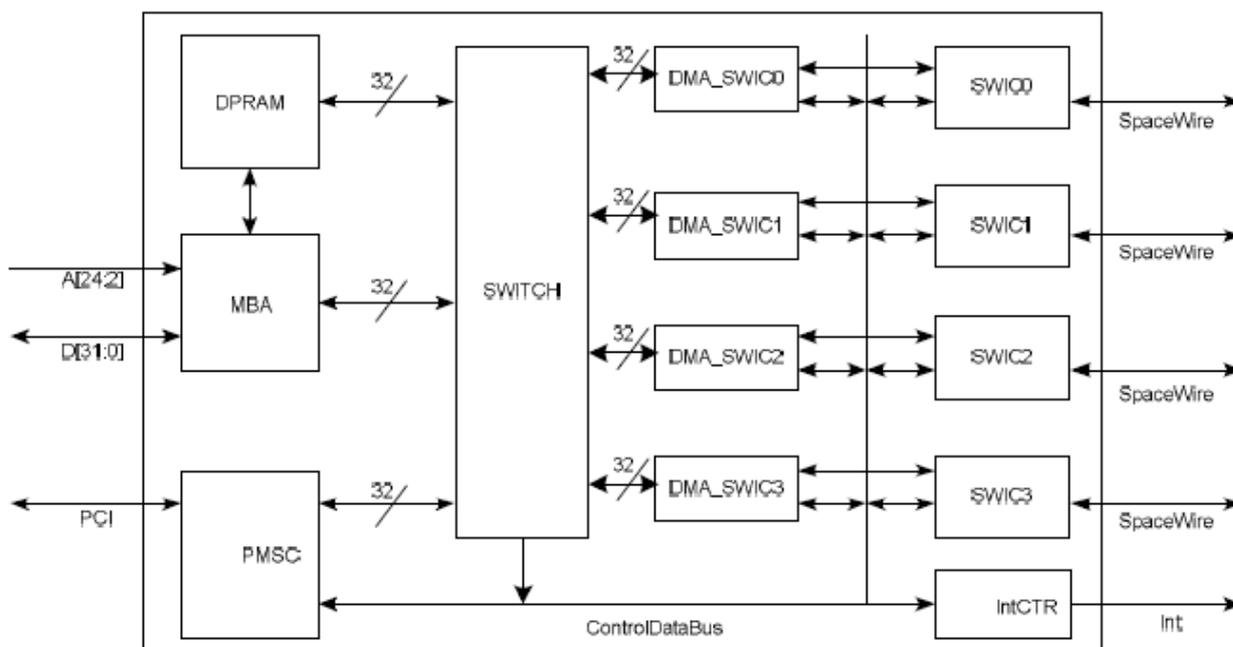
Для реализации кластерного интерфейса предлагается использовать нижеперечисленные микросхемы. Допускается использование других аппаратных средств объединения в кластер.

Контроллер SpaceWire 1892ХД1Я

Микросхема интегральная 1892ХД1Я (рисунок 6) спроектирована как однокристалльный контроллер ввода-вывода на базе IP-ядерной (IP-intellectual property) платформы «МУЛЬТИКОР», разработанной в ГУП НПО «ЭЛВИС». Микросхема 1892ХД1Я (MultiCore Bridge) – контроллер, предназначенный для сопряжения микропроцессоров, с линиями SpaceWire; устройств с интерфейсом PCI с линиями SpaceWire; для организации взаимодействия между микропроцессорами и устройствами на шине PCI.

1892ХД1Я включает в себя четыре независимо функционирующих контроллера SWIC (Space Wire Interface Controller) – контроллера высокоскоростных последовательных каналов по стандарту SpaceWire. Стандарт SpaceWire разработан Европейским космическим агентством (European Space Agency) для передачи данных с использованием высокоскоростных (2 . 400 Мбит/с) последовательных дуплексных каналов, отвечающих требованиям повышенной надёжности, независимости от аппаратуры приёма-передачи данных и другим специальным требованиям.

Использование 1892ХД1Я позволяет процессору передавать и принимать данные с использованием четырех контроллеров SWIC, взаимодействовать с блоками памяти на шине PCI. Процессор обменивается данными с 1892ХД1Я через интерфейс асинхронной памяти.



Структурная схема MCB-01

Рисунок 6 – Структурная схема 1892ХД1Я

Использование 1892ХД1Я так же возможно под управлением процессора через интерфейс PCI(Slave). Интерфейс PCI может функционировать в 64-х разрядном и 32-х разрядном режиме, частота 33 или 66 МГц. 1892ХД1Я генерирует для процессоров (на шине памяти и для процессора на шине PCI) прерывание, причиной которого может являться установка соединения по SpaceWire линиям, разрыв соединения, получение маркера времени или конца пакета, ошибки при обращении контроллеров SWIC к памяти, завершение областей памяти, на которые настроены контроллеры SWIC.

1892ХД1Я обеспечивает взаимодействие вычислительных модулей в параллельных и распределенных ВС, комплексах обработки сигналов и данных. 1892ХД1Я обеспечивает взаимодействие процессора с коммуникационной сетью на основе SpaceWire, которая, как правило, строится на основе маршрутизаторов или коммутаторов. Линки 1892ХД1Я также могут быть использованы для сопряжения с источниками/приемниками высокоскоростных потоков цифровых сигналов и данных. Таким образом, 1892ХД1Я позволяет обеспечить взаимодействие процессоров и периферийных устройств, поддерживающих стандарт SpaceWire в широком диапазоне возможностей, от передачи разнородного потока коротких пакетов с использованием технологии виртуальных каналов до непрерывного однородного потока данных.

Особенности:

- 32-разрядный параллельный порт с отдельными шинами адресованных данных.

- Интерфейс асинхронной памяти. Цикл записи и чтения данных – не более 15 нс.

- Интерфейс ведущего и ведомого устройства на шине PCI (32 разряда/33-66 МГц) соответствующий спецификации Local Bus Specification. Rev. 2.2.

- Четыре контроллера SpaceWire соответствующих стандарту ECSS-E-50-12А, и обеспечивающих:

- максимальную скорость приема и передачи по линкам - 400 Мбит/с;
- дуплексный режим;
- независимую настройку скоростей передачи;
- аппаратное детектирование ошибок связи: разъединение, ошибки четности;
- возможность программной адаптивной подстройки скорости;
- обмен с памятью через DMA 32-х разрядными словами данных;
- три линии запросов прерывания.
- дополнительно контроллеры SWIC оборудованы:
 - LVDS-приемопередатчиками в соответствии со стандартом ANSI/TIA/ EIA-644 (LVDS);
 - резисторами-терминаторами, встроенными в LVDS приемники;
 - возможностью программной адаптивной подстройки скорости;
- Блок внутренней памяти данных, типа SRAM размером 2 Мбит, организованного как 65536 32-х разрядных слов.

Микросхема содержит следующие основные узлы (рисунок 7):

- адаптер сопряжения с шиной внешнего микропроцессора (MBA);
- контроллер шины PCI Master/Slave (PMSC);
- коммутатор данных (SWITCH);
- шина управления/данных CDB (Control Data Bus);
- контроллеры SpaceWire (далее по тексту - SWIC) (SWIC0-SWIC3);
- контроллеры DMA блоков SWIC (DMA_SWIC0- DMA_SWIC3);
- двух портовая буферная память (DPRAM);
- контроллер прерываний (IntCTR);
- пять умножителей частоты (PLL, PLL_TX0, PLL_TX1, PLL_TX2, PLL_TX3).

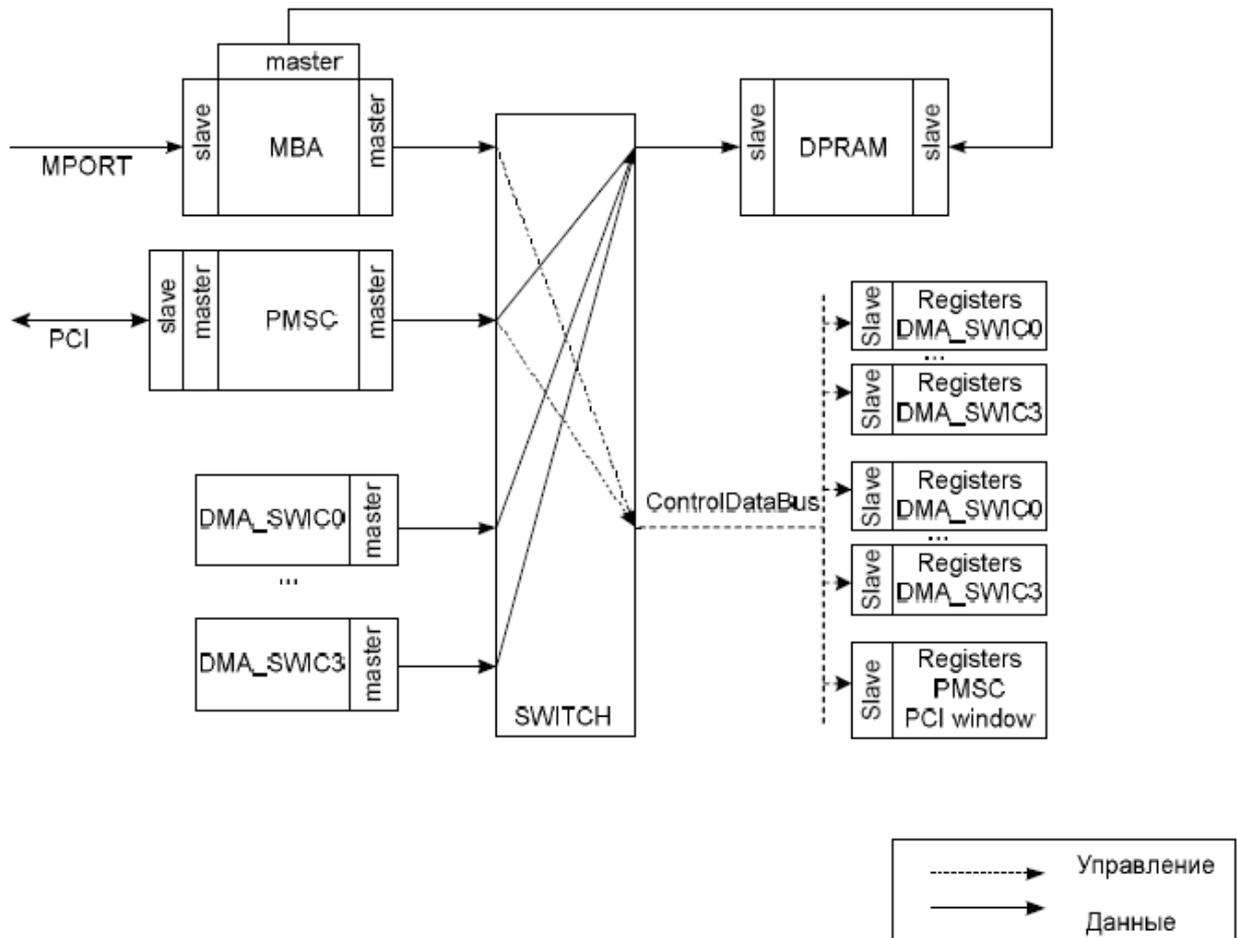


Рисунок 7 – Функциональная схема 1892ХД1Я

Примечание – цифрами на рисунке показаны выводы микросхемы. Назначение выводов микросхемы, а также её полное описание выложено на сайте фирмы “ЭЛВИС” по ссылке <http://multicore.ru/index.php?id=553>.

В 1892ХД1Я все задатчики (master) подключены к коммутатору SWITCH. Коммутатор по адресу, с которым обратились к нему, определяет куда перенаправлять запрос, в шину CDB или в память (DPRAM). Через шину управления осуществляется доступ к регистрам управления (slave) компонентами, входящими в состав MCB_01. Задатчики DMA_SWIC[3:0] не имеют доступа к шине управления. Задатчик PMSC не имеет доступа к регистрам PMSC. Доступ к внутренней памяти через шину MPORT (MBA) осуществляется без обращения к коммутатору через отдельный порт памяти для ускорения процесса записи/чтения данных. При обращении к памяти остальных задатчиков, наивысший приоритет имеет PMSC, далее DMA_SWIC0, DMA_SWIC3 имеет самый низкий приоритет. При одновременном обращении к шине управления MBA и PMSC наивысший приоритет отдается MBA. Два задатчика могут параллельно и без конфликтов одновременно обращаться к памяти и шине управления.

Синхронизация микросхемы 1892ХД1Я осуществляется от внешнего кварцевого резонатора, подключаемого к выводам ХТ1, ХТ0 или от внешнего источника синхросигнала, подключенного к входу ХТ1 (рисунок 8).

Номинальная частота на выводе ХТІ – 10 МГц. Эта частота поступает на PLLx20 с фиксированным коэффициентом умножения частоты равным 20, на выходе которого формируется системная частота MBA_CLK. Эта частота используется для тактирования блоков MBA, DPRAM. На делителе DIV2 производится деление частоты MBA_CLK на два и формируется частота CLK, используемая для тактирования блоков DMA_SWIC[3:0], коммутатора данных SWITCH. Так же частота CLK тактирует фрагменты блоков SWIC[3:0] и PMSC, отвечающих за их управление по шине ControlDataBus и взаимодействие с коммутатором данных.

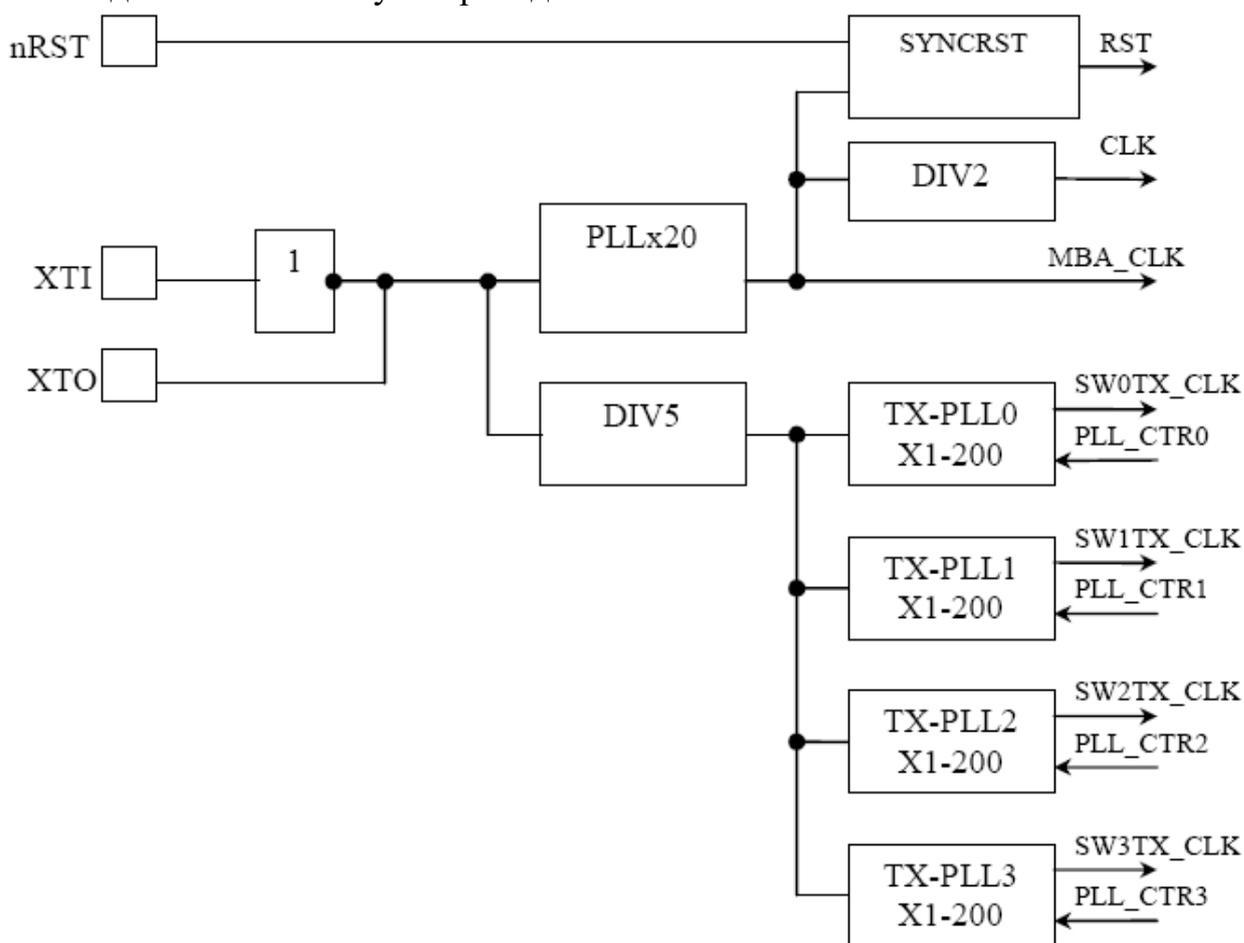


Рисунок 8 – Схема синхронизации 1892ХД1Я

С входа ХТІ частота поступает и на делитель с коэффициентом деления 5 (DIV5), после чего полученная частота 2 МГц поступает на входы блоков TX-PLL[3:0]. Эти блоки имеют переменный коэффициент умножения от 1 до 200. Управление коэффициентом умножения осуществляется программно через регистры SW[3:0].TX_SPEED. Каждому блоку SWIC сопоставлен свой блок TX-PLL. Формируемая блоками TX-PLL[3:0] частота тактирует передающую часть блока SWIC.

Установка микросхемы 1892ХД1Я в начальное состояние производится подачей низкого уровня на вывод nRST, при этом все блоки микросхемы переводятся в состояние начальной установки. Входной сигнал nRST стробируется в блоке SYNCRST частотой MBA_CLK вследствие этого

минимальная длительность сигнала сброса – четыре такта частоты MVA_CLK или 20 нс.

В состав 1892ХД1Я, для согласования с внешними устройствами, введены несколько логических элементов. Схема подключения к контактным площадкам этих элементов приведена на рисунке 9. На неиспользуемые входы следует подавать уровень 0.

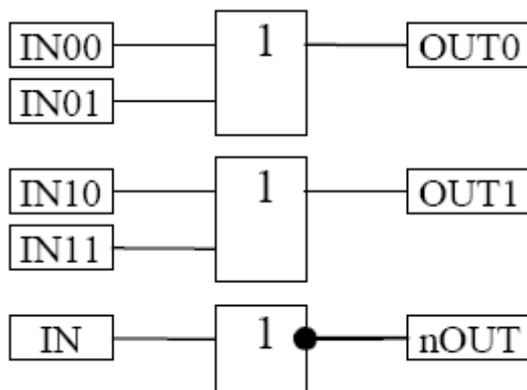


Рисунок 9 – Логические элементы в составе 1892ХД1Я

Номинальное значение напряжения электропитания микросхемы:

UCC1=3,3 В (периферия);

UCC2=2,5 В (ядро).

Допустимые отклонения напряжения электропитания микросхемы от номинального значения - не более $\pm 5\%$. Напряжения электропитания UCC1 и UCC2 необходимо подавать и снимать одновременно с разбросом не более 1 мс. Фронт нарастания напряжений электропитания должен быть не более 1 мс.

Для фильтрации напряжений электропитания микросхемы, необходимо подключить к каждому источнику (UCC1 и UCC2) не менее шести высокочастотных конденсаторов номиналом 0,1 мкФ типа СС 0603 Y5V 0,1 uF Z 25V. Конденсаторы необходимо разместить по возможности равномерно по контуру корпуса микросхемы между выводами PVDD и GND, а так же CVDD и GND. При этом расстояние между контактами микросхемы и площадками подсоединения конденсаторов должно быть не более 3 мм.

Электрические параметры микросхемы приведены в таблицах 1 и 2.

Таблица 1 – Электрические параметры 1892ХД1Я

Наименование параметров, единица измерения, режим измерения	Буквенное обозначение	Норма	
		не менее	не более
Ток потребления статический по цепи PVDD, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, ХТИ=0	I_{CC1}	-	10
Ток потребления статический по цепи CVDD, мА при $U_{CC1}=3,47$ В, $U_{CC2}=2,63$ В, ХТИ=0	I_{CC2}	-	15
Ток потребления динамический по цепи CVDD, мА, при $U_{CC1}= 3,47$ В, $U_{CC2}= 2,63$ В и рабочей частоте 100 МГц	I_{OCC2}	-	200
Ток утечки высокого и низкого уровня на входе, мкА при $U_{CC1}= 3,47$ В и $U_{CC2}= 2,63$ В	I_{IL}	-	2
Выходное напряжение низкого уровня, В при $I_{OL}=$ 4 мА, $U_{CC1}=3,47$ В	U_{OL}	-	0,4
Выходное напряжение высокого уровня, В при $I_{OH}=-2,8$ мА, $U_{CC1}=3,13$ В	U_{OH}	2,4	
Входная емкость, пФ	C_I	-	10
Емкость входа/выхода, пФ	C_{IO}	-	10
Выходная емкость, пФ	C_O	-	15
Выходное дифференциальное напряжение по LVDS выходам, мВ	U_{OD}	300	400
Входное дифференциальное сопротивление по LVDS входам, Ом	R_{ID}	90	120

Таблица 2 – Предельные электрические режимы 1892ХД1Я

Наименование параметра	Буквенное обозначение	Норма			
		Предельно допустимый режим		Предельный Режим	
		не менее	не более	не менее	не более
Напряжение питания периферии, В	U_{CC1}	3,13	3,47	-	3,9
Напряжение питания ядра, В	U_{CC2}	2,37	2,63	-	3,0
Входное напряжение высокого уровня, В	U_{IH}	2,0	$U_{CC1}+0,2$	-	$U_{CC1}+0,3$
Входное напряжение низкого уровня, В	U_{IL}	0,0	0,7	-0,3	-
Напряжение, прикладываемое к выходу микросхемы в состоянии «выключено», В	U_{OZ}	0,0	$U_{CC1}+0,1$	-0,3	$U_{CC1}+0,3$
Емкость нагрузки каждого выхода, пФ	C_L	-	30	-	50

Контроллер Ethernet 5560ВГ1У

Контроллер 5560ВГ1У (рисунок 10) предназначен для использования в устройствах локальной вычислительной сети на основе протоколов 10BASE-T IEEE802.3/Ethernet с применением специализированных вычислительных устройств и ПК и работы под контролем управляющего устройства. Контроллер реализует прием и передачу данных с контролем ошибок.

Основные характеристики микросхемы:

- Входное напряжение от 4,5 В до 5,5 В;
- Статический ток потребления ICCS не более 20 мА;
- Динамический ток потребления не более 190 мА;
- Время выхода в рабочий режим не более 200 мкс;
- Рабочий диапазон температур минус 60 – 85°С.

Контроллер 5600ВГ1 имеет 1 двунаправленный канал 10BASE-T IEEE 802.3/Ethernet. В изделии реализованы:

- физический (PHY) уровень протокола 10BASE-T IEEE 802.3/Ethernet;
- уровень звена данных (MAC) протокола Ethernet 10BASE-T IEEE 802.3;
- буферы принимаемых и передаваемых сообщений общей емкостью 8 кБ;
- параллельный 16-и разрядный интерфейс сопряжения контроллера с управляющим устройством с отдельными шинами адреса и данных;
- настройка параметров соединений в неавтоматическом режиме;
- индикация состояний соединения.

Контроллер 5560ВГ1У предназначен для работы в следующей среде:

- объединение узлов в ЛВС производится посредством коммутатора типа HUB на основе 5600ВВ2У;
- средой передачи сигнала в ЛВС является витая пара;
- настройка параметров соединений производится в неавтоматическом режиме.

Контроллер 5560ВГ1У имеет 2 интерфейса сопряжения с другими устройствами - параллельную шину с разделенными адресом и данными и двунаправленный последовательный порт.

Параллельный порт представлен 13-разрядной шиной адреса и 16-разрядной шиной данных.

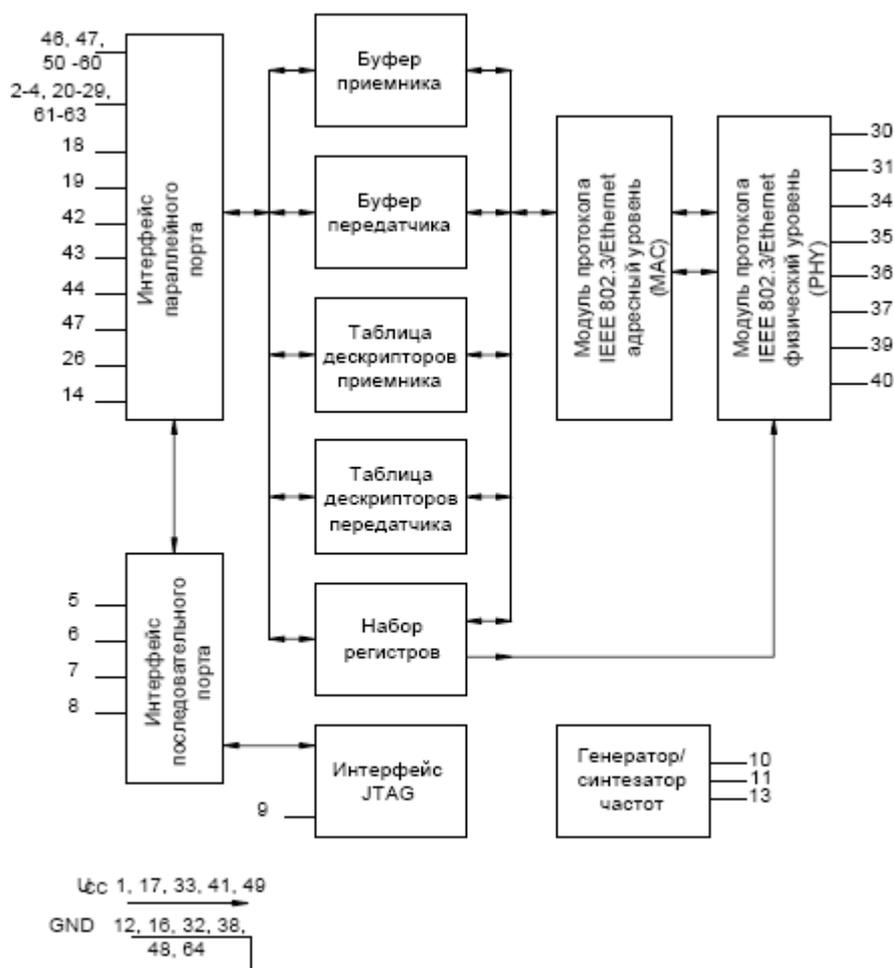


Рисунок 10 – Структурная схема концентратора 5600BB2У

Примечание – цифрами на рисунке показаны выводы микросхемы. Назначение выводов микросхемы, а также её полное описание выложено на сайте фирмы “Миландр” по ссылке <http://www.milandr.ru/index.php?mact=Products,cntnt01,details,0&cntnt01productid=121&cntnt01returnid=68>.

Работа параллельного порта может осуществляться в 2х основных режимах работы. Режимы различаются только порядком выставления сигнала RDY в зависимости от сигнала CLKS: 0 = по внешнему тактовому сигналу CLK, 1 = по внутреннему тактовому сигналу.

В цикле записи сигнал RDY обозначает готовность принять данные для записи. В цикле чтения сигнал RDY обозначает готовность данных.

В синхронном режиме (CLKS = 0) сигнал RDY формируется по переднему фронту тактового сигнала параллельного порта CLK.

Так же в контроллере имеется возможность задания этих режимов программно посредством бита ASYNC_MODE регистра GCTRL: 0 = синхронный (по умолчанию), 1 = асинхронный.

Последовательный порт типа SPI имеет общие сигналы строба и частоты приемника и передатчика (далее ПРМ и ПРД соответственно). Обмен по последовательному порту осуществляется в пакетном режиме. Пакет состоит в общем случае из байта команды и ее параметров. Для команд

чтения и записи пакеты состоят из соответствующей команды сопровождаемой начальным адресом и последовательностью слов данных. Предельная частота обмена 20 МГц.

Переключение режимов возможно в процессе работы контроллера. Переключение из параллельного режима работы в последовательный возможно как через параллельный порт, так и через последовательный порт. Переключение из последовательного режима в параллельный режим работы возможно только через последовательный порт. По сбросу контроллер 5560ВГ1У устанавливается в режим работы через параллельный порт.

Параллельный порт является основным средством взаимодействия с УУ. Он представлен отдельными 13-разрядной шиной адреса и 16-разрядной шиной данных и шиной управления (рисунок 11). Имеет интерфейс доступа к памяти из 3х сигналов:

- выборки устройства (nCS)
- строба чтения (nOE)
- сигнала записи (nWE).

В контроллере 5600ВГ1У имеется 2 основных режима работы, различающихся способом выставления сигнала RDY, управляемых через внешний контакт CLKS или битом ASYNC_MODE регистра GCTRL. В обоих режимах данные захватываются по завершении цикла обмена (положительному фронту сигнала nWE). Чтение начинается после выставления сигнала nOE при активном уровне сигнала nCS и неактивном уровне сигнала nWE. Сигнал RDY информирует о готовности данных при чтении или готовности принять данные при записи (внутренний цикл записи инициируется после завершения цикла — снятие управляющих сигналов).

В режиме 1 (CLKS = 0 и ASYNC_MODE = 0) сигнал RDY выставляется синхронно по внешнему сигналу CLK.

В режиме 2 (CLKS = 1 или ASYNC_MODE = 1) сигнал RDY выставляется по внутреннему тактовому сигналу асинхронно внешнему сигналу CLK.

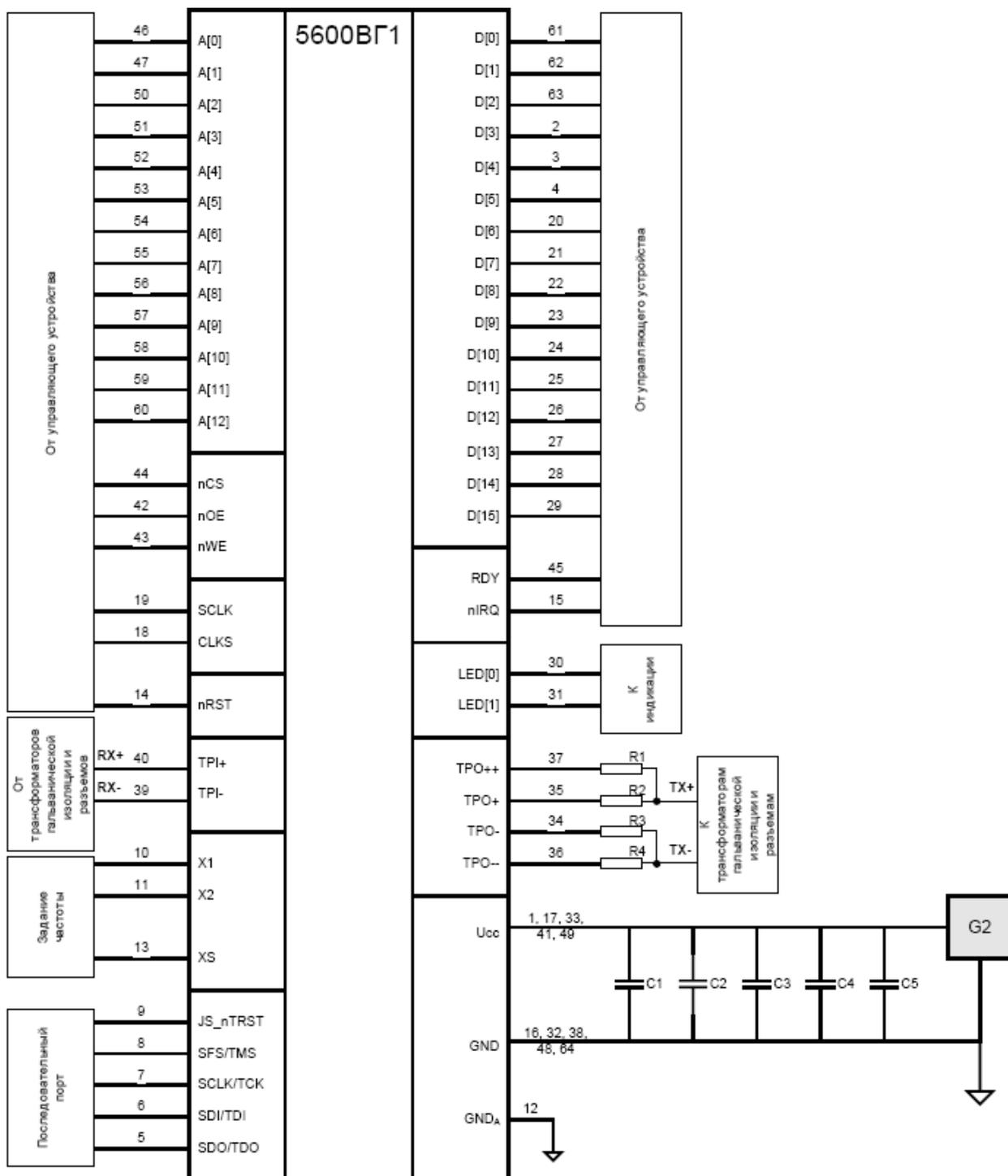


Рисунок 11 – Пример схемы подключения 5600BB2У к управляющему устройству

На рисунке: 5600BG1У - включаемая микросхема; G2 - источник постоянного напряжения, $U_{CC} = 5,0$ В; R1–R4 - сопротивления; C1–C5 – конденсаторы.

Время выставления данных в цикле чтения не более 120 нс.

Время записи не более 90нс.

Сигнал RDY выставляется не ранее чем через 12,5 нс после выставления данных при чтении или захвата/записи данных при записи.

В случае использования режима записи по концу цикла записи длительность цикла чтения следующего после цикла записи без задержек будет увеличена на 25 нс.

Примечания:

Не допускаются блочные транзакции (без снятия сигналов nCS, nWE и nOE/nRE).

Рекомендуется использовать длительности цикла обмена не менее 125 нс.

Не рекомендуется использовать частоту работы внешней шины выше 40 МГц.

Если не используется тестовый порт вывод 9 (JS_nTRST) необходимо подключить к шине «общий». Если не используется последовательный порт вывод 7 (SCLK/TCK) необходимо подключить к шине «общий». Остальные выходы последовательного/тестового порта (5, 6, 8) рекомендуется подключить к шине «общий».

Таблица 3 содержит перечень, тип и назначение выводов параллельного порта контроллера 5600ВГ1У, обеспечивающих подключение к внешней шине.

Таблица 3 – выходы параллельного порта

Наименование	Направление	Описание
CLK	I	вход тактовой частоты
A[12 – 0]	I	13-разрядная параллельная шина адреса
D[15 – 0]	I/O	16-разрядная параллельная шина данных
nOE	I	разрешение стробирования
nWE	I	разрешение записи
nCS	I	сигналы выборки кристалла
RDY	O	сигнал готовности
nIRQ	O	сигнал запроса прерывания
nRST	I	сигнал сброса

Таблица 4 содержит перечень, тип и назначение выводов последовательного порта контроллера 5600ВГ1У, обеспечивающих подключение к внешнему устройству управления.

Таблица 4 – выходы последовательного порта.

Наименование	Направление	Описание
SFS	I	строб данных ПРД
SDO	O	выход данных ПРД
SCLK	I	вход частоты ПРД
SDI	I	вход данных ПРМ

Характеристики последовательного порта:

- независимые ПРМ и ПРД;
- настраиваемые параметры полярности и фазы синхросигнала;
- настраиваемые параметры полярности сигнала строба;
- скорость обмена до 20 Мбит/с;

Встроенные схемы управления и арбитража не допускают одновременное использование последовательного и параллельного портов.

В контроллер 5560ВГ1У встроен модуль физического уровня (PHY) протокола IEEE802.3/Ethernet. Данный модуль включает кодер и декодер кода Манчестер-2, ФАПЧ, автоматический фазовый детектор.

Контроллер 5560ВГ1У производит обнаружение наличия подключения к линии и формирование сигналов присутствия на линии и имеет аналоговые приемопередающие каскады для упрощенного подключения к линии при помощи трансформаторных развязок. Данный модуль предназначен для работы по стандарту 10BASE-T и обеспечивает скорость подключения до 10 Мбит/с.

Концентратор Ethernet 5600ВВ2У

Микросхема 5600ВВ2У (рисунок 12) предназначена для построения на ее основе Ethernet 10Base-T концентратора промышленного исполнения. Основные характеристики микросхемы:

- напряжение питания 4,5 - 5,5В;
- количество каналов приема/передачи данных – 4;
- протокол передачи данных IEEE 802.3 стандарта Ethernet 10Base – T;
- возможность увеличения количества портов с использованием порта расширения;
- порт светодиодной индикации состояния сети;
- температурный диапазон минус 60 – 85°С.

Микросхема функционирует как 4-х портовый коммутатор по стандарту IEEE 802.3 10Base-T (витая пара), кроме того, в состав микросхемы входит порт расширения для объединения нескольких микросхем с целью увеличения числа каналов и порт светодиодной индикации для отображения состояния сети (подключение канала, передача данных, блокировка канала, коллизии). Микросхема имеет встроенный синтезатор частоты (PLL).

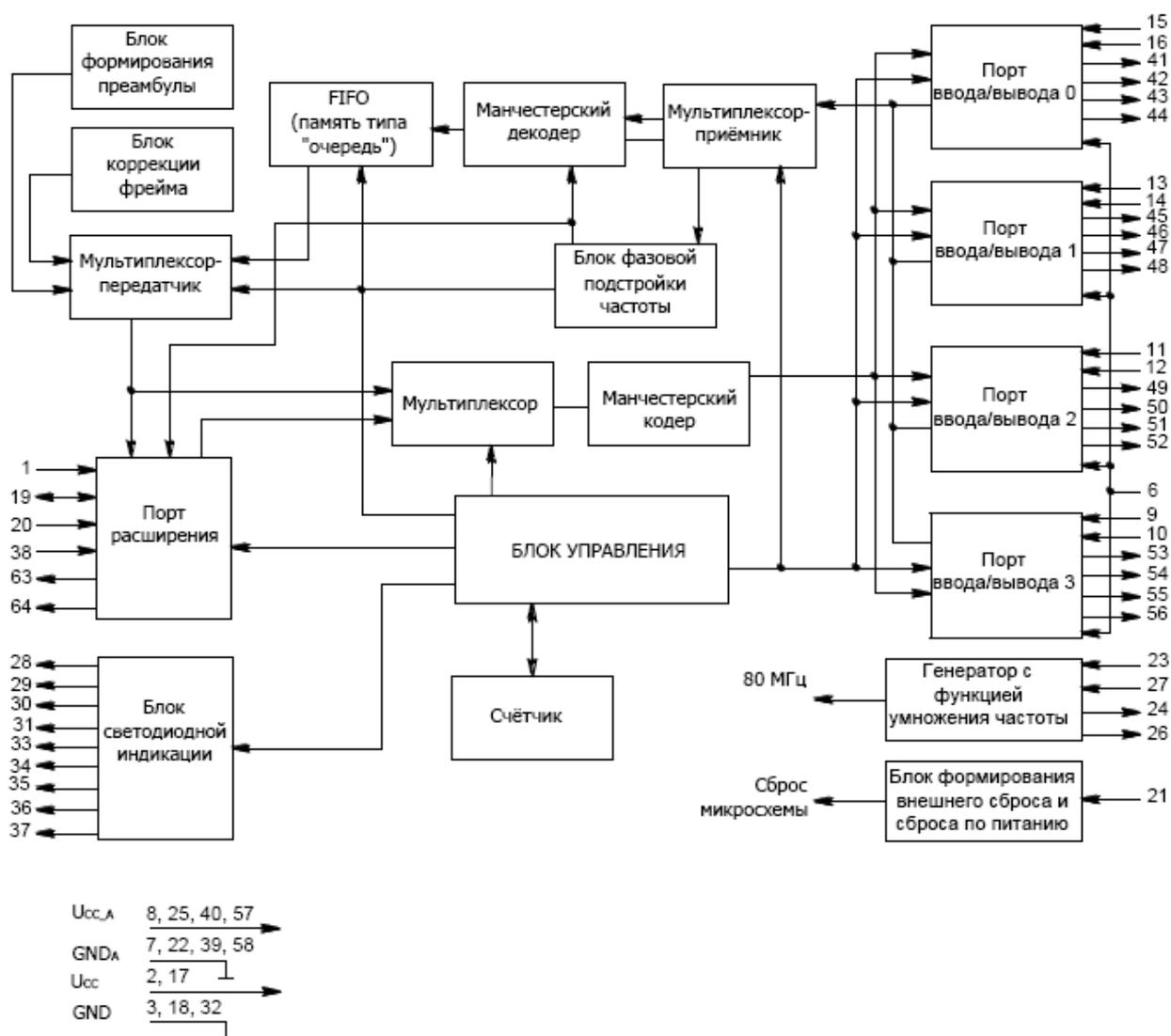


Рисунок 12 – Структурная схема концентратора 5600BB2У

Примечание. Цифрами на рисунке показаны выходы микросхемы. Назначение выводов микросхемы, а также её полное описание выложено на сайте фирмы "Миландр" <http://www.milandr.ru/index.php?mact=Products,cntnt01,details,0&cntnt01productid=284&cntnt01returnid=68>.

Как только какое-либо сетевое устройство начинает производить передачу данных, эти данные принимаются портом ввода/вывода микросхемы 5600BB2У, к которому подсоединено данное устройство. При начале приема данных мультиплексор-приемник подсоединяет порт ввода/вывода, по которому начали поступать данные, к блоку Манчестерского декодера. Блок фазовой подстройки частоты вырабатывает сигналы стробирования принимаемых данных, синхронные с частотой работы микросхемы 5600BB2У. Данные, передаваемые по сети стандарта IEEE 802.3/Ethernet, кодируются с помощью манчестерского кода в блоке Манчестерский кодер. Для раскодирования принимаемых данных используется блок Манчестерского декодера. Принимаемые данные сохраняются в памяти типа «очередь».

Полученные данные должны быть повторены на остальных портах ввода/вывода микросхемы для того, чтобы их смогли получить другие устройства сети. Перед повторением данных на портах ввода/вывода микросхема, с помощью блока формирования преамбулы, формирует заголовок пакета данных. Если принятый пакет данных имеет длину менее 96 бит (включая преамбулу), то с помощью блока коррекции фрейма его длина увеличивается до 96 бит за счет добавления последовательности "010101...". Формирование передаваемого пакета данных осуществляется на мультиплексоре-передатчике. В зависимости от того, какая часть пакета данных формируется, он берет данные из блока формирования преамбулы (начало пакета данных), памяти типа «очередь» (середина пакета) или блока коррекции фрейма (конец пакета данных). Вновь сформированный и исправленный пакет данных передается на порт расширения и снова при помощи мультиплексора передается на остальные порты ввода/вывода, на которые этот пакет данных должен поступить повторно. Перед тем, как данные для передачи поступят на порты ввода/вывода, они вновь кодируются манчестерским кодом в блоке Манчестерский кодер.

Управление всеми блоками осуществляется с помощью блока управления, выполненного по принципу конечного автомата, работающего на основании счетчика состояний. Кроме того, состояние схемы отображается с помощью порта светодиодной индикации link_rec_0... link_rec_3, partition0...partition3.

Схема реализации концентратора на базе одной микросхемы приведена на рисунке 8. Если концентратор состоит из нескольких микросхем, данные могут передаваться через порт расширения. Подключенные через порт расширения микросхемы полностью работают в синхронном режиме. Синхронизация микросхем происходит внутренним тактовым сигналом одной из микросхем через порт расширения. Схема включения двух микросхем представлена на рисунке 13.

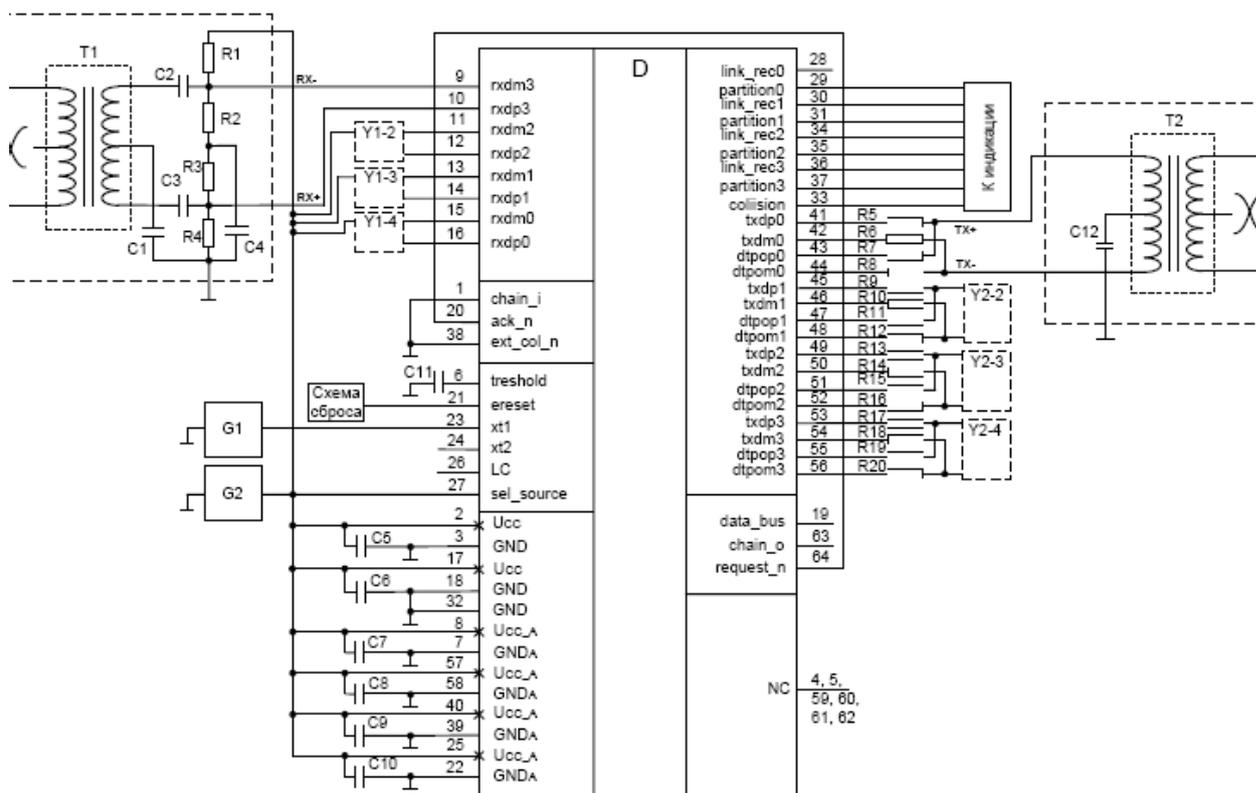


Рисунок 13 - Схема реализации концентратора на базе одной микросхемы

На рисунке 13:

D – микросхема 5600BB2Y;

C1 – C7 – конденсаторы,

G1 – генератор прямоугольных импульсов, $U_{IL}=0$ В; $U_{IH}=5,0$ В;

$f_0=80$ МГц или 10 МГц, $q=2$, где q – скважность;

G2 – источник постоянного напряжения, (4,5–5,5) В;

R1 – R20 – сопротивления.

T1, T2 – трансформаторы, $L = 350$ мкГн, 1:1.

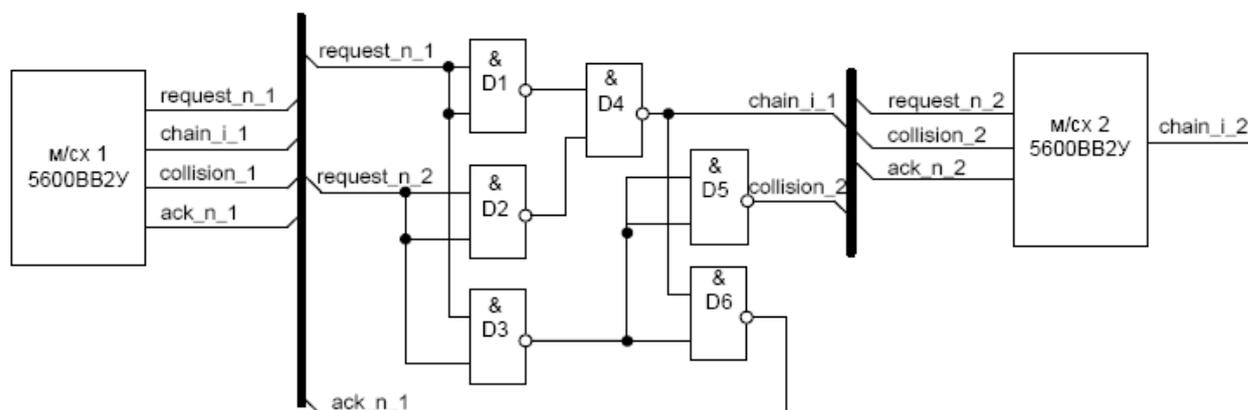


Рисунок 14 - Схема реализации концентратора на базе двух микросхем

На рисунке 14:

D1..D6 – микросхемы, реализующие функцию и-не.

Предельные характеристики микросхемы приведены в таблице 5.

Таблица 5 – предельные характеристики микросхемы

Наименование параметра режима, единица измерения	Буквенное обозначение	Норма параметра			
		Предельно- допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	4,5	5,5	–	7,0
Входное напряжение низкого уровня цифровых входов chain_i, ack_n, ext_col_n, ereset, sel_source, xt1, data_bus, В	U_{IL}	0	$0,2 \cdot U_{CC}$	минус 0,3	–
Входное напряжение высокого уровня цифровых входов chain_i, ack_n, ext_col_n, ereset, sel_source, xt1, data_bus, В	U_{IH}	$0,8 \cdot U_{CC}$	U_{CC}	–	$U_{CC} + 0,3$
Дифференциальное входное напряжение аналоговых входов gxdp[3:0], gxdm[3:0], мВ	U_{IT}	500	U_{CC}	–	–
Входное напряжение аналоговых входов gxdp[3:0], gxdm[3:0], В	U_I	–	–	минус 0,3	$U_{CC} + 0,3$
Выходной ток низкого уровня цифровых выходов link_rec[3:0], partition[3:0], collision, chain_o, request_n, data_bus, xt2, мА	I_{OL}	минус 6	6	минус 10	10
Выходной ток высокого уровня цифровых выходов link_rec[3:0], partition[3:0], collision, chain_o, request_n, data_bus, xt2, мА	I_{OH}	минус 6	6	минус 10	10
Выходной ток низкого уровня аналоговых выходов txdp[3:0], txdm[3:0], dtprop[3:0], dtprom[3:0], мА	I_{OL_A}	минус 40	40	минус 80	80
Выходной ток высокого уровня аналоговых выходов txdp[3:0], txdm[3:0], dtprop[3:0], dtprom[3:0], мА	I_{OH_A}	минус 40	40	минус 80	80
Частота следования импульсов тактовых сигналов, МГц, – в режиме обхода	f_c	–	80	–	–
– в режиме умножения частоты		–	10	–	–

Интерфейс подключения в кластер для 1967ВН028 описывается по ссылке

<http://www.milandr.ru/index.php?mact=Products,cntnt01,details,0&cntnt01productid=270&cntnt01returnid=68> и в конспекте лекций к дисциплине.

Задание

Разработать структурную схему четырёхядерной кластерной системы с использованием разработанных процессорных ядер из лабораторных работ 1-3. Допускается применение любой из описанных в данном методическом пособии топологий.

Описание недостающих подключаемых компонентов ядра необходимо найти в сети Интернет.

При проектировании схемы допускается использовать ПЛИС с объяснением реализуемой в ней логики.

Обобщённый алгоритм проектирования структурной схемы.

1. Выбрать любое ядро из лабораторных работ 1-3.
2. Модифицировать ядро, подключив интерфейсный контроллер.

3. Подключить модифицированные ядра к концентратору (если необходимо).
4. Получить схему одного из следующих типов (Рисунки 15, 16).



Рисунок 15 – Вариант для интерфейса Ethernet

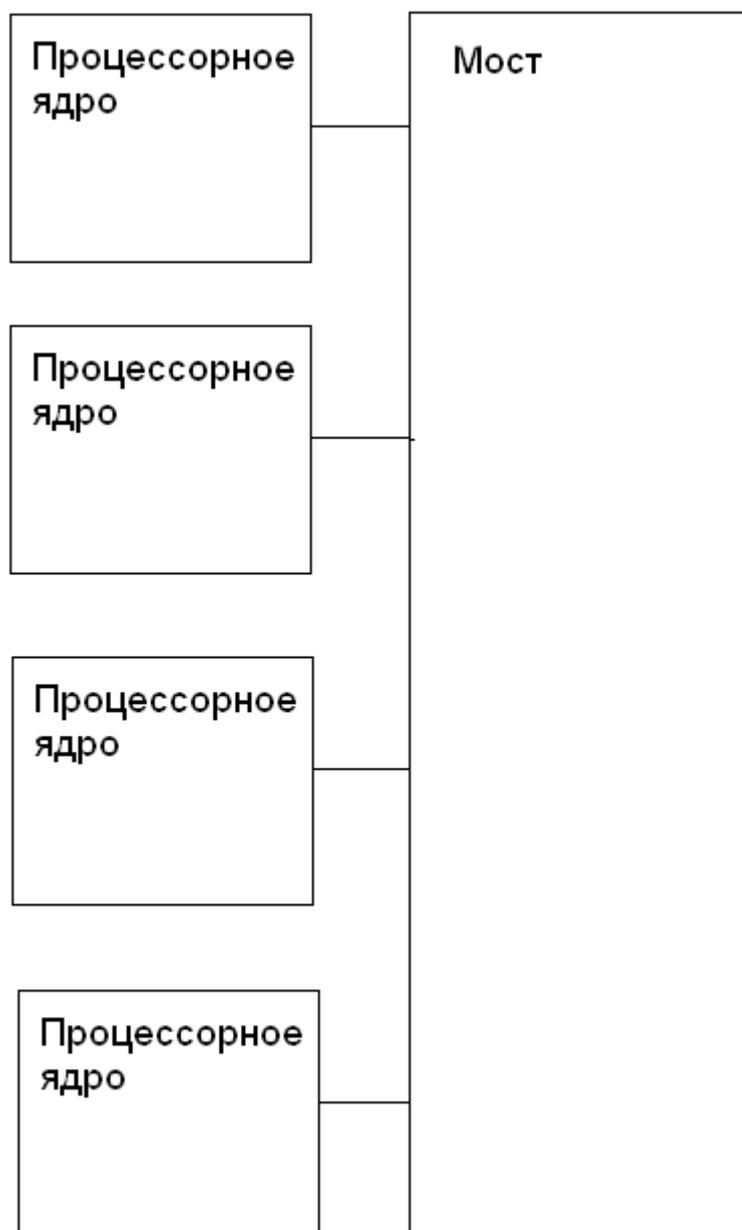


Рисунок 16 – Вариант для интерфейса SpaceWire

Данные варианты являются ориентировочными, допускаются другие способы построения, например с общей памятью (SMP).

Вариант для процессора 1967ВН028 приведён в описании микросхемы.

Требования к оформлению отчёта

Содержание отчёта:

1. Титульный лист.
2. Цель работы.
3. Номер и содержание варианта лабораторной работы, ядро из которой берётся за основу.
4. Структурная схема кластерной системы.
5. Описание обозначенных выводов узлов и связей.
6. При использовании ПЛИС описание конфигурации ПЛИС.
7. Выводы.

Контрольные вопросы

1. Определение кластера.
2. Свойства кластерных систем.
3. Типизация кластерных систем.
4. Топологии кластерных систем.
5. Интерфейсы кластерных систем.
6. Средства реализации интерфейсов кластерных систем.
7. Основные характеристики 1982ХД1Я.
8. Основные характеристики 5600ВВ2У.
9. Основные характеристики 5600ВГ1У.