

УДК 621.3

Составитель: С.А. Дюбрюкс

Рецензент

Кандидат технических наук, доцент В.С.Панищев

Отказоустойчивые многопроцессорные платформы: Методические указания по выполнению лабораторных работ для студентов направления подготовки 09.04.01 Информатика и вычислительная техника //Юго-Зап. гос. ун-т; сост.: С.А. Дюбрюкс.- Курск, 2023.- 33 с.

Изложены основные теоретические сведения о процессорах 1892ВМ8Я, 1892ВМ10Я, 1892ВМ14Я, 1967ВН028, 1967ВН034 и мультиклеточных процессорах Multiclet R1, Multiclet P1.

Приведены задания и требования к оформлению результатов выполненных работ, контрольные вопросы.

Методические указания соответствуют требованиям рабочей программы по дисциплине «Отказоустойчивые многопроцессорные платформы» направления подготовки 09.04.01 Информатика и вычислительная техника.

Предназначены для студентов направления очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать _____. Формат 60x84 1/16.
Усл. печ. л. _____. Уч. – изд.л. _____. Тираж 30 экз. Заказ ¹²⁷⁶ Бесплатно.
Юго-Западный государственный университет.
305040, Курск, ул. 50 лет Октября, 94.

Содержание

Введение	4
Основные теоретические сведения	6
Лабораторная работа №1 Разработка функциональной схемы процессорного ядра на процессорах фирмы Миландр 1967ВН028, 1967ВН44	28
Лабораторная работа №2 Разработка функциональной схемы процессорного ядра на процессорах Multicore	29
Лабораторная работа №3 Разработка функциональной схемы процессорного ядра на мультиклеточных процессорах Multiclet	30
Пример разработки функциональной схемы процессорного ядра	31
Требования к оформлению отчета	33
Контрольные вопросы	33

Введение

Целью лабораторных работ является применение полученных теоретических знаний о ряде российских процессоров при проектировании функциональной схемы процессорного ядра с заданными ограничениями на используемую элементную базу; приобретение навыка анализа технической документации на микросхемы.

Процессоры семейства Multicore являются одними из лидеров по продажам на рынке отечественной элементной базы. Процессоры данной линейки предназначены как для военной промышленности с жёсткими условиями эксплуатации и ограничением на использование элементной базы (1892ВМ8Я, 1892ВМ10Я с собственными RISC-ядрами Elcore), так и для применения в аппаратуре, подобной смартфонам и планшетам (1892ВМ14Я с применением импортных ядер CORTEX-A9, сопроцессоров Neon).

В настоящее время МО РФ устанавливает жёсткие ограничения на элементную базу, применяемую в авиационной промышленности при проектировании новейших образцов морского транспорта, танков, космических аппаратов, узлов атомных станций и прочих систем.

Перечисленные процессоры российской разработки призваны заполнить ту нишу, которая освобождается при импортозамещении. При разработке подобных проектов с недопустимым применением импорта возникает необходимость в знаниях особенностей функционирования данных процессоров, их подключения и использования в узлах многопроцессорных систем.

Процессоры 1967ВН028, 1967ВН034 фирмы “Миландр” предназначены как для военной промышленности с жёсткими условиями эксплуатации и ограничением использования элементной базы, так и для применения в составе многопроцессорных систем (1967ВН028 с дополнительными возможностями для объединения в кластер).

Процессор 1967ВН028 ориентирован на применение в кластерных структурах с общей памятью путём разработки собственного интерфейса для объединения процессоров в кластер. Процессор 1967ВН034 как ряд дополнительных интегрированных интерфейсов для подключения дисплеев, видеокамер, так и ряд специфических интерфейсов, используемых в бортовой авионике (ARINC 429, МКИО ГОСТ Р 52070-2003), применяется в автомобилестроении, производстве танков (CAN). Процессор частично повторяет архитектурные особенности бортового контроллера 1986ВЕ1Т, выпущенного фирмой “Миландр” ранее.

Мультиклеточные процессоры – первые российские процессоры, в которые интегрировано процессорное ядро с принципиально новой (пост-неймановской) мультиклеточной архитектурой. Ядро может состоять из 4, 8, 16 или 32 клеток, объединенных интеллектуальной коммутационной средой. Клетки имеют систему команд, построенную на базе языка триад.

Главное достоинство процессора Multiclet R1 – повышенная отказоустойчивость, обусловленная применением алгоритмов динамической реконфигурации кристалла. Процессор Multiclet P1 оптимизирован по энергопотреблению. Оба процессора предназначены для решения задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности. При относительно невысоких тактовых частотах не более 100 МГц они достигают высокого быстродействия за счёт параллельного выполнения команд, для которых вычислены операнды.

Лабораторная работа №1 посвящена разработке функциональной схемы процессорных ядер на основе процессоров Multicore с задаваемыми в данном пособии ограничениями на используемую элементную базу, зависящими от варианта задания.

Лабораторная работа №2 посвящена разработке функциональной схемы процессорных ядер на основе процессоров 1967ВН028, 1967ВН034 с задаваемыми в данном пособии ограничениями на используемую элементную базу, зависящими от варианта задания.

Лабораторная работа №3 посвящена разработке функциональной схемы процессорных ядер на основе мультиклеточных процессоров фирмы “Мультиклет” с задаваемыми в данном пособии ограничениями на используемую элементную базу, зависящими от варианта задания.

Выполнение лабораторных работ должно способствовать как повторению усвоенных при изучении курса схемотехники навыков, так и формированию творческого мышления разработчика на основе лекций, преподаваемых по курсу дисциплины “Отказоустойчивые многопроцессорные платформы”, а также информации, доступной в сети Интернет.

1 Основные теоретические сведения

Процессорное ядро – совокупность средств управления, синхронизации и памяти, необходимых для выполнения вычислительных задач. Процессорное ядро (рисунок 1) может состоять из следующих аппаратных узлов:

Процессор - устройство, отвечающее за выполнение арифметических, логических операций и операций управления, записанных в машинном коде.



Рисунок 1 – Вариант схемы процессорного ядра

ОЗУ (оперативное запоминающее устройство) – энергозависимая часть системы компьютерной памяти, в которой во время работы компьютера хранится выполняемый машинный код (программы), а также входные, выходные и промежуточные данные, обрабатываемые процессором.

В ОЗУ могут храниться как данные, так и исполняемая программа. При хранении программ и данных в одном ОЗУ процессор выполняет выборку команды и операндов по разным тактам, и командный цикл может выполняться не менее чем за 4 такта. Подобную архитектуру называют Фон-Неймановской. При хранении команд и данных в разных ОЗУ существует возможность одновременной выборки команды и операндов (также с помощью внутренней кэш-памяти процессора). Такую архитектуру называют Гарвардской. В данной лабораторной работе ограничение выбора на тип архитектуры ядра не накладывается.

ПЗУ (постоянное запоминающее устройство) - энергонезависимая память, используется для хранения массива неизменяемых данных. В современных разработках как ПЗУ чаще всего используется многократно перепрограммируемая флэш-память. Как правило, во флэш-памяти хранится программа загрузчик, которая при старте питания производит следующие действия:

- выполняет начальную инициализацию необходимых регистров процессора;
- перезагружает рабочую программу из ПЗУ в ОЗУ;
- сверяет контрольные суммы перегруженной программы с эталоном;
- при совпадении контрольных сумм перенастраивает внутренний синтезатор частот (PLL процессора) на более высокую скорость для работы с ОЗУ;
- инициирует сброс внутреннего автомата процессора для последующей работы из ОЗУ программ.

Система синхронизации отвечает за генерацию используемых процессорным ядром частот и может состоять из генераторов, резонаторов, схем умножения/деления частоты, выполненных как на жёсткой логике (триггеры, счётчики, умножители частоты и более универсальные синтезаторы частот), так и на программируемой логике в составе ПЛИС.

Кварцевый резонатор – устройство, в котором пьезоэлектрический эффект и явление механического резонанса используются для построения высокочастотного резонансного элемента электронной схемы.

Генератор частоты – микросхема, выдающая переменное напряжение с заранее известным периодом (обратно-пропорциональным частоте). Отличается от резонатора схемой подключения, требующей запитки от источника питания.

ПЛИС - электронный компонент, используемый для создания цифровых интегральных схем. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования, а прошивка создаётся на этапе проектирования устройства.

Схема управления – предусматривает формирование управляющих сигналов, обеспечивающих логику работы всех элементов ядра. Такими управляющими сигналами в числе прочих могут быть:

- сигналы сброса RESET процессора и флэш-памяти, приводящие их внутренние автоматы в начальное состояние (сигнал сброса на загрузочную флэш-память должен проходить ранее, чем сигнал на процессор, для избежания зависания процессора при старте);
- сигналы выборки кристаллов микросхем ядра;
- сигналы чтения/записи информации в ОЗУ и ПЗУ;
- сигналы синхронизации при работе с асинхронными интерфейсами READY/BUSY (готов/занят) памяти и RDY (готовность) процессора;
- сигналы регенерации динамической памяти;
- частота на WatchDog, предохраняющий процессор от зависания путём формирования сброса при отсутствии данной частоты.

При формировании сигналов необходимо учитывать уровни, которые являются активными для конкретных микросхем.

Подсистема питания – не входит в ядро, но должна быть отражена в данной лабораторной работе. Состоит из вторичных источников питания и средств их синхронизации. При старте системы подача питания на внутреннее ядро (CORE) процессора должно выполняться раньше, чем на периферийные области процессора. В противном случае это может привести к попаданию внутреннего автомата процессора в непредсказуемое состояние и отсутствию старта его работы.

Процессор 1892ВМ8Я. Краткое описание

Сигнальный микропроцессор 1892ВМ8Я имеет следующие функциональные параметры и возможности:

- тактовая частота 80 МГц;

- архитектура – MIPS32;
 - 32-х битная шина передачи адреса и 64-х битная шина передачи данных;
 - Кэш команд объемом 16 Кбайт;
 - устройство умножения и деления;
 - сопроцессор арифметики в формате с плавающей точкой;
 - JTAG IEEE 1149.1, встроенные средства отладки программ;
 - производительность – не менее 80 млн. оп/сек (при тактовой частоте 80 МГц);
 - оперативная память центрального процессора (CRAM) объемом 32 Кбайт;
 - 5 внешних запросов прерывания, в том числе немаскируемое прерывание (NMI);
 - встроенный цифровой сигнальный процессор (DSP) с “Гарвардской” RISC – подобной архитектурой с оригинальной системой команд и преимущественно одноктактным исполнением инструкций;
 - SIMD (Single Instruction Multiple Data) организация потоков команд и данных;
 - пиковая производительность DSP, не менее (при тактовой частоте 80 МГц): 480 млн. оп/с 32-битных операций с плавающей точкой (IEEE 754); 2880 млн. оп/с 8-битных операций с фиксированной точкой; 1280 млн. оп/с 16-битных операций с фиксированной точкой; 640 млн. оп/с 32-битных операций с фиксированной точкой;
 - встроенный контроллер управления статической памятью типа SRAM, FLASH, ROM, а также синхронной памятью типа SDRAM;
 - программное конфигурирование типа блоков памяти и их объема;
 - программное задание циклов ожидания;
 - формирование сигналов выборки 4 блоков внешней памяти;
 - 16 - канальный контроллер прямого доступа в память (DMA) и 4 внешних запроса прямого доступа;
 - 4 универсальных порта MFBSPP, работающих в режимах: LPOR (Analog Device), SPI, I2S, GPIO;
 - два дуплексных канала SpaceWire с пропускной способностью не менее 250 Мбит/с каждый;
 - универсальный асинхронный порт (UART) типа 16550;
 - 32-разрядный интервальный таймер (IT);
 - 32-разрядный таймер реального времени (RTT);
 - напряжение питания микропроцессора: ядро 2,5 В $\pm 5\%$, периферия 3,3 В $\pm 5\%$;
 - максимальная мощность потребления ядра: 2625 мВт, приведено пиковое значения для наихудших условий в пределах TУ;
 - программируемые режимы энергосбережения;
 - диапазон рабочих температур: от -60 °С до +85 °С;
 - корпус: HSBGA-416, 35x35мм.
- Структурная схема процессора 1892ВМ8Я приведена на рисунке 2.

В состав 1892ВМ8Я входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора арифметики в формате с плавающей точкой (FPU);
- DSP – цифровой сигнальный процессор;
- CDB (CPU Data Bus) – шина обмена данными CPU с регистрами устройств;
- AXI Switch - коммутатор;
- XRAM, YRAM, PRAM – память DSP;
- CRAM – двухпортовая оперативная память центрального процессора;
- MPORT – порт внешней памяти;
- DMA – контроллер прямого доступа в память;
- OnCD – встроенные средства отладки программ;
- UART – асинхронный последовательный порт;
- PLL – умножитель частоты на основе PLL;
- SWIC – контроллеры канала Space Wire (2);
- MFBSP (Multy Functional Bufferd Serial Port) (4);
- ICTR – контроллер прерываний;
- IT – интервальный таймер;
- WDT – сторожевой таймер;
- RTT – таймер реального времени;
- JTAG – отладочный порт.

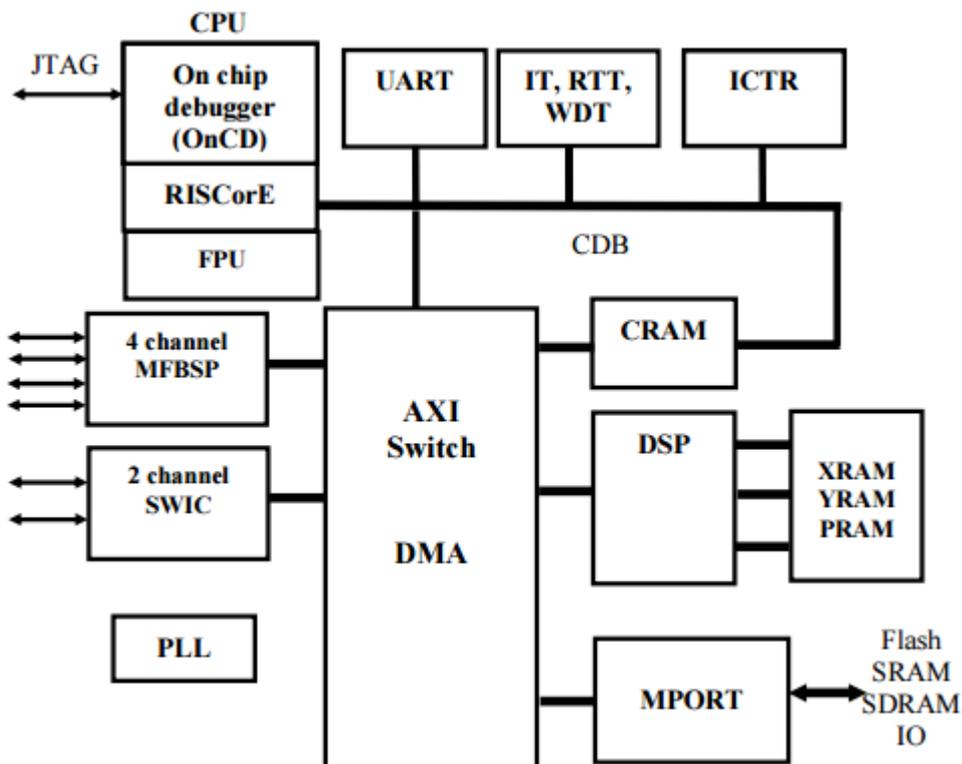


Рисунок 2 - Структурная схема процессора 1892ВМ8Я

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “ЭЛВИС” (<http://multicore.ru/index.php?id=658>).

Процессор 1892ВМ10Я. Краткое описание

Микропроцессор 1892ВМ10Я (Рисунок 3) имеет следующие функциональные параметры и возможности:

- тактовая частота: 250 МГц;
- CPU-ядро: совместимо с MIPS32, встроенный 32/64-разрядный акселератор (FPU);
 - производительность двух DSP-ядер:
 - 24e8: 4000 Моп/с, 16 операций за 1 такт;
 - int32: 4000 Моп/с, 16 операций за 1 такт;
 - int16: 16 Гоп/с, 64 операции за 1 такт;
 - int8: 24 Гоп/с, 96 операций за 1 такт.
- встроенное ОЗУ: 4 Мбит;
- 32-разрядный порт внешней памяти SRAM/ ROM/ SDRAM/ Mobile SDRAM/ EPROM/ FLASH и внешних устройств;
 - последовательные порты I2C, Ethernet MAC 10/100, 2 порта UART, 4 порта MFBSPP (I2S/ SPI/ SHARC LPORT/ GPIO) с DMA;
 - порты ввода и вывода видеоданных;
 - встроенный 4-канальный DMA-контроллер;
 - встроенные интервальный таймер, таймер реального времени, сторожевой таймер;
- навигационный коррелятор (МСС):
 - 24 канала слежения за навигационными сигналами GPS C/A, GPS L2C, ГЛОНАСС СТ;
 - 4 внешних прерывания;
 - встроенный умножитель/делитель входной частоты (PLL);
 - порт JTAG, встроенные средства отладки программ (OnCD);
 - программная совместимость снизу с процессорами «Мультикор»: 1892ВМ3Т, 1892ВМ2Я, 1892ВМ5Я, 1892ВМ8Я;
 - напряжение питания микропроцессора: ядро — 1,2 В ±5%, периферия — 3,3 В ±5%;
 - максимальная мощность потребления ядра: 1512 мВт для наихудших условий в пределах ТУ и 567 мВт на частоте 100 МГц;
 - программируемые режимы энергосбережения;
 - температурный диапазон: от –60 до +85 °С;
 - корпус: HSBGA-400, 21x21 мм.

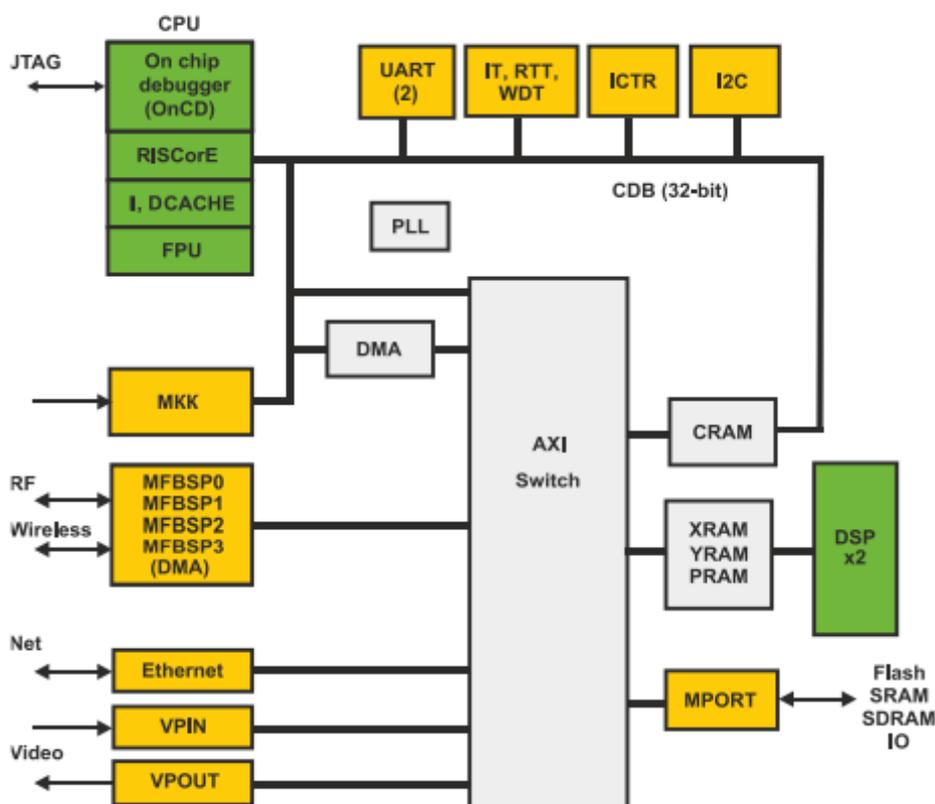


Рисунок 3 - Структурная схема процессора 1892BM10Я

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы «ЭЛВИС» (<http://multicore.ru/index.php?id=1149>).

Процессор 1892BM14Я. Краткое описание

Малопотребляющий многоядерный сигнальный микропроцессор нового поколения 1892BM14Я (рисунок 4) для связных, навигационных, мультимедийных, встраиваемых, мобильных приложений имеет следующие основные характеристики и особенности:

- Технология изготовления — КМОП, 40LP процесс TSMC.
- Архитектура: многоядерная гетерогенная «система-на-кристалле» с использованием IP-блоков платформы «МУЛЬТИКОР» (от ОАО НПЦ «ЭЛВИС») и покупных IP-блоков.
- Максимальная рабочая частота:
 - 912 МГц CPU / 720 МГц DSP при нормальных условиях;
 - не менее 744 МГц CPU / 480 МГц DSP для наихудших условий;
 - 1104 МГц CPU / 912 МГц DSP при нормальных условиях и повышенном напряжении ядра (1,2В).
- Общее потребление микропроцессора:
 - общее типовое — 3 Вт (зависит от используемых ресурсов);
 - в режиме гибернации — до 130 мВт;
 - в режиме глубокого сна — 75 мкВт;
 - потребление DSP — 0,5 ÷ 0,8 мВт/МГц (в зависимости от задачи) на ядро;

потребление CPU — 0,3 ÷ 0,5 мВт/МГц (в зависимости от задачи) на ядро;

- Система управления энергопотреблением.
- Напряжение электропитания:
 - напряжение питания ядра: 1,1–1,2 В;
 - настраиваемое напряжение питания периферии: 1,8/ 2,5/ 3,3 В.
- Многоядерная гетерогенная MIMD-архитектура на базе стандартных процессорных и специализированных ядер:
 - стандартное управляющее процессорное сдвоенное ядро — Dual CORTEX-A9 (CPU 0-1) с FPU-акселератором и NEON SIMD-акселератором (ARM);
 - кластер на базе двух DSP-ядер с плавающей и фиксированной точкой ELCore-30M; полная программная совместимость с микросхемами 1892BM10Я, 1892BM15Ф;
 - графический 2D/3D акселератор (MALI-300, ARM); поддержка OpenVG 1.1, OpenGL ES 2.0/1.1; поддержка разрешения до HD 1080p с 4x сглаживанием; встроенный 8 КВ кэш второго уровня; 250 млн. пикселей/с;
 - ядро многоканального ГЛОНАСС/GPS/BeiDou-коррелятора;
 - видекодек VECore-01: обеспечение функций H.264 CBP Encode and Decode, Full HD (1920x1080) стерео поток с частотой следования не менее 30 кадров/с; память видеоданных VRAM объемом 1 Мбайт, доступная для CPU и DSP;
 - аппаратный ускоритель для сжатия изображений по стандарту JPEG.
- Периферия:
 - контроллер Ethernet MAC 10/100/1000;
 - два порта DDR3; максимальная скорость передачи данных 1066 Мбит/с на частоте 533 МГц; разрядность — 16/32;
 - порт памяти NORMPORT для подключения памяти SRAM/PSRAM/ROM/NOR FLASH;
 - порт памяти NANDMPORT для подключения памяти NAND FLASH;
 - два SD/MMC порта с поддержкой SD3.0/MMC4.5;
 - два многофункциональных порта MFBSP (LPRT, SPI, I2S, GPIO) с DMA;
 - четыре универсальных асинхронных порта (UART) типа 16550A;
 - USB2.0 (HOST+DEVICE+PHY), 480 Мбит/с;
 - «интеллектуальный» многоканальный DMA контроллер SDMA;
 - DMA контроллер с возможностью прямой обработки запросов периферийных устройств PDMA;
 - 128 мультиплексированных GPIO вывода; возможность ввода 32 внешних прерываний;
 - три порта I2C интерфейса;
 - два выделенных порта интерфейса SPI;
 - выделенный порт интерфейса I2S;
 - 2 двухканальных контроллера ШИМ;

- два порта SpaceWire для обеспечения сетевых возможностей микросхемы; соответствуют стандарту ECSS-E-50-12C; скорость приема и передачи данных — от 2 до 400 Мбит/с; дуплексный режим работы;
 - восемь универсальных 32-разрядных таймеров, интервальные/реального времени (IT/RTT);
 - 32-разрядный сторожевой таймер (WDT);
 - таймер реального времени (RTC); полная поддержка календаря: секунды, минуты, часы, дни, месяцы, годы; внешняя синхронизация — 32,768 кГц;
 - широкие возможности по отладке и трассированию программ: архитектура отладки и трассирования ARM CoreSight; отладка по стандарту IEEE1149.1(JTAG); порт отладки DAP с доступом к внутренней памяти микросхемы;
 - два порта ввода видеоданных:
 - порт MIPI CSI или параллельный порт;
 - встроенное DMA;
 - встроенный Image Preprocessor.
 - порт вывода видеоданных:
 - порт MIPI DSI или параллельный порт;
 - встроенное DMA.
- контроллер управления электропитанием: управление включением и выключением электропитания; формирование и хранение реального времени.
- Тип корпуса: 1296 HFCBGA, 19 мм x 19 мм, шаг по выводам 0,5 мм.

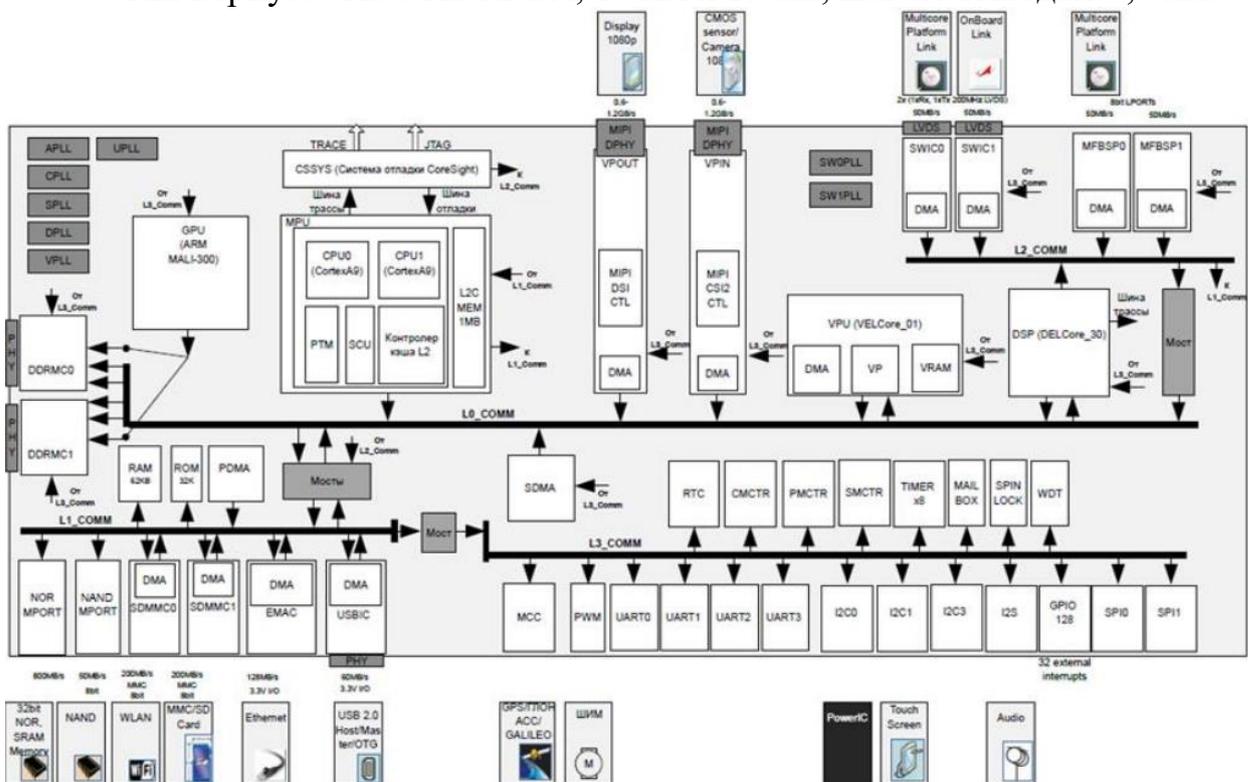


Рисунок 4 - Структурная схема процессора 1892BM14Я

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “ЭЛВИС” (<http://multicore.ru/index.php?id=1335>).

Процессор 1967BH028. Краткое описание.

Сигнальный микропроцессор 1967BH028 имеет следующие технические характеристики:

- рабочая частота до 450 МГц, время цикла исполнения команды 2,2 нс;
- встроенная оперативная память типа SRAM 24 Мбит;
- корпус типа BGA повышенной термостойкости 25 x 25 мм (576 шариковых выводов);
- два вычислительных блока, каждый из которых содержит АЛУ, множитель, сдвигатель и коммуникационный блок (CLU);
- два целочисленных АЛУ, обеспечивающих адресацию данных и содержащих буферы выравнивания данных (DAB);
- интегрированная система ввода-вывода включает 14-канальный контроллер DMA, внешний 64/32-разрядный порт, 4 высокоскоростных двунаправленных LVDS порта передачи данных, контроллер SDRAM, пользовательские линии ввода-вывода и внешний флаг переполнения таймера для синхронизации системы;
- два таймера;
- порт доступа к интерфейсу JTAG (совместимому со стандартом 1149.1 IEEE) для эмуляции на кристалле;
- формат данных: числа с плавающей точкой одинарной (32 бита) и двойной (64 бита) точности. Числа с фиксированной точкой: 8, 16, 32 и 64 бит.

Процессор обеспечивает высокопроизводительную суперскалярную цифровую обработку сигнала, оптимизированную для применения в телекоммуникациях или других областях, требующих мультипроцессорной системы цифровой обработки данных. Он особенно эффективен в алгоритмах цифровой обработки сигнала и системах ввода-вывода. 1967BH028 поддерживает на низком уровне дополнительные передачи через устройство прямого доступа к памяти между внутренней памятью, внешней памятью, отображаемыми в памяти периферийными устройствами, LVDS портами, главным процессором и другими (мультипроцессорными) устройствами цифровой обработки данных. Он также упрощает процесс программирования процессора цифровой обработки сигналов (DSP) за счет гибкого набора команд и использования языка высокого уровня в архитектуре DSP. Процессор позволяет использовать изменяемую мультипроцессорную систему с низкими потерями пропускной способности и обеспечивает встроенную арбитражную систему мультипроцессорной обработки данных без дополнительных устройств

Структурная схема процессора 1967BH028 приведена на рисунке 5.

В состав 1892ВМ8Я входят следующие основные узлы:

- CPU – центральный процессор на основе RISC-ядра и сопроцессора арифметики в формате с плавающей точкой (FPU);
- DSP – цифровой сигнальный процессор;
- CDB (CPU Data Bus) – шина обмена данными CPU с регистрами устройств;
- AXI Switch - коммутатор;
- XRAM, YRAM, PRAM – память DSP;
- CRAM – двухпортовая оперативная память центрального процессора;
- MPORT – порт внешней памяти;
- DMA – контроллер прямого доступа в память;
- OnCD – встроенные средства отладки программ;
- UART – асинхронный последовательный порт;
- PLL – умножитель частоты на основе PLL;
- SWIC – контроллеры канала Space Wire (2);
- MFBSP (Multy Functional Bufferd Serial Port) (4);
- ICTR – контроллер прерываний;
- IT – интервальный таймер;
- WDT – сторожевой таймер;
- RTT – таймер реального времени;
- JTAG – отладочный порт.

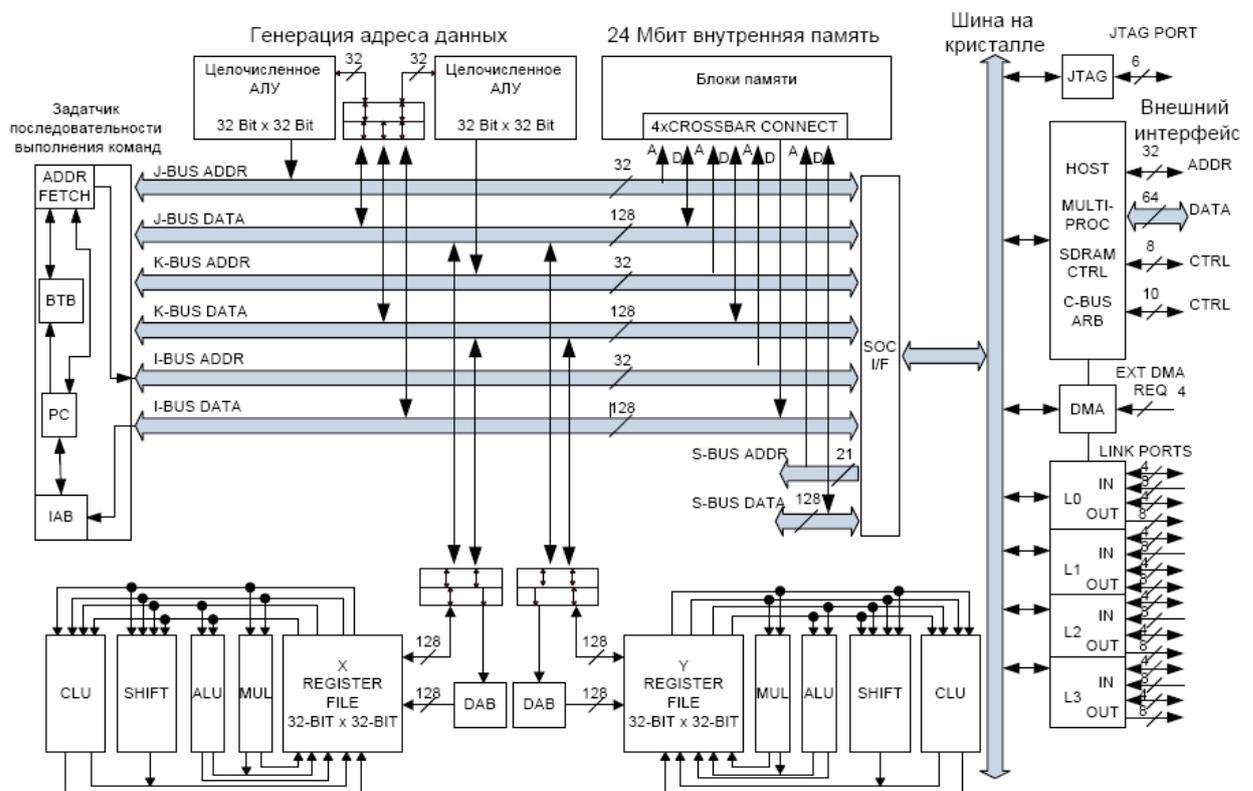


Рисунок 5 – Структурная схема микросхемы 1967ВН028

Основное отличие процессора - наличие собственного мультипроцессорного интерфейса, который позволяет объединять процессоры в кластер, где каждый из процессоров предоставляет свои внутренние ресурсы в общий доступ своеобразно алгоритму задачи. Так, его адресные линии могут быть сконфигурированы не только как выходы, но и как входы (подробно описано в методических указаниях к лабораторной работе №4) для чтения своей памяти по кластерной шине процессором-мастером шины. Кроме того, исполняемые процессорами в кластере программы могут загружаться динамически мастером шины без перезапуска всей системы.

Процессор состоит из двух архитектурных частей:

- ядро процессора (Рисунок 6), где исполняются команды;
- периферийные устройства (Рисунок 7) для хранения данных и осуществления операций обмена с внешними устройствами.

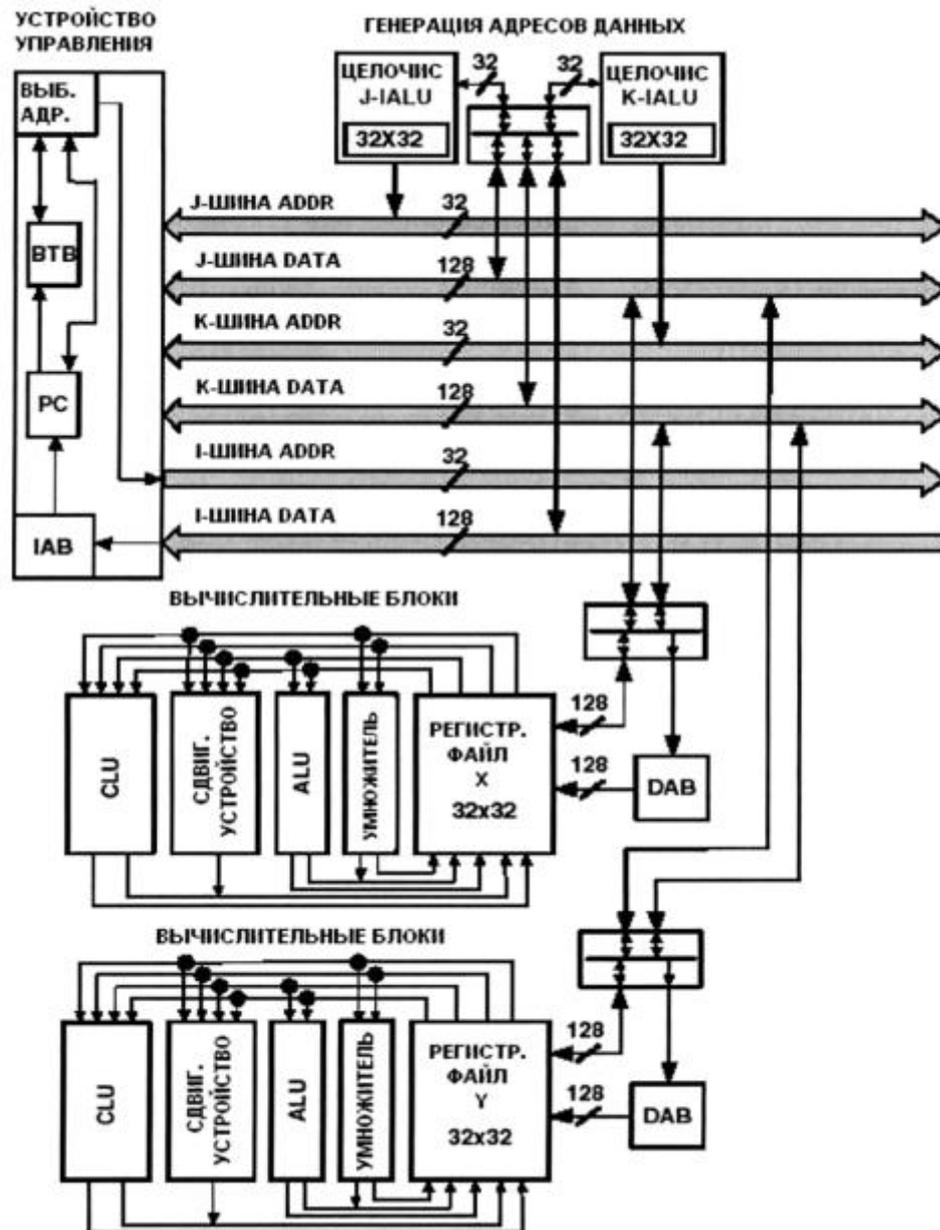


Рисунок 6 – Структурная схема ядра процессора

В процессоре можно выделить следующие элементы:

- два вычислительных модуля: X и Y, каждый из которых содержит умножитель, ALU, CLU, сдвиговое устройство и регистровый файл объемом в 32 слова;
- два блока целочисленных ALU: J и K, каждый из которых содержит 32-битное целочисленное ALU, а также регистровый файл объемом в 32 слова;
- устройство управления (Sequencer), управляющее ходом исполнения программы, содержащее буфер выравнивания команд (instruction alignment buffer – IAB) и буфер целевых адресов перехода (branch target buffer – BTB);
- три 128-битные шины, обеспечивающие возможность высокоскоростного обмена между внутренней памятью и другими компонентами ядра процессора (вычислительными блоками, блоками целочисленных ALU, устройством управления и SOC-интерфейсом);
- 128-битную шину, обеспечивающую возможность высокоскоростного обмена между внутренней памятью и периферийными устройствами внешнего ввода/вывода (DMA, внешним портом и портами линков);
- SOC-интерфейс, обеспечивающий связь между внутренними шинами ядра и шиной периферийных устройств;
- интерфейс внешнего порта, включая хост-интерфейс, контроллер SDRAM, конвейерный интерфейс со статической организацией конвейера, четыре канала DMA, четыре порта LVDS-линков, каждый с двумя каналами DMA, и поддержку многопроцессорной работы;
- 24 Мбит внутренней памяти, организованной как шесть 4-Мбитных блоков, каждый из которых содержит 128К 32-битных слов.

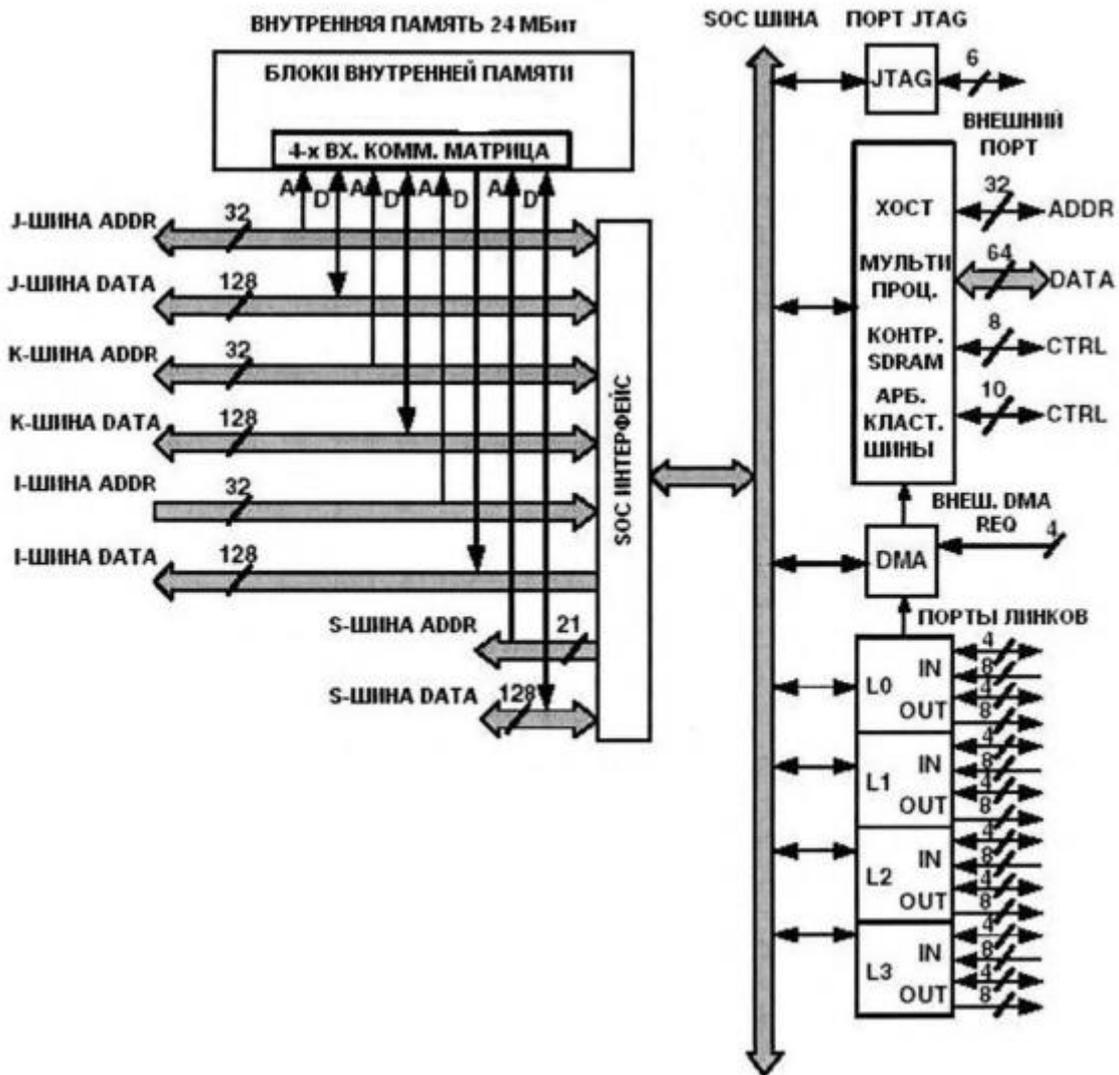


Рисунок 7 – Схема подключения периферийных устройств к ядру процессора

Внешний порт процессора обеспечивает интерфейс с внешней памятью, с устройствами ввода/вывода, отображенными в память, с хост-процессором, а также с дополнительными процессорами. Внешний порт выполняет арбитраж внешней шины и подает управляющие сигналы на общую глобальную память, SDRAM и устройства ввода/вывода.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Миландр” (<http://multicore.ru/index.php?id=658>).

Процессор 1967ВН034. Краткое описание

Микросхемы интегральные 1967ВН034 предназначены для использования в аппаратуре специального назначения в качестве процессора цифровой обработки сигналов с ОЗУ 12 Мбит и тактовой частотой 300 МГц. Структурная схема микропроцессора приведена на рисунке 8.

Одна из её особенностей состоит в том, что у всех внешних 32-х битных портов РА..РЕ имеется ряд конфигурационных вариантов, которые должен определять разработчик ещё на стадии проектирования “железа”. Эти

варианты определяют, какую из ряда заранее известного набора функцию будет выполнять порт. При этом порты могут перепрограммироваться динамически в течение одного и того же включения процессора.

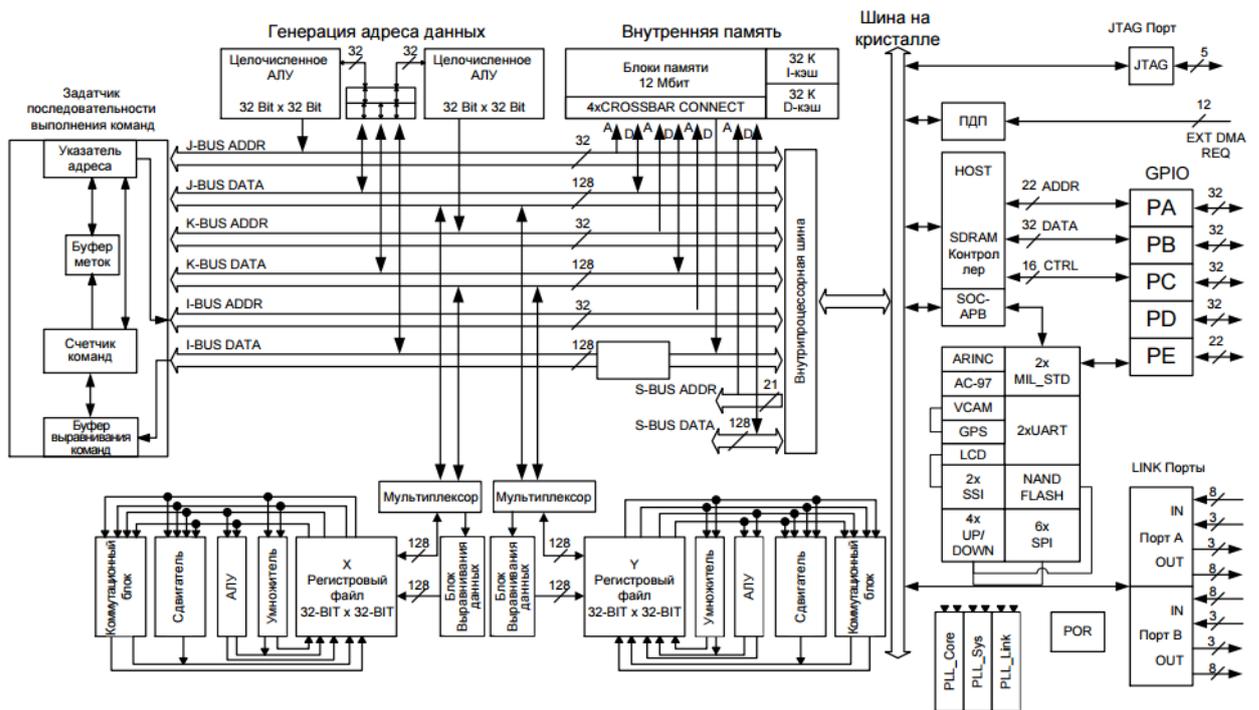


Рисунок 8 – Структура процессора 1967ВН034

Процессор состоит из трех архитектурных частей:

- ядро процессора (Рисунок 9), где исполняются команды;
- внутренняя память (Рисунок 10), где хранятся данные;
- периферийные устройства (Рисунок 11), которые осуществляют операции обмена с внешними устройствами.

В процессоре можно выделить следующие элементы:

- два вычислительных модуля: X и Y, каждый из которых содержит умножитель, АЛУ, СЛУ, сдвиговое устройство и регистровый файл объемом в 32 слова;
- два блока целочисленных АЛУ: J и K, каждый из которых содержит 32-битное целочисленное АЛУ, а также регистровый файл объемом в 32 слова;
- устройство управления (Sequencer), управляющее ходом исполнения программы и содержащее буфер выравнивания команд (instruction alignment buffer – IAB) и буфер целевых адресов перехода (branch target buffer – BTB);
- три 128-битные шины, обеспечивающие возможность высокоскоростного обмена между внутренней памятью и другими компонентами ядра процессора (вычислительными блоками, блоками целочисленных АЛУ, устройством управления и SOC-интерфейсом);

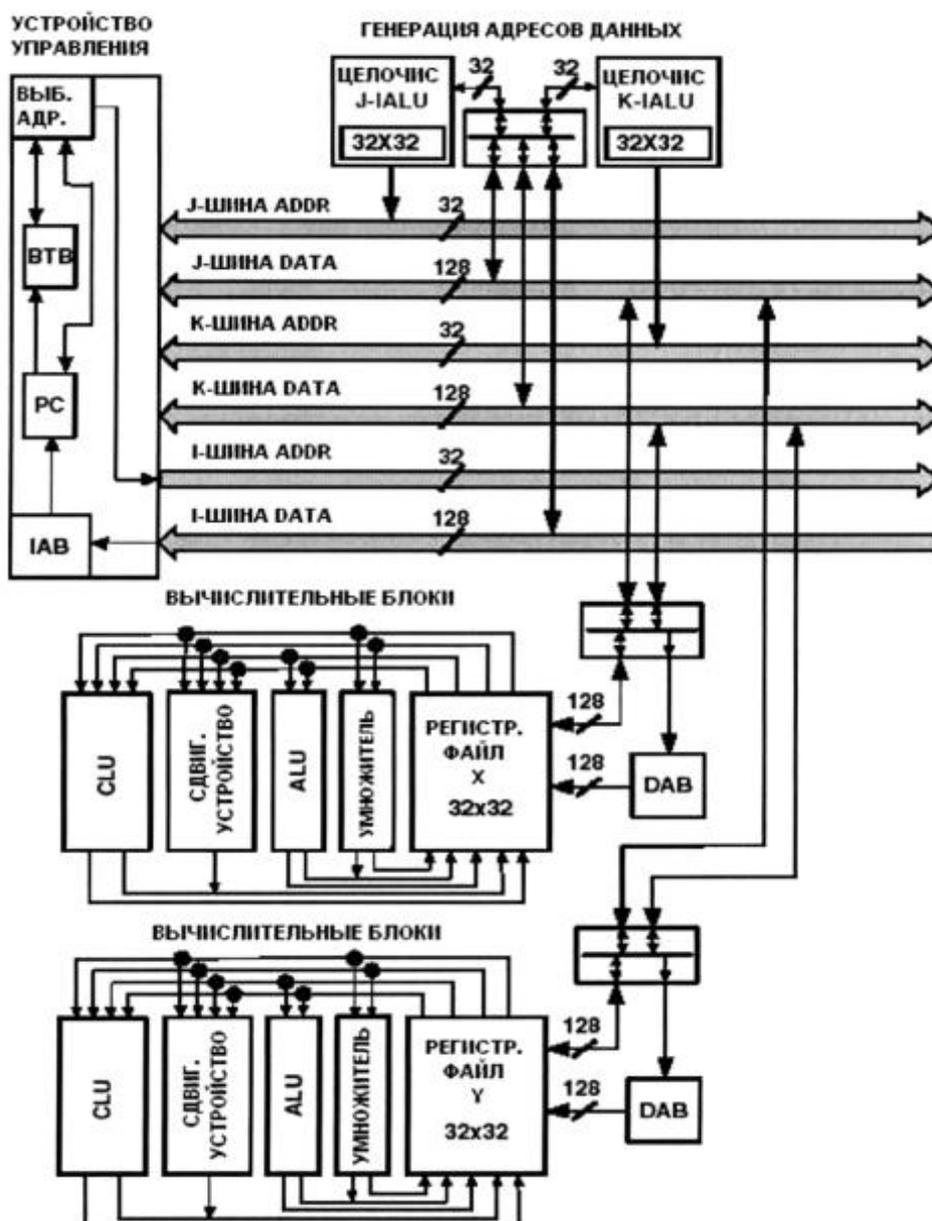


Рисунок 9 – Схема внутреннего ядра процессора

- 128-битная шина, обеспечивающая возможность высокоскоростного обмена между внутренней памятью и периферийными устройствами внешнего ввода/вывода (DMA, внешним портом и LINK-портами);
- SOC-интерфейс, обеспечивающий связь между внутренними шинами ядра и шиной периферийных устройств.
- периферийные устройства, такие как интерфейс внешнего порта, контроллер SDRAM, конвейерный интерфейс со статической организацией конвейера, двенадцать каналов DMA, два порта LVDS-линков (с двумя каналами DMA каждый) и др.;
- 12 Мбит внутренней памяти, организованной как шесть блоков по 2 Мбит, каждый из которых содержит 64К 32-битных слов;
- средства поддержки отладки;

– тестовый порт JTAG.

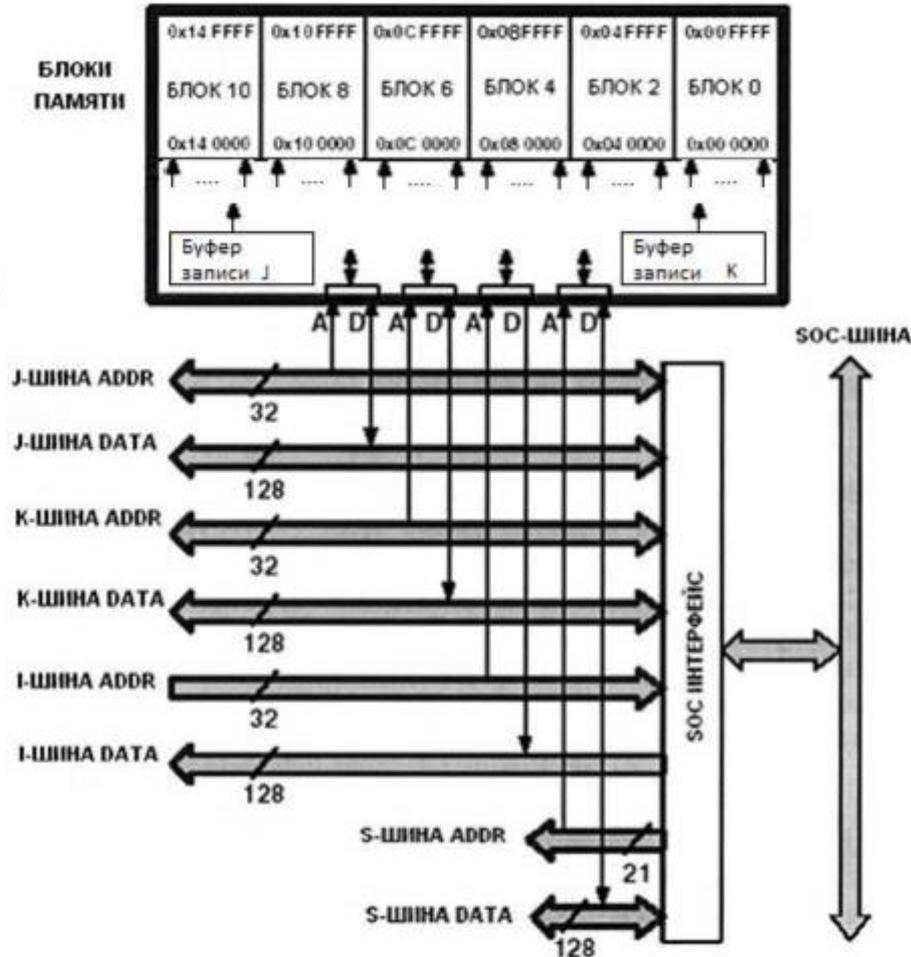


Рисунок 10 – Подключение внутрикристалльной памяти к ядру процессора

Внутренняя память объемом 12 Мбит разбита на шесть блоков памяти по 64 К слов. Каждая из четырех пар внутренних шин «адрес/данные» подсоединена ко всем шести блокам памяти через коммутационную матрицу. Шесть блоков памяти поддерживают до четырех обращений в каждом такте, причем каждый блок памяти может выполнить 128-битное обращение за такт. Внешний порт поддерживает ширину шины данных 16 или 32 бита. Высокая пропускная способность ввода/вывода сочетается с высокой скоростью работы ядра. Для достижения высокой тактовой частоты процессор использует конвейерную внешнюю шину для синхронной статической памяти (SSRAM) и для синхронной динамической памяти (SDRAM).

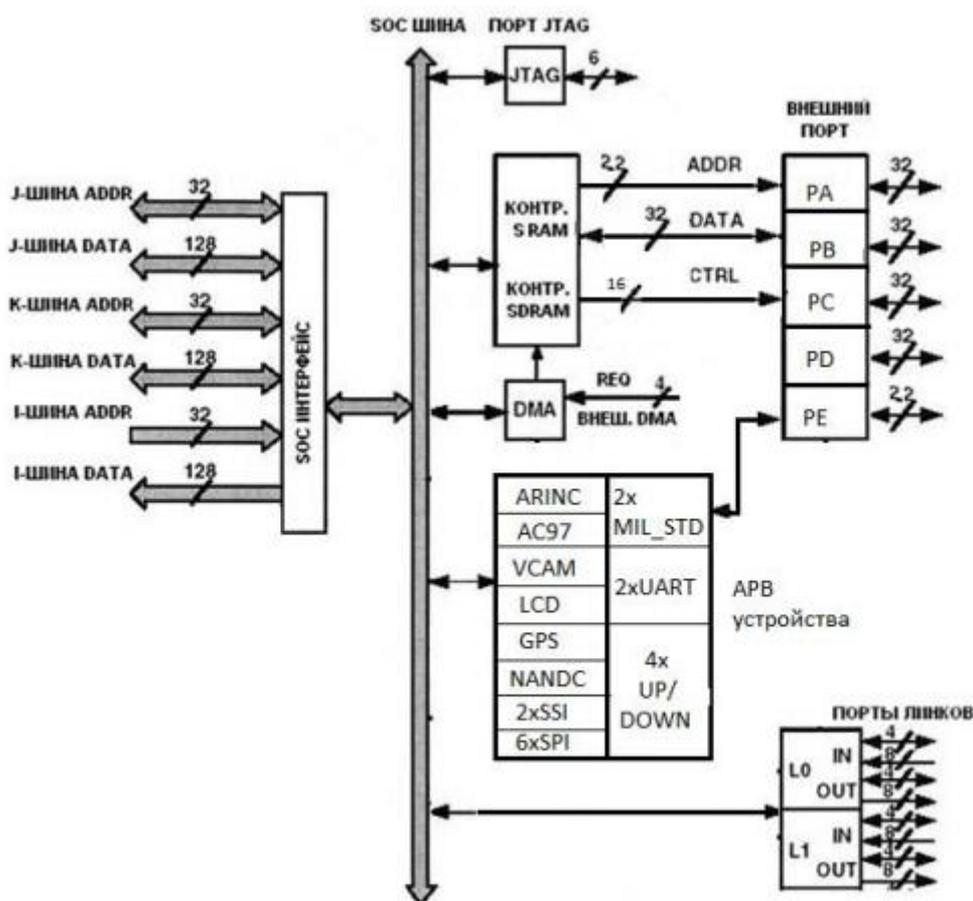


Рисунок 11 – Подключение периферийных устройств к ядру процессора

Высокую пропускную способность передачи данных из точки в точку поддерживают два порта LVDS-линков. Каждый LINK-порт обеспечивает полнодуплексную связь. Наличие разнообразных контроллеров периферийных устройств позволяет подключать:

- внешнюю NAND флэш-память;
- последовательную флэш-память с интерфейсом SPI;
- внешние аудио кодеки с интерфейсом SSI или AC97;
- внешние устройства, поддерживающие интерфейсы ARINC и MIL_STD;
- внешнюю LCD-панель произвольного разрешения;
- внешнюю видеокамеру;
- внешние ЦАП\АЦП.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Миландр” (<http://multicore.ru/index.php?id=1149>).

Процессор Multiclet R1. Краткое описание

Микропроцессор Multiclet R1 (MCp0411100101) имеет в своем составе мультиклеточное процессорное ядро – первое процессорное ядро с принципиально новой (пост-неймановской) мультиклеточной архитектурой российской разработки. Мультиклеточный процессор предназначен для

решения широкого круга задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности. Данный мультиклеточный процессор состоит из 4 клеток (когерентных процессорных блоков), объединенных интеллектуальной коммутационной средой. Общая структура процессора приведена на рисунке 12.

Особенности:

- число клеток — 4;
- разрядность процессора — 32/64 бита;
- память данных - 128Кб (4*4К*64);
- память программ 128Кб (4*4К*64);
- ПЗУ - в исполнении «1» отсутствует, для хранения исполняемого кода должно применяться внешнее последовательное FLASH ПЗУ XCF04S;
- блок операций над числами с плавающей запятой (в каждой клетке);
- тактовая частота - 100 МГц;
- производительность - 2,4 Gflops.

Общие характеристики:

- корпус - QFP-208;
- условия эксплуатации – (0...+70);
- максимальная потребляемая мощность процессора: 1,08Вт
- напряжение питания (раздельное):
 - ядра — 1,8В
 - периферии — 3,3 В.

Основные свойства:

- увеличение производительности в 4-5 раз при одновременном снижении энергопотребления (при одинаковых тактовых частотах и топологических нормах исполнения): — в 2-4 раза по сравнению с аудиопроцессорами; — в 10-15 раз по сравнению с процессорными ядрами со сверхнизкими энерго- потреблением;
- «естественная» реализация параллелизма (без решения задачи распараллеливания);
- уменьшение площади кристалла;
- эффективная реализация любого класса задач (коммутационная среда не вносит каких-либо ограничений в межклеточный обмен данными);
- выполнение программы без перекомпиляции на любом количестве клеток.

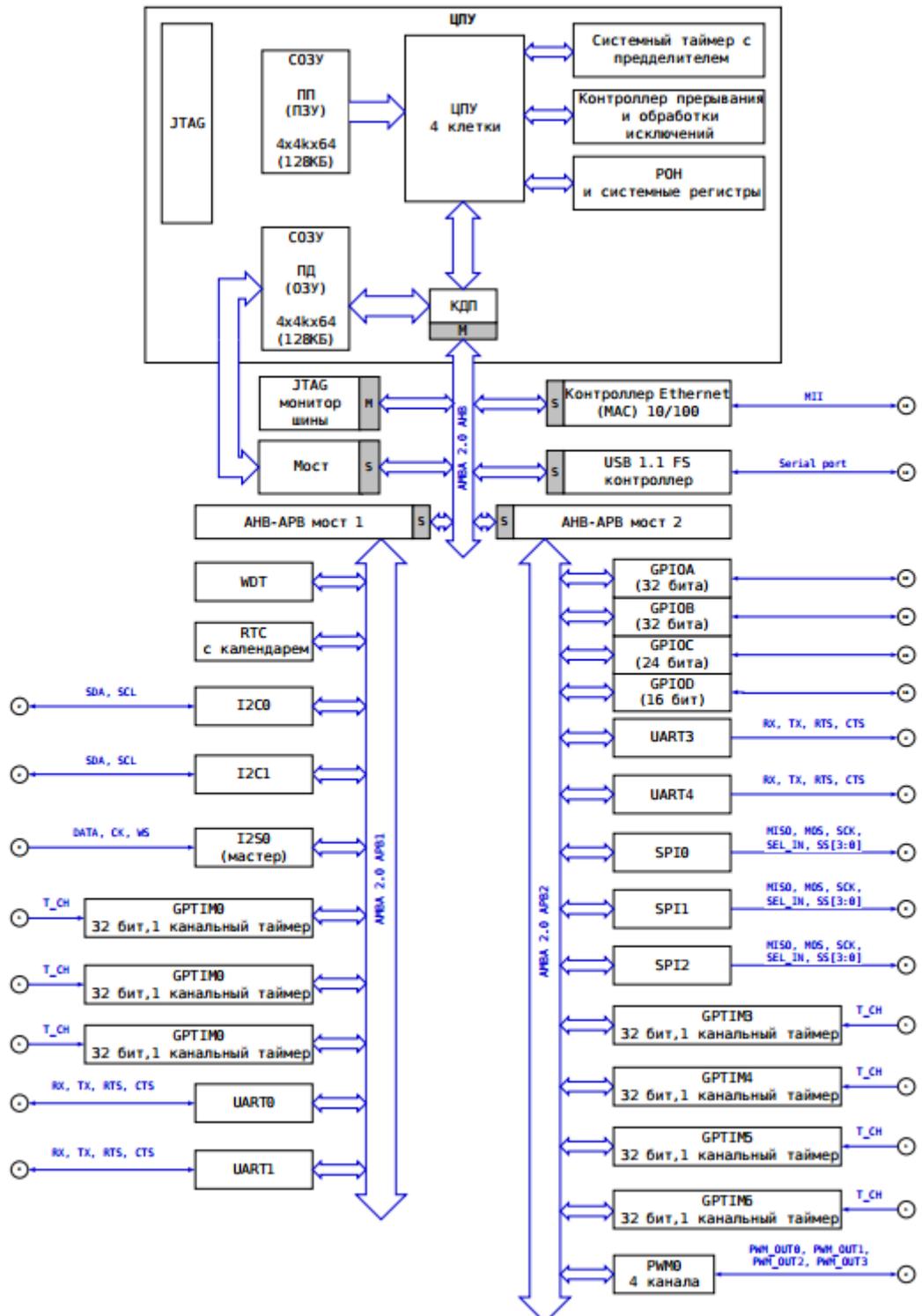


Рисунок 12 - Общая структура процессора Multiclet R1

Периферийные устройства:

- 2 интерфейса SPI с селектором “ведомых” устройств (в режиме “ведущий”);
- 4 универсальных асинхронных приёмопередатчика UART с FIFO на прием/передачу;
- 2 интерфейса I2C (один “master” и один “slave”);
- интерфейс I2S;

- Ethernet контроллер 10/100Мб/с;
- USB 1.1 FS (device) контроллер с последовательным внешним интерфейсом для подключения приемо-передатчика;
- часы реального времени с календарем;
- 7 таймеров общего назначения;
- 4 порта ввода-вывода, общее количество вводов-выводов – 104;
- 4-х канальный контроллер ШИМ;
- сторожевой таймер.

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Мультиклет” (http://www.multiclet.com/docs/Datasheet_МСр0411100101.pdf)

Процессор Multiclet P1. Краткое описание

Микропроцессор Multiclet P1 (МСр041P100104) в малом корпусе создан на базе российской мультиклеточной архитектуры и имеет в своем составе мультиклеточное процессорное ядро российской разработки. Он предназначен для решения широкого круга задач управления и цифровой обработки сигналов в приложениях, требующих минимального энергопотребления и высокой производительности, а также там, где существенными являются массогабаритные характеристики. Отличается от предыдущих процессоров линейки уменьшенной периферией. Основные технические характеристики процессора приведены на рисунке 13. Структурная схема процессора приведена на рисунке 14.

Параметры	МСр041Р100104-LQ144
Ядро	МСс041Р1, российское
Кол-во ядер	1 (4 клетки)
Архитектура	мультиклеточная, российская
Тип корпуса	LQFP 144 20x20 мм
Тех.процесс	0,18 мкм
Разрядность	32/64 бит
Тактовая частота	100 МГц
Производительность	2,4 Гфлопс
Память данных	128 Кб (4*4К*64)
Память программ	128 Кб (4*4К*64)
Напряжение	ядра - 1,8 В периферии - 3,3 В
Максимальная потребляемая мощность (на FFT)	1,08 Вт
Плавающая запятая	есть

Рисунок 13 - Технические характеристики процессора Multiclet P1

Процессор Multiclet P1 отличается от предыдущих процессоров линейки уменьшенной номенклатурой периферийных устройств.

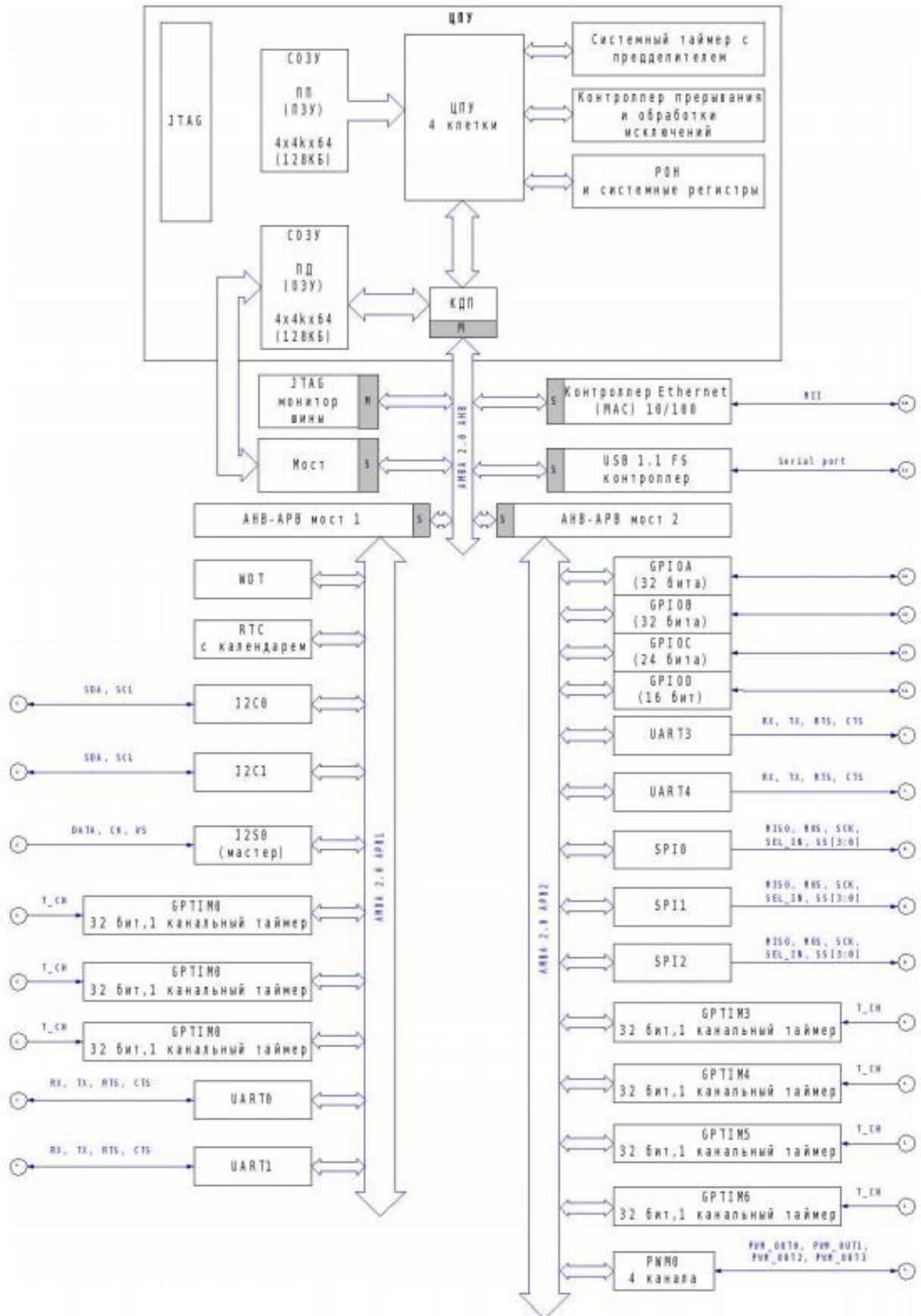


Рисунок 14 – Структурная схема процессора Multiclet P1

Полное описание процессора, в том числе описание его внешних выводов, находится на сайте фирмы “Мультиклет” <http://www.multiclet.com/index.php/ru/products/237-mcp041p100104-lq-144->

Лабораторная работа №1

Задание

Разработать функциональную схему процессорного ядра с ограничениями и характеристиками согласно варианту.

Вариант 1

Процессор 1892ВМ8Я. Внешнее ОЗУ статическое, радиационно-стойкое, 8Мбит. Внешняя загрузочная флэш-память с температурным диапазоном не менее $-40^{\circ}\text{C} \dots +85^{\circ}\text{C}$.

Вариант 2

Процессор 1892ВМ10Я. Внешнее ОЗУ радиационно-стойкое, ф Элвис. Внешняя загрузочная флэш-память 1636РР2У.

Вариант 3

Процессор 1892ВМ14Я. Внешнее ОЗУ без ограничений. Внешняя загрузочная память без ограничений.

Вариант 4

Процессор 1892ВМ8Я. Внешнее ОЗУ динамическое. Внешняя загрузочная флэш-память 1636РУ2У. Добавить контроллер SpaceWire (Россия).

Вариант 5

Процессор 1892ВМ10Я. Внешнее ОЗУ радиационно-стойкое, ф Миландр. Внешняя загрузочная флэш-память с температурным диапазоном $-60^{\circ}\text{C} \dots +125^{\circ}\text{C}$.

Вариант 6

Процессор 1892ВМ8Я. Внешнее ОЗУ с температурным диапазоном $-60^{\circ}\text{C} \dots +125^{\circ}\text{C}$. Внешняя загрузочная флэш-память с температурным диапазоном $-60^{\circ}\text{C} \dots +125^{\circ}\text{C}$.

Вариант 7

Процессор 1892ВМ10Я. Внешнее ОЗУ с временем доступа менее 20 нс. Внешняя загрузочная память радиационно-стойкая.

Лабораторная работа №2

Задание

Разработать функциональную схему процессорного ядра с ограничениями и характеристиками согласно варианту.

Вариант 1

Процессор 1967ВН034. Внешнее ОЗУ статическое, радиационно-стойкое, 8Мбит. Внешняя загрузочная флэш-память 1636РУ2У.

Вариант 2

Процессор 1967ВН028. Внешнее ОЗУ - импорт, свыше 16 Мбит. Внешняя загрузочная флэш-память радиационно-стойкая.

Вариант 3

Процессор 1967ВН034. Внешнее ОЗУ статическое, радиационно-стойкое, 8Мбит. Внешняя загрузочная флэш-память импорт.

Вариант 4

Процессор 1967ВН034. Внешнее ОЗУ 1645РУ4У. Внешняя загрузочная флэш-память 1636РУ2У. Добавить контроллер Ethernet (Россия).

Вариант 5

Процессор 1967ВН028. Внешнее ОЗУ с временем доступа менее 20 нс. Внешняя загрузочная флэш-память 1636РУ2У. Добавить контроллер Ethernet (импорт).

Вариант 6

Процессор 1967ВН028. Внешнее ОЗУ с температурным диапазоном -60°С...+125°С. Внешняя загрузочная флэш-память с температурным диапазоном -60°С...+125°С.

Лабораторная работа №3

Задание

Разработать функциональную схему процессорного ядра со следующими характеристиками:

Вариант 1

Процессор Multiclet P1. Внешнее ОЗУ статическое, радиационно-стойкое, 8Мбит. Внешняя загрузочная флэш-память с температурным диапазоном не менее $-40^{\circ}\text{C} \dots +85^{\circ}\text{C}$.

Вариант 2

Процессор Multiclet R1. Внешнее ОЗУ радиационно-стойкое, ф Элвис. Внешняя загрузочная флэш-память 1636PP2У.

Вариант 3

Процессор Multiclet P1. Внешнее ОЗУ без ограничений. Внешняя загрузочная память без ограничений.

Вариант 4

Процессор Multiclet R1. Внешнее ОЗУ 1645PY6У. Внешняя загрузочная флэш-память 1636PY2У. Добавить контроллер Ethernet (Россия).

Вариант 5

Процессор Multiclet P1. Внешнее ОЗУ радиационно-стойкое, ф Миландр. Внешняя загрузочная флэш-память с температурным диапазоном $-60^{\circ}\text{C} \dots +125^{\circ}\text{C}$.

Вариант 6

Процессор Multiclet R1. Внешнее ОЗУ с температурным диапазоном $-60^{\circ}\text{C} \dots +125^{\circ}\text{C}$. Внешняя загрузочная флэш-память с температурным диапазоном $-60^{\circ}\text{C} \dots +125^{\circ}\text{C}$.

Вариант 7

Процессор Multiclet R1. Внешнее ОЗУ с временем доступа менее 20 нс. Внешняя загрузочная память радиационно-стойкая.

Описание недостающих подключаемых компонентов ядра необходимо найти в сети Интернет. При проектировании схемы допускается использовать ПЛИС с объяснением (математическим либо схемным) реализуемой в ней логики.

Пример разработки функциональной схемы процессорного ядра

Процессор - TMS320VC5402PGE,

ОЗУ – 71V416S15PHGI8 IDT,

ПЗУ – флэш-память S29AL016J70BFI020 Cypress.

Функциональная схема разработанного ядра приведена на рисунке 15.

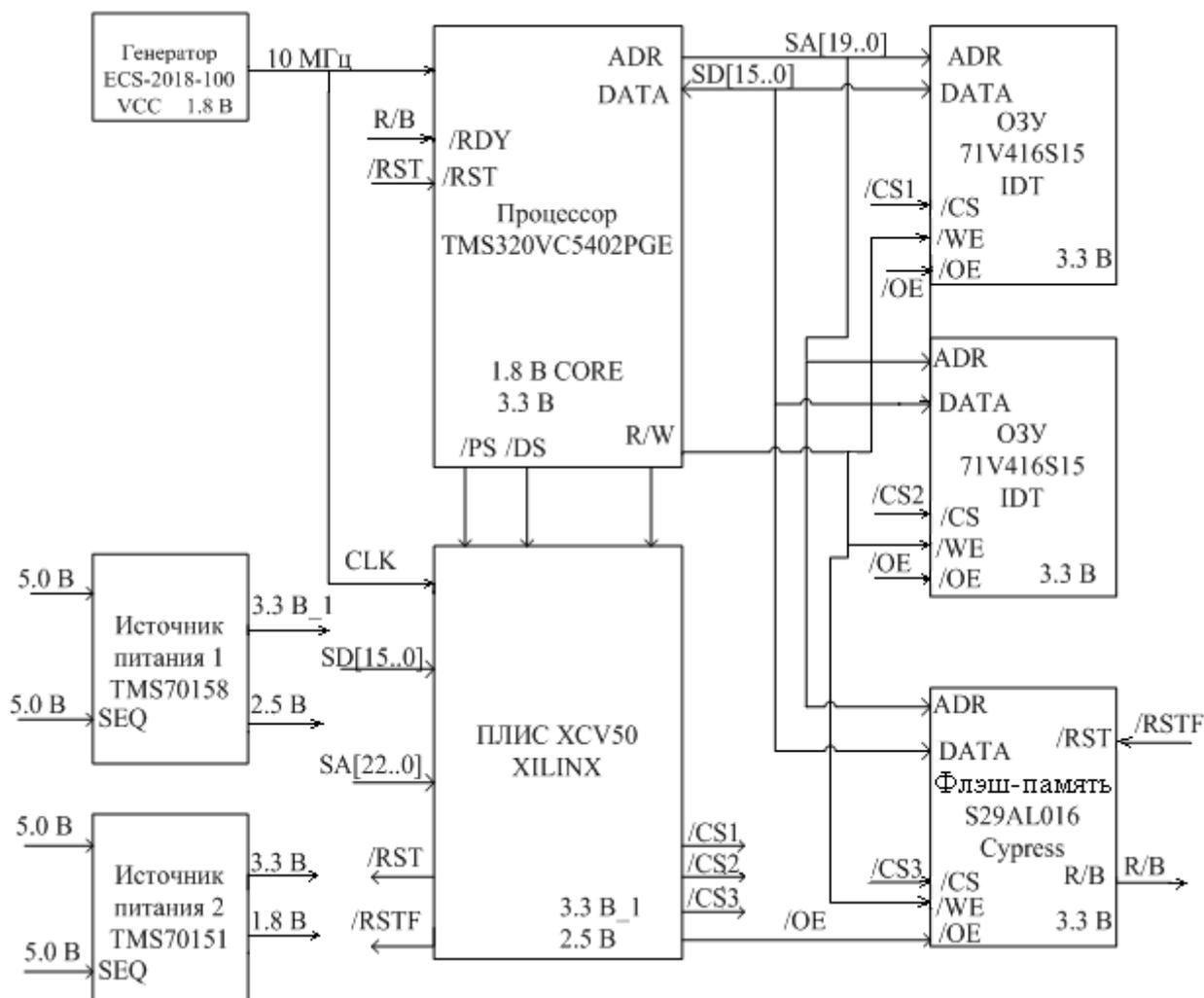


Рисунок 15 – Функциональная схема ядра на TMS320VC5402PGE

В данной структурной схеме:

SA – шина адреса;

SD – шина данных;

/RST – сигнал сброса процессора;

/RSTF – сигнал сброса флэш-памяти;

R/B – сигнал готовности флэш-памяти, подаётся на вход ожидания процессора для осуществления асинхронного обмена данными;

/OE – сигнал стробирования чтения из памяти и соответствующие входы памяти;

/WE – входы чтения памяти;

R/W – комбинированный сигнал чтения/записи процессора;

/PS – строб памяти программ процессора;

/DS – строб памяти данных для ОЗУ;

CLK – частота с генератора.

SEQ – входы источников питания, определяющие порядок подачи напряжений (уровень “0” – вперёд первый канал, верхний; уровень “1” – вперёд второй канал, нижний).

Краткое описание конфигурации ПЛИС

Сигнал входной частоты делится на 64 с помощью внутреннего счётчика и подаётся на сдвиговый регистр, на котором последовательно формируются сбросы на флэш-память и на процессор. К сбросу на процессор от сдвигового регистра по ИЛИ добавляется сброс при рестарте из ОЗУ, определяемый процессором записью младшего бита входной шины данных в D-триггер.

/CS1=/DS;

/CS2=/PS AND A1, где A1 – сигнал с дешифратора адреса, на который подаётся вход адресной шины SA, соответствующий зоне памяти программ;

/CS3=/PS AND A2, где A2 – сигнал с дешифратора адреса, на который подаётся вход адресной шины SA, соответствующий зоне флэш-памяти;

/OE= NOT (R/W).

Требования к оформлению отчёта

Содержание отчёта включает в себя:

1. Титульный лист.
2. Цель работы.
3. Номер и содержание варианта.
4. Функциональная схема процессорного ядра.
5. Описание обозначенных выводов микросхем и внешних цепей.
6. При использовании ПЛИС описание конфигурации ПЛИС.
7. Выводы.

Контрольные вопросы

1. Основные и вспомогательные компоненты процессорного ядра.
2. Описание последовательности загрузки программ при старте питания.
3. Отличие Гарвардской и Фон-неймановской архитектуры.
4. Отличие флэш-памяти от оперативной памяти.
5. Основные характеристики используемого процессора.
6. Особенности реализации асинхронного обмена данными.
7. Обоснование выбора использованных элементов процессорного ядра.
8. Отличие потоковой архитектуры построения процессоров.
9. Концепция построения мультиклеточных процессоров.