

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Локтионова Оксана Геннадьевна

Должность: проректор по учебной работе

Дата подписания: 13.05.2024 11:31:28

Уникальный программный ключ:

0b817ca911e6668abb13a5d426d3905f1c11caabbf73c943df4e4851fda564089

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности

УТВЕРЖДАЮ

Проректор по учебной работе

О.Г. Локтионова

«16» 02 2023 г.



МОДЕЛИРОВАНИЕ РАБОТЫ ПАРАЛЛЕЛЬНОГО СУММАТОРА-ВЫЧИТАТЕЛЯ НА НЕЙРОПОДОБНЫХ ЭЛЕМЕНТАХ

Методические рекомендации по выполнению лабораторной работы № 9 для студентов специальностей 10.03.01, 10.05.02

Курск 2023

УДК 004.272.45

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы параллельного сумматора-вычитателя на нейроподобных элементах: методические рекомендации по выполнению лабораторной работы №9 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2023. – 14 с.: ил. 6, – Библиогр.: с. 14 .

Содержат сведения по вопросам работы элементов нейрокомпьютерных систем. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальностей 10.03.01, 10.05.02 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать . Формат 60x84/16.
Усл.печ. л. Уч.-изд. л. Тираж 100 экз. Заказ 33 Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №9

Моделирование работы параллельного сумматора-вычитателя на нейроподобных элементах

Цель работы: изучить структурную и функциональную схему параллельного сумматора-вычитателя на нейроподобных элементах, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы параллельного сумматора-вычитателя на нейроподобных элементах составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

Алгоритм сложения чисел в прямых кодах позволяет получить результат в прямом коде. В этом случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах. Вычисление суммы двух чисел с разными знаками осуществляется следующим образом: сравниваются знаки слагаемых и, если они одинаковы, то выполняется сложение по первому алгоритму; если знаки слагаемых разные, то сравниваются числа по абсолютной величине; если есть необходимость, переставить числа местами, чтобы вычитать из большего меньшее; произвести вычитание двух чисел; результату присвоить знак большего слагаемого.

На сумматоре по модулю два определяется признак выполнения операции суммирования или вычитания сигнал СВ. Если числа имеют одинаковые знаки, а код операции положительный, то вычисляется сумма чисел, результату присваивается знак первого числа. Если числа имеют одинаковые знаки, а код операции отрицательный, то вычисляется разность чисел, результату присваивается знак большего числа. Если числа имеют разные знаки, а код операции положительный, то вычисляется разность чисел, результату присваивается знак большего числа. Если числа имеют разные знаки, а код операции отрицательный, то вычисляется сумма чисел, результату присваивается знак первого числа. Предлагаемое арифметическое устройство выполняет операции суммирования и вычитания в параллельном формате. Определяется перенос в старшие разряды при суммировании. Вычисляется заём из старших разрядов в младшие при вычитании.

Параллельный сумматор-вычитатель на нейроподобных элементах содержит: блок 1 ввода чисел, блок 2 компарации, блок 3 параллельных сумматоров-вычитателей, пороговые и нейроподобные элементы (рис. 1).

Для описания алгоритма работы параллельного сумматора-вычитателя используются следующие идентификаторы.

1. A_i – двоичный разряд числа.
2. \bar{A}_i – инверсный разряд числа.
3. B_i – двоичный разряд числа.
4. P_{i-1} – перенос из младшего разряда в старший.
5. Z_{i+1} – заём из старшего разряда в младший.
6. СВ – признак выполнения операций суммирования или вычитания.
7. S – сумма двоичных чисел.
8. R – разность двоичных чисел.
9. Z_i – заём из старшего разряда в младший.
10. БЛР – результат сравнения при котором первое число больше второго или числа равны по модулю.
11. МН – результат сравнения при котором второе число больше первого.
12. ДКБЧ – двоичное код большего числа.
13. ДКМЧ – двоичное код меньшего числа.
14. ДКПЧ – двоичное код первого числа.
15. ДКВЧ – двоичное код второго числа.
16. Зн.Р – знаковый разряд результата.
17. ЗнР А – знаковый разряд первого числа.
18. ЗнР В – знаковый разряд второго числа.
19. КОП – код арифметической операции.

Блок 1 ввода чисел содержит шифратор ШФ, сумматоры по модулю два (рис.2). Этот блок позволяет вводить двоичные числа. С выхода шифратора формируются двоичные коды первого ДКПЧ числа и второго ДКВЧ числа со своими знаками: ЗнРА, ЗнРВ. Знаковые разряды чисел и код операции с выхода шифратора поступают на входы сумматоров по модулю два. Сигнал суммирования-вычитания СВ формируется на выходе сумматора по модулю два. Сумматоры по модулю два выполнены на нейроподобных элементах. Выходной сигнал вычисляется по формуле $СВ = (ЗнР В \oplus КОП) \oplus ЗнР А$.

Выходными сигналами блока 1 ввода чисел являются двоичные коды операндов, представленные в прямых кодах и признак операции суммирование-вычитание СВ.

Блок 2 компарации выполняет функцию сравнения входных двоичных чисел. При выполнении арифметической операции вычитания необходимо сравнить входные числа по модулю. От большего числа вычесть меньшее. Сравнение чисел в блоке выполняется на последовательном многоразрядном компараторе. Вначале сравниваются старшие разряды двоичных чисел. Если числа не равны между собой, то результат сравнения определен. Если старшие разряды равны, то необходимо последовательно сравнивать очередные младшие двоичные разряды до появления неравенства в каком-либо из разрядов в этом случае сравнение прекращается и выдается результат сравнения. На рис.3 представлен последовательный компаратор, который определяет большее по модулю число. Старшая группа сравнивает старшие двоичные разряды чисел. Пороговые элементы DD7, DD8 и DD9 определяют схему эквивалентности (равнозначности). Если входные разряды A_n и B_n равны 00 или 11, то на выходе схемы ИЛИ порогового элемента DD9 выходной сигнал $FA=B$ будет равен 1. Если числа не равны между собой, то сигнал $FA=B$ будет равен 0. Пороговый элемент DD10 определяет комбинацию 10, в этом случае первое число больше второго, выходной сигнал $FA>B$ будет равен 1. Пороговый элемент DD11 определяет комбинацию 01, в этом случае первое число меньше второго, выходной сигнал $FA<B$ будет равен 1. Блок 2 компарации состоит из n групп. На выходе каждой группы определен результат сравнения двоичных чисел. Если числа старшей группы 1 равны, то сравниваются числа группы 2 и до тех пор, пока не определится неравенство чисел в очередной группе. Пороговые элементы DD15, DD16, DD17, DD18 – схемы И выполняют функцию электронных ключей. На выходах пороговых элементов DD19 – схема И, DD20, DD21 – схем ИЛИ определяются результаты сравнения двоичных чисел. Выходной сигнал БЛР порогового элемента DD22 – схема ИЛИ определяет результат сравнения двоичных разрядов при котором, числа равны или первое число больше второго. Выходной сигнал МН порогового элемента DD21 – схема ИЛИ определяет результат сравнения, при котором первое число меньше второго (рис.3).

Входными сигналами блока компарации являются: управляющий сигнал СВ признак арифметической операции суммирования или вычитания. Этот сигнал поступает на инверсный вход порогового элемента

DD24 – схема ИЛИ, на прямые управляющие входы пороговых элементов DD25, DD27, DD29 – схемы И. Информационные сигналы двоичных кодов первого ДКПЧ и второго ДКВЧ числа, которые поступают на входы компаратора DD23. Если сигнал СВ суммирование-вычитание равен нулевому значению, то выполняется арифметическая операция суммирования двоичных чисел, в этом случае сравнение чисел не производится. Пороговые элементы DD25, DD27, DD29 – схемы И будут закрыты. На выходе порогового элемента DD24 будет единица, которая является управляющим входным сигналом порогового элемента DD26 – схема И. Входной двоичный код первого числа ДКПЧ через открытую схему И элемента DD26 поступит на вход порогового элемента DD30 – схема ИЛИ. Выходной сигнал элемента DD30 двоичный код большего числа ДКБЧ будет равен двоичному коду первого числа ДКПЧ. Управляющим выходом порогового элемента DD30 схема ИЛИ является сигнал знакового разряда результата ЗНР. На выходе порогового элемента DD25 будет нулевое значение, которое поступает на инверсный вход порогового элемента DD28. Элемент DD28 будет открыт. Входной двоичный код второго числа ДКВЧ через открытую схему И элемента DD28 поступит на вход порогового элемента DD31 – схема ИЛИ. Выходной сигнал элемента DD31 двоичный код меньшего числа ДКМЧ будет равен двоичному коду второго числа ДКВЧ.

Если сигнал СВ суммирование-вычитание равен единичному значению, то выполняется арифметическая операция вычитания двоичных чисел, в этом случае необходимо сравнить модули двоичных чисел. После сравнения определяется большее по модулю число от которого вычитается меньшее. При равенстве сигнала СВ единице, который поступает на инверсный вход порогового элемента DD24 – схема ИЛИ и на прямые управляющие входы пороговых элементов DD25, DD27, DD29 – схемы И, которые будут открыты. Компаратор DD23 определяет большее по модулю входное двоичное число, имеет два выходных сигнала: больше или равны БЛР, равного единице, это означает, первое число больше второго или числа равны по модулю, меньше МН равного единице, в этом случае второе число больше первого. Если первое число больше второго или числа равны, то выходной сигнал компаратора БЛР равен единице, тогда сигнал меньше МН равен нулю. Выходной сигнал порогового элемента DD24 - схема ИЛИ равен единице. Элемент DD26 - схема И будет открыт, на выходе элемента DD30 – схема ИЛИ будет двоичный код первого большего числа ДКПЧ. Выходной сигнал порогового

элемента DD25 - схема И равный нулю, поступает на инверсный управляющий вход порогового элемента DD28, который будет открыт, на выходе элемента DD31 – схема ИЛИ будет двоичный код второго меньшего числа ДКВЧ. Если второе число больше первого, то сигнал меньше МН равен единице, а сигнал больше или равно БЛР равен нулю. Выходной сигнал порогового элемента DD24 - схема ИЛИ будет равен нулю. Элемент DD26 - схема И будет заперт, а пороговый элемент DD27 - схема И будет открыт, т.к. сигнал больше или равно БЛР поступит на инверсный управляющий вход этого элемента. На выходе элемента DD30 – схема ИЛИ будет двоичный код второго большего по модулю числа ДКВЧ. Выходной сигнал порогового элемента DD25 - схема И равный единице поступает на инверсный управляющий вход порогового элемента DD28, который будет заперт, а пороговый элемент DD29 будет открыт, т.к. сигнал МН поступает на прямой управляющий вход этого элемента. На выходе элемента DD31 – схема ИЛИ будет двоичный код первого меньшего числа ДКПЧ (рис.4).

Блок 3 сумматоров-вычитателей содержит схемы сумматоров-вычитателей DD32 – DD39 (рис.5). Этот блок выполняет арифметические операции суммирования и вычитания двоичных чисел. На вход блока поступают модули n -разрядных двоичных кодов первого ДКПЧ числа, второго ДКВЧ числа и признак операции суммирования-вычитания сигнал СВ, который поступает параллельно на все входы схем. Если сигнал СВ суммирования-вычитания равен нулю, то вычисляется сумма двоичных чисел, если этот сигнал равен единице, то выполняется поразрядная операция вычитания. На входы каждой схемы блока сумматора-вычитателя СУМ-ВЫЧ $_i$ поступают одноименные двоичные разряды чисел A_i и B_i , признак операции сигнал СВ, перенос P_i из младших разрядов в старшие и заём Z_i из старших разрядов в младшие. Одноразрядный сумматор-вычитатель состоит из трех сумматоров по модулю два DD32, DD34, DD35 и одного порогового элемента DD33. На нейроподобных элементах DD34, DD35 вычисляется сумма и разность входных двоичных чисел по формуле $S_i/R_i := (P_{i-1}/Z_{i+1}) \oplus A_i \oplus B_i$. На нейроподобном элементе DD32 при суммировании, сигнал СВ равный нулю определяет прямое значение первого двоичного разряда A_n . При выполнении операции вычитания определяется инверсное значение первого двоичного разряда \bar{A}_n . На выходе порогового элемента DD33 определяется перенос P_n из младших разрядов в старшие и заём Z_n из старших разрядов в младшие (рис.5).

2. Практические схемы на элементах нейрокомпьютерных систем

Параллельный сумматор-вычитатель на нейроподобных элементах

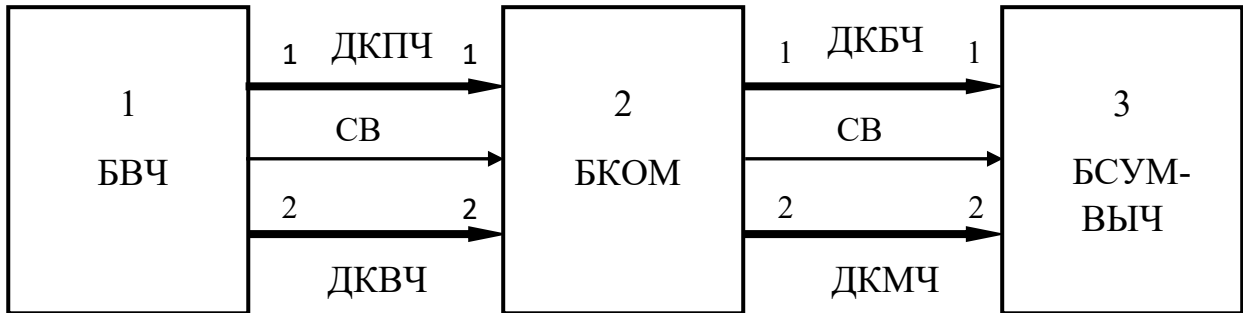


Рис.1

Блок 1 ввода чисел

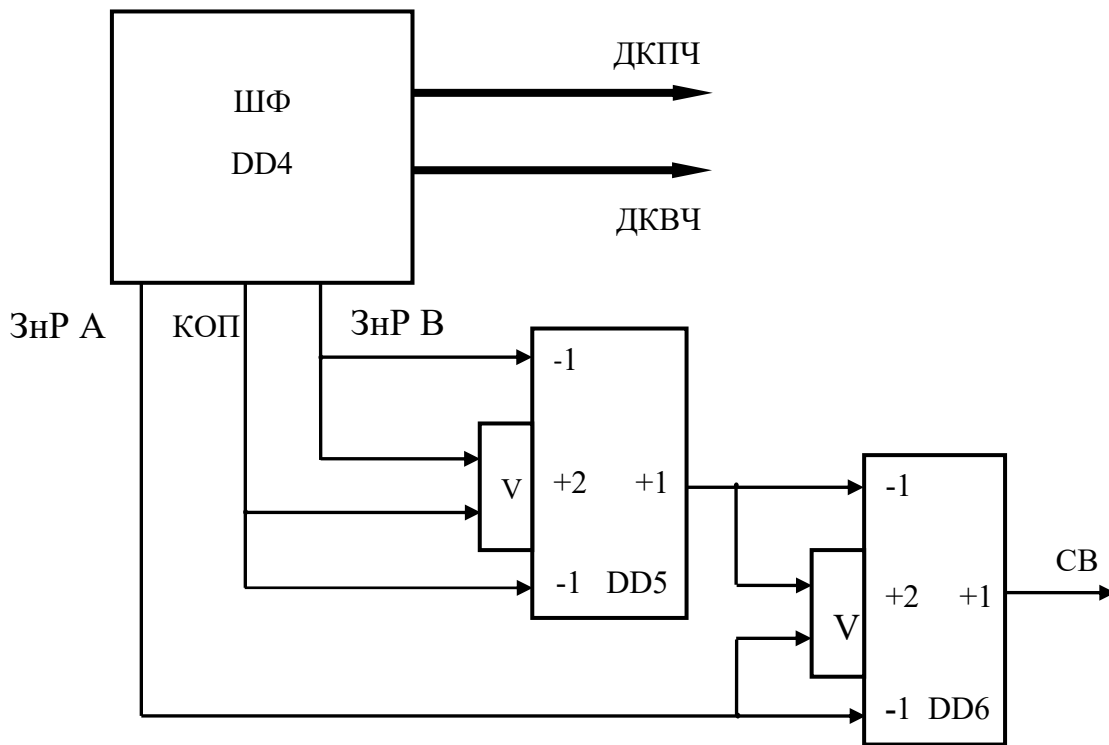


Рис.2

Блок 2 компарации

Старшая группа

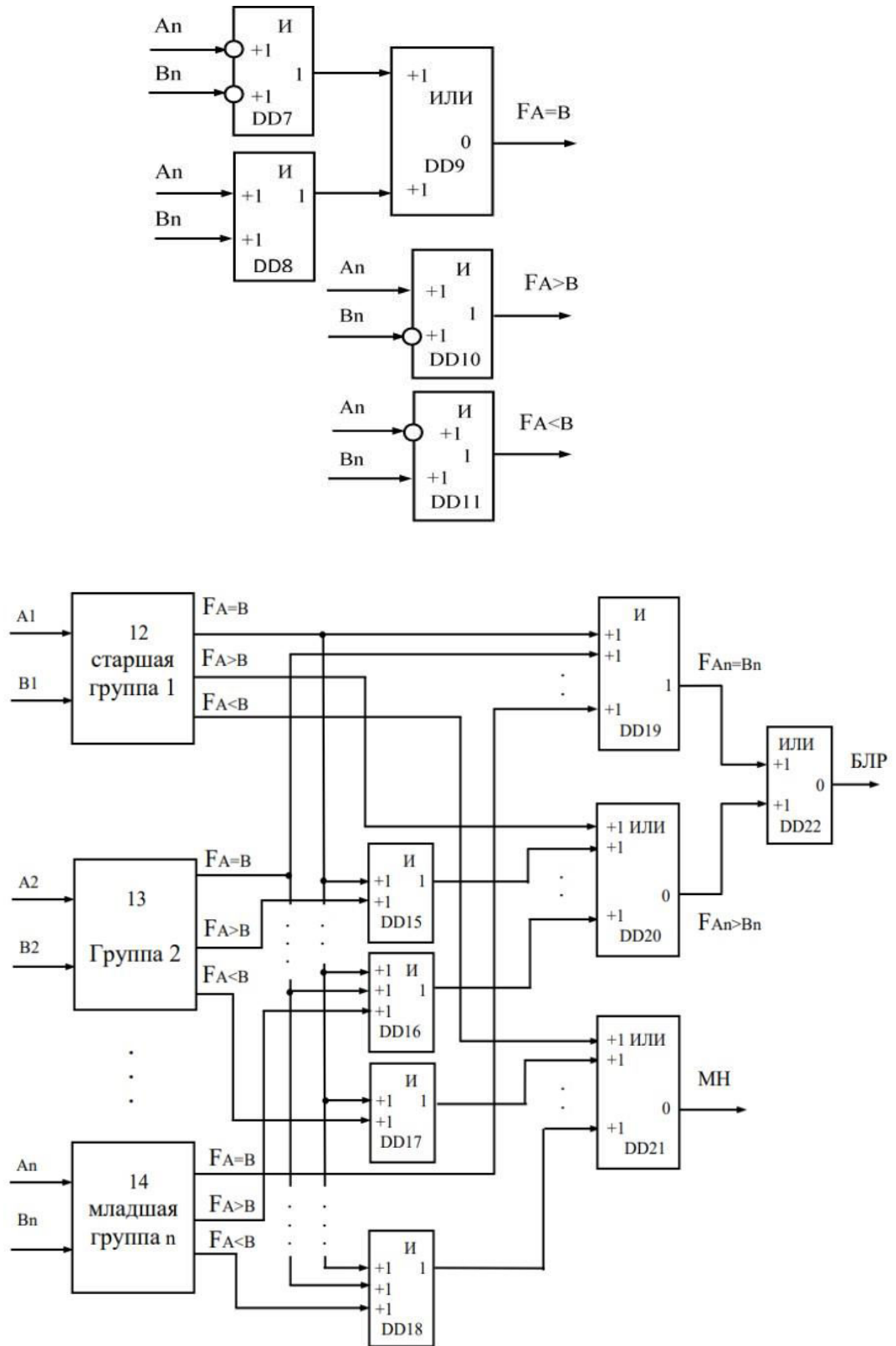


Рис.3

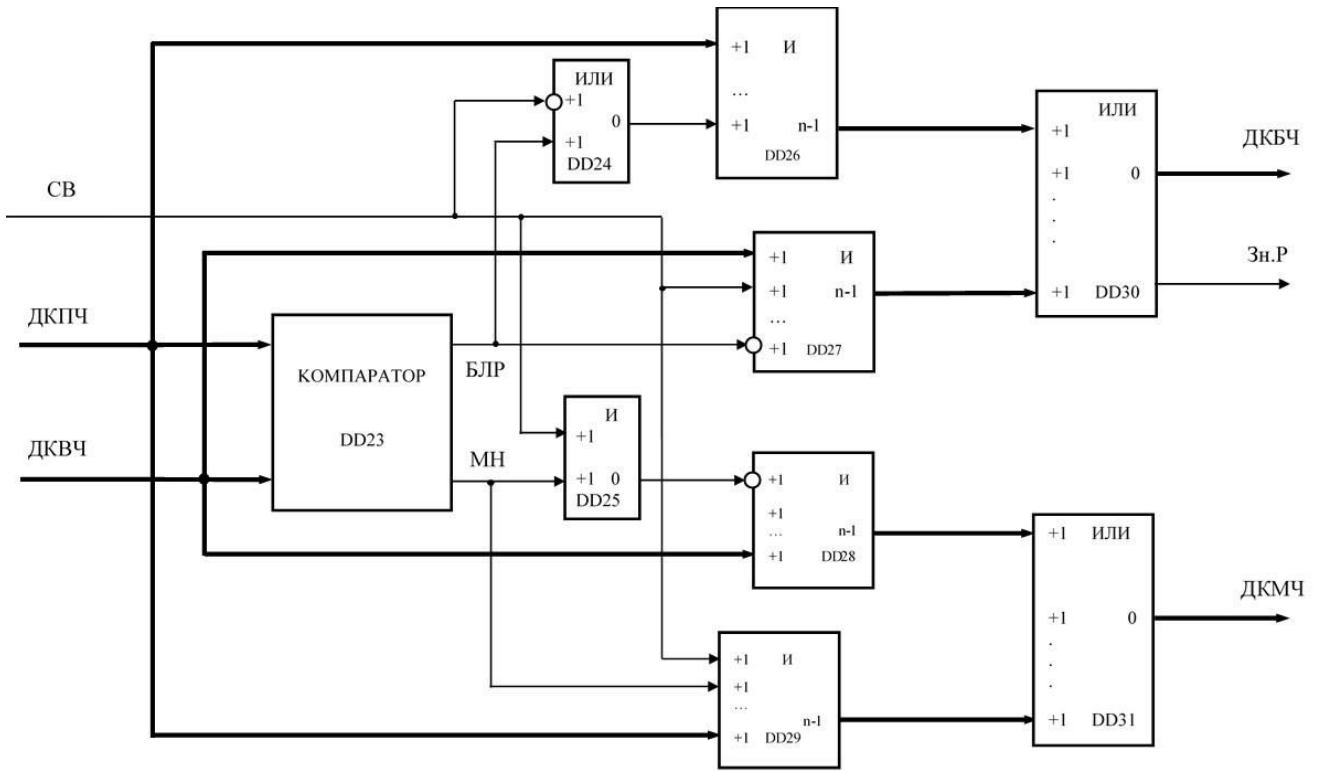


Рис.4

Блок 3 сумматоров-вычитателей

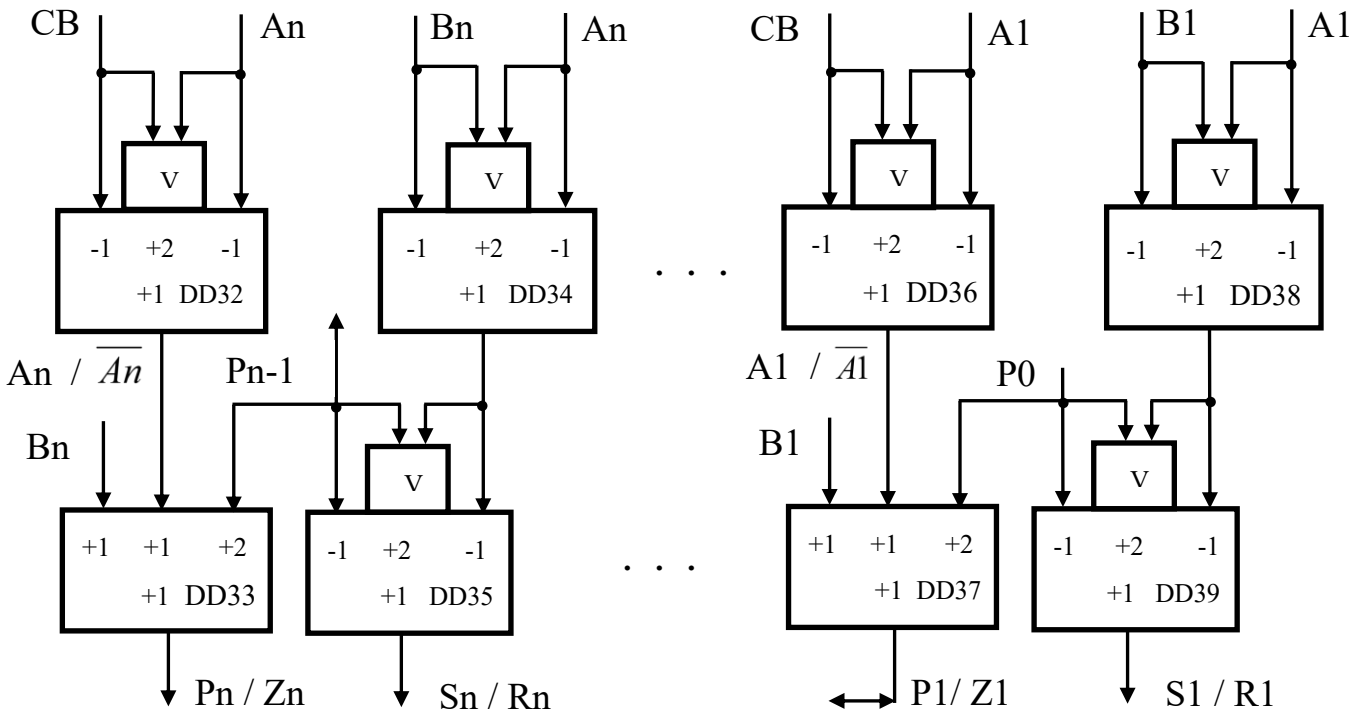


Рис.5

Содержательная ГСА управления приведена на рис.6 и отражает работу параллельного сумматора-вычитателя на нейроподобных элементах.

Блок 1 алгоритма является начальным. В блоке 2 алгоритма определяется признак выполнения арифметической операции суммирования или вычитания двоичных чисел – сигнал СВ по формуле $СВ = (ЗнР В \oplus КОП) \oplus ЗнР А$. В формуле обозначены знаковый разряд второго числа $ЗнР В$, код операции КОП, знаковый разряд первого числа $ЗнР А$ и логическая операция сумма по модулю два \oplus . В блоке 3 алгоритма по командам: БКОМ:=ДКПЧ, БКОМ:=ДКВЧ, БКОМ:=СВ происходит подача на вход блока компарации первого ДКПЧ двоичного числа, второго ДКВЧ двоичного числа и сигнала суммирования-вычитания СВ (рис. 1, 4). В блоке 4 алгоритма анализируется признак выполнения операций суммирования или вычитания сигнал СВ. Если сигнал СВ равен нулю, то выполняется операция суммирования двоичных чисел, происходит переход из блока 4 по выходу “0” на блок 5 алгоритма. Если сигнал СВ равен единице, то выполняется операция вычитания двоичных чисел, происходит переход из блока 4 по выходу “1” на блок 9 алгоритма. В блоке 5 алгоритма по командам: ДКБЧ:=ДКПЧ, ДКМЧ:=ДКВЧ происходит подача на вход блока параллельных сумматоров-вычитателей первого ДКПЧ двоичного числа и второго ДКВЧ двоичного числа (рис.5). В блоке 6 алгоритма вычисляется перенос P_i из младшего разряда числа в старший по формуле $P_i := A_i B_i \vee P_{i-1} A_i \vee P_{i-1} B_i$. В блоке 7 алгоритма вычисляется поразрядная сумма S_i двоичных чисел по формуле $S_i := P_{i-1} \oplus A_i \oplus B_i$. В блоке 8 алгоритма выдаётся результат сложения S двоичных чисел. В блоке 9 алгоритма при выполнении арифметической операции вычитания, анализируется признак БЛР большего числа или равенство чисел по модулю. Если признак БЛР большего числа или равенство чисел равен нулю, то это означает, что второе ВЧ число больше по модулю первого. В этом случае осуществляется переход из блока 9 по выходу “0” на блок 10 алгоритма. Если признак БЛР большего числа или равенство чисел равен единице, то это означает, что первое ПЧ число больше по модулю второго. В этом случае осуществляется переход из блока 9 по выходу “1” на блок 11 алгоритма (рис.3, 4). В блоке 10 алгоритма по командам: ДКБЧ:=ДКВЧ, ДКМЧ:=ДКПЧ происходит подача на вход блока параллельных сумматоров-вычитателей второго ДКВЧ большего двоичного

числа и первого ДКПЧ меньшего двоичного числа. В блоке параллельных сумматоров-вычитателей из большего второго вычитается меньшее первое (рис.5).

Блок-схема алгоритма

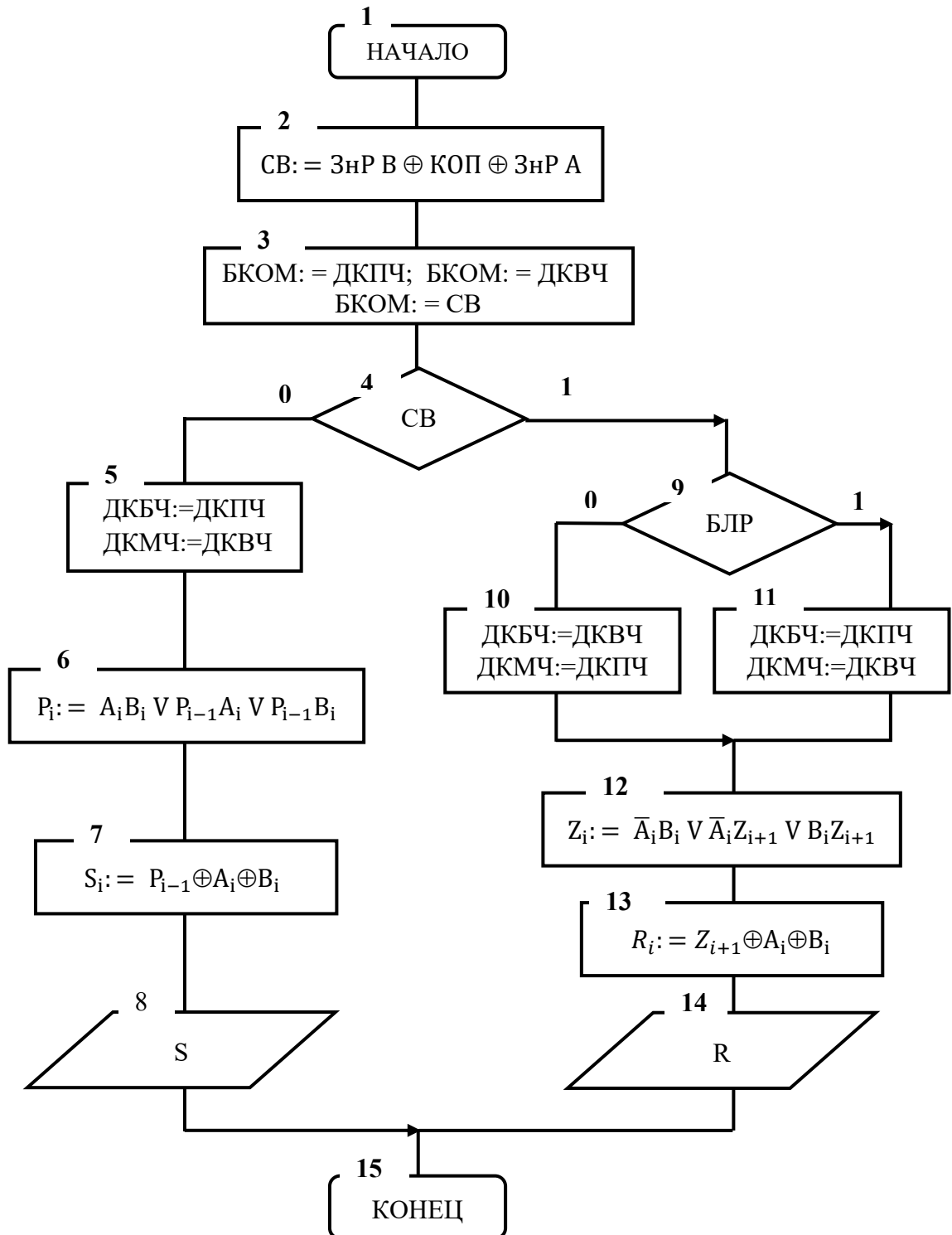


Рис.6

В блоке 11 алгоритма по командам: ДКБЧ:=ДКПЧ, ДКМЧ:=ДКВЧ происходит подача на вход блока параллельных сумматоров-вычитателей первого ДКПЧ большего двоичного числа и второго ДКВЧ меньшего двоичного числа. В блоке параллельных сумматоров-вычитателей из большего первого вычитается меньшее второе (рис.5). В блоке 12 алгоритма вычисляется заём из старшего разряда числа в младший по формуле $Z_i := \bar{A}_i B_i \vee \bar{A}_i Z_{i+1} \vee B_i Z_{i+1}$. В блоке 13 алгоритма вычисляется разность R_i двоичных чисел по формуле $R_i := Z_{i+1} \oplus A_i \oplus B_i$. В блоке 14 алгоритма выдаётся результат вычитания R двоичных чисел. Блок 15 алгоритма является конечным.

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему устройства;
- блок-схему алгоритма работы устройства;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Назовите основные элементы устройства. Какую структуру имеет сумматор-вычитатель.
2. По какой формуле определяется перенос и заем из старшего разряда большего числа.
3. По какой формуле определяется перенос и заем из младшего разряда большего числа.
4. Как определяется сигнал суммирования-вычитания СВ.
5. Какую функцию выполняют пороговые и нейроподобные элементы.
6. По какой формуле вычисляется пороговое напряжение нейроподобного элемента, определяющего перенос в старший разряд при выполнении операции суммирования и заём из старшего разряда в младший при выполнении операции вычитания.

7. Как происходит определение большего и меньшего числа при выполнении операции вычитания.
8. Как определяется пороговое напряжение порогового и нейроподобного элементов.
9. Как реализуются основные булевы функции на пороговых и нейроподобных элементах.
10. Как реализовать сумматор по модулю два на нейроподобном элементе.
11. Укажите основные элементы и функции сумматора-вычитателя на нейронах.
12. Как формируется знаковый разряд результата.
13. В каком блоке устройства хранится результат операции суммирования или вычитания.

Библиографический список

1. Хорошевский В.Г. Архитектура вычислительных систем.- М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с.
2. Параллельный сумматор-вычитатель на нейронах со сквозным переносом: / пат. 2523942 Рос. Федерация, № 2012141444 / Шевелев С.С., Солодовников Ф.М., Шикунев Д.А., Шикунева Е.С., Хла Вин / заявл. 27.09.2012; опубл. 27.07.2014, Бюл. № 21
3. Устройство поразрядного вычисления логических и арифметических операций: пат. 2739343 Рос. Федерация. № 2020129326 / Шевелев С.С.; заявл. 04.09.2020; опубл. 23.12.2020, Бюл. №36.
4. Параллельно-последовательный сумматор-вычитатель старшими разрядами вперед на нейронах: пат. 2708501 Рос. Федерация. № 2019115593 / Шевелев С.С.; заявл. 21.05.2019; опубл. 09.12.2019, Бюл. №34.
5. Сумматор-вычитатель на элементах нейронной логики: пат. 2715177 Рос. Федерация. № 2019118282 / Шевелев С.С.; заявл. 13.06.2019; опубл. 25.02.2020, Бюл. №6.
6. Хла Вин, Шевелев С.С., Добрица В.П. Вычислители арифметических операций на нейронах. Научно-технический журнал «Известия ЮЗГУ», №4 (43), 2012, Часть 2/ Юго-Западного государственного университета (ЮЗ-ГУ). –Курск, 2012, С. 11-16.
7. Шевелев С.С., Дорошенко Е.Ю., Хла Вин. Arithmetical operation in ternary asymmetrical system of the numeration (reckoning) // Нейрокомпьютеры: разработка, применение. -2014. No 6, С. 59-63.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности

УТВЕРЖДАЮ

Проректор по учебной работе

О.Г. Локтионова

«18» 04 _____ 2024 г.



МОДЕЛИРОВАНИЕ РАБОТЫ УСТРОЙСТВА СОРТИРОВКИ ИНФОРМАЦИИ МЕТОДОМ ДЕШИФРАЦИИ ДАННЫХ

Методические рекомендации по выполнению лабораторной
работы № 10 для студентов специальностей 10.03.01, 10.05.02

Курск 2024

УДК 004.272.45

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы устройства сортировки информации методом дешифрации данных: методические рекомендации по выполнению лабораторной работы №10 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2024. – 22 с.: ил. 7, – Библиогр.: с. 21.

Содержат сведения по вопросам сортировки информации, работы дешифраторов. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальностей 10.03.01, 10.05.02 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать *18.04.24*. Формат 60x84/16.
Усл.печ. л. *1,1* Уч.-изд. л. *1,0* Тираж 100 экз. Заказ *264* Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №10

Моделирование работы устройства сортировки информации методом дешифрации данных

Цель работы: изучить структурную и функциональную схему устройства сортировки информации методом дешифрации, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы устройства сортировки информации методом дешифрации составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

В устройстве сортировки информации методом дешифрации данных выполняется задача упорядочения входной числовой и символьной информации по возрастанию и убыванию. В устройстве осуществляются поисковые операции по указанному интервалу или по конкретному заданному символу или числу. Сортировка информации осуществляется как положительных, так и отрицательных чисел. Выполняется подсчет количества одинаковых чисел и символов.

Современные вычислительные системы работают наиболее эффективно при упорядоченных данных. Сортировка информации — это процесс расстановки элементов в некотором порядке. Элементы размещаются следующим образом: 1) вычисления, которые требуют определенного порядка расположения данных, могли выполняться эффективно, 2) результаты имели осмысленный вид, 3) последующие операции имели бы упорядоченные исходные данные. Есть много различных способов упорядочений информации таких, например, как сортировка имен в списке по алфавиту или упорядочение данных по возрастанию или по убыванию.

Упорядочение данных включает анализ возможностей аппаратных средств вычислительных систем, расположения их каналов, объема оперативной памяти, частоты обращений, быстродействие, диапазона обработки входной числовой и символьной информации.

Задача сортировки потоков информации в вычислительной технике является настолько важной, что ее следует осуществлять только тогда,

когда тщательное изучение аппаратных средств и параметров данных оправдывает сортировку [1].

Предлагаемое устройство сортировки информации методом дешифрации данных позволит значительно снизить аппаратные средства, что ведет к упрощению комбинационной схемы, упростит алгоритм работы устройства, а также расширить функциональные возможности устройства.

Устройство сортировки информации методом дешифрации данных содержит: блок ввода данных, блоки сортировки, блок дешифрации, блок хранения результата, блок управления, пороговые элементы (рис. 1).

Для описания алгоритма работы устройства сортировки информации методом дешифрации используются следующие идентификаторы.

1. БВД - блок ввода данных.
2. БС_i – блоки сортировки.
3. БДШ – блок дешифрации.
4. БХР – блок хранения результата.
5. БУ – блок управления.
6. ЧСД – выходной информационный двоичный сигнал числовых и символьных данных, поступающий из блока ввода данных.
7. УПР_i – информационный сигнал из блока управления, состоящий из управляющих сигналов: выдачи, обнуления, сдвига, установки режимов работы регистров: реж1, реж2.
8. СРЗ – управляющий сигнал разрешения работы дешифратора ДШ1 блока дешифрации.
9. УСН – управляющий сигнал установки в нулевое состояние двоичного счетчика Сч2, формирующего адреса строк, оперативного запоминающего устройства блока хранения результата.
10. ОБН - управляющий сигнал установки в нулевое состояние двоичного счетчика Сч1, формирующего адреса столбцов, блока хранения результата.
11. ГИ - генератор прямоугольных импульсов, поступающих на суммирующий вход двоичного счетчика Сч1, формирующего адреса столбцов, блока хранения результата.
12. ТИ - генератор прямоугольных импульсов, поступающих на суммирующий вход двоичного счетчика Сч2, формирующего адреса строк, блока хранения результата.
13. ВК – управляющий сигнал выбора кристалла оперативного запоминающего устройства блока хранения результата.

14. Зп/Сч – управляющий сигнал записи/считывание информации из оперативного запоминающего устройства блока хранения результата.
15. УМД – входной информационный сигнал блока хранения результата.
16. РАЗi – управляющий сигнал из блока дешифрации, разрешающий принимать информацию регистром двоичного кода блоков сортировки.
17. УMi – выходной информационный сигнал блоков сортировки.
18. ДКЧС – выходной информационный сигнал с выхода шифратора блока ввода данных, представляющий собой двоичный код чисел и символов.
19. ЗРЧ – знаковый разряд двоичных чисел, поступающий с выхода шифратора блока ввода данных.
20. ПРИ - генератор прямоугольных импульсов блоков сортировки.
21. БППЧ – блок подсчета положительных чисел.
22. БПОЧ - блок подсчета отрицательных чисел.
23. БРГДК – блок регистра двоичного кода входного числа и символа.
24. КЛПЧ – выходной информационный сигнал двоичного счетчика Сч1 блока подсчета положительных чисел, представляющий собой количество положительных чисел.
25. КЛОЧ – выходной информационный сигнал двоичного счетчика Сч2 блока подсчета отрицательных чисел, представляющий собой количество отрицательных чисел.
26. ЗРПЧ – выходной управляющий сигнал D – триггера Tr1 блока подсчета положительных чисел, представляющий собой знаковый разряд положительных чисел.
27. ЗРОЧ – выходной управляющий сигнал D – триггера Tr2 блока подсчета отрицательных чисел, представляющий собой знаковый разряд отрицательных чисел.
28. ОБЛ – управляющий сигнал обнуления двоичных счетчиков Сч1, Сч2 и D – триггеров Tr1, Tr2, поступающий на входы установки в нулевое состояние элементов блоков подсчета положительных и отрицательных чисел.
29. КПЧЗПЧ – выходной информационный сигнал электронных ключей, представляющий собой количество и знаковый разряд положительных чисел.

30. КОЧЗОЧ – выходной информационный сигнал электронных ключей, представляющий собой количество и знаковый разряд отрицательных чисел.
31. ДКВИ – информационный двоичный код выходной информации регистра двоичного кода числа или символа.
32. ДКСЧ - информационный двоичный код выходной информации электронных ключей символа или числа.
33. СРi – входной управляющий сигнал, представляющий стробирующий, разрешающий сигнал работы дешифраторов блока дешифрации.
34. АД СТЛ – адресная шина столбцов оперативного запоминающего устройства блока хранения результата.
35. АД СТР – адресная шина строк оперативного запоминающего устройства блока хранения результата.
36. РУД – выходной информационный сигнал - результат упорядоченных данных оперативного запоминающего устройства блока хранения результата.
37. ЗВД – признак завершения ввода информации с выхода блока ввода данных.
38. ПУСК – внешний управляющий сигнал блока управления, означающий пуск работы устройства сортировки информации.
39. СБРОС - внешний управляющий сигнал блока управления, означающий сброс всех элементов памяти и двоичных счетчиков в нулевое состояние устройства сортировки информации.

Блок 1 ввода данных БВД содержит шифратор ШФ DD8, представляющий собой обычную стандартную клавиатуру (рис. 2). Этот блок позволяет вводить символы и двоичные числа со своими знаковыми разрядами в двоичном коде. Символы представлены в коде ASCII - международная американская стандартная кодировка символов. С выхода шифратора формируется восьми разрядный информационный сигнал ДКЧС, представляющий двоичный код символов или чисел. Выходным сигналом шифратора ШД является знаковый разряд числа ЗРЧ. Двоичные положительные числа имеют в знаковом разряде значение нуль. Примером может служить положительное число 10 представленное в десятичной системе счисления, в двоичном представлении это число имеет вид 0.1010. Отрицательное число имеет в знаковом разряде единицу. Для примера возьмем число -12 в десятичной системе счисления, в двоичном коде это число имеет вид 1.1100. Выходной информацией блока 1 ввода

данных БВД является информационный сигнал ЧСД, представляющий собой двоичный код символа и числа со своим знаковым разрядом. Выходной информационный сигнал ЧСД блока 1 ввода данных БВД поступает на входы блоков сортировки и блока дешифрации (рис. 2).

Блок 2 сортировки состоит из трех блоков: блока подсчета положительных чисел БППЧ, блока подсчета отрицательных чисел БПОЧ, блока регистра двоичного кода БРГДК и генератора прямоугольных импульсов ПРИ, выполненного на элементе DD18 (рис. 3, 4). Блок подсчета положительных чисел БППЧ предназначен для определения и хранения знакового разряда числа – нуля и для подсчета положительных чисел, поступивших на вход блока сортировки. Блок подсчета отрицательных чисел БПОЧ предназначен для определения и хранения знакового разряда числа – единицы и для подсчета отрицательных чисел, поступивших на вход блока сортировки. Блок регистра двоичного кода БРГДК предназначен для записи, хранения и выдачи двоичного кода символа и модуля и знакового разряда числа. Генератор прямоугольных импульсов ПРИ предназначен для генерации прямоугольных импульсов. На рисунке 3 представлены принципиальные схемы: блока подсчета положительных чисел БППЧ, блока подсчета отрицательных чисел БПОЧ, структурная схема блока регистра двоичного кода БРГДК и генератор прямоугольных импульсов ПРИ. На фигуре 4 предложена принципиальная схема блока регистра двоичного кода БРГДК. Блок подсчета положительных чисел БППЧ состоит: из логической схемы И с одним инверсным управляющим входом выполненной на пороговом элементе DD9, логической схемы И с прямым управляющим входом, выполненной на пороговом элементе DD10, двоичного счетчика Сч1 DD11, предназначенного для подсчета прямоугольных импульсов, поступающих на суммирующий вход, D триггера Тр1, выполненного на элементе DD12, предназначенного для записи и хранения знакового разряда положительного числа. Предварительно перед сортировкой информации двоичные счетчики Сч1, Сч2, D триггера Тр1 и Тр2 были обнулены управляющим сигналом обнуления ОБЛ, поступившим из блока регистра двоичного кода. Сигнал обнуления ОБЛ который поступает одновременно на входы установки в состояние нуль R двоичных счетчиков и триггеров. Входным управляющим сигналом блока сортировки БС1 является сигнал знаковый разряд числа ЗРЧ, который поступает с выхода блока 1 ввода данных. Управляющий сигнал знаковый разряд числа ЗРЧ параллельно поступает на прямой управляющий вход логической схемы И DD15 блока подсчета отрицательных чисел и на инверсный управляющий вход логической схемы

И DD9 блока подсчета положительных чисел. Логические схемы И DD15 и И DD9 выполняют функцию электронных ключей (рис. 3). На прямые информационные входы логических схем И DD15, DD9 поступают прямоугольные импульсы с выхода генератора прямоугольных импульсов ПРИ.

В случае равенства нулевому значению сигнала знакового разряда числа ЗРЧ, который поступает на инверсный управляющий вход логической схемы И DD9 открывает электронный ключ. На выходе открытого электронного ключа логической схемы И DD9 сформируется прямоугольный импульс. Выход логической схемы И DD9 одновременно поступает на суммирующий вход двоичного счетчика Сч1 DD11 и на управляющий вход логической схемы И DD10, выполняющую функцию электронного ключа блока подсчета положительных чисел БППЧ. Единичный выход логической схемы И DD9, поступающий на управляющий вход электронного ключа откроет логическую схему И DD10. Через открытый электронный ключ логической схемы И DD10 сигнал знакового разряда числа ЗРЧ, поступающий на информационный вход схемы, поступает на вход D триггера Тр1 DD12 и установит триггер в нулевое состояние на выходе. Выходной сигнал знакового разряда положительного числа ЗРЧ D триггера Тр1 DD12 принимает нулевое значение. Выход D триггера Тр1 DD12 поступает на вход блока регистра двоичного кода БРГДК. Двоичный счетчик Сч1 DD11 подсчитывает количество прямоугольных импульсов, поступивших на суммирующий вход. На выходе двоичного счетчика Сч1 DD11 сформируется информационный сигнал, который соответствует количеству положительных чисел КЛПЧ. Выход двоичного счетчика Сч1 DD11 поступает на вход блока регистра двоичного кода БРГДК (рис.3). Если сигнал знакового разряда числа ЗРЧ равный единичному значению, поступает на прямой управляющий вход логической схемы И DD15, то открывает электронный ключ. На выходе открытого электронного ключа логической схемы И DD15 сформируется прямоугольный импульс. Выход логической схемы И DD15 одновременно поступает на суммирующий вход двоичного счетчика Сч2 DD16 и на управляющий вход логической схемы И DD13, выполняющую функцию электронного ключа блока подсчета отрицательных чисел БПОЧ. Единичный выход логической схемы И DD15, поступающий на управляющий вход электронного ключа, откроет логическую схему И DD13. Через открытый электронный ключ логической схемы И DD13 сигнал знакового разряда числа ЗРЧ, поступающий на информационный вход схемы, поступает на вход D триггера Тр2 DD14 и установит триггер

в единичное состояние на выходе. Выходной сигнал знакового разряда отрицательного числа ЗРОЧ D триггера Tr2 DD14 принимает единичное значение. Выход D триггера Tr2 DD14 поступает на вход блока регистра двоичного кода БРГДК. Двоичный счетчик Сч2 DD16 подсчитывает количество прямоугольных импульсов, поступивших на суммирующий вход. На выходе двоичного счетчика Сч2 DD16 сформируется информационный сигнал, который соответствует количеству отрицательных чисел КЛОЧ. Выход двоичного счетчика Сч2 DD16 поступает на вход блока регистра двоичного кода БРГДК (рис.3).

Блок регистра двоичного кода БРГДК блока 2 сортировки состоит из регистра двоичного кода числа и символа РГДКЧС, выполненного на элементе DD25, системы электронных ключей первой СЭК1, системы электронных ключей второй СЭК2, системы электронных ключей третьей СЭК3 (рис.4). Регистр двоичного кода числа и символа РГДКЧС элемент DD25, является универсальным восьмиразрядным регистром. Например, микросхема К155ИР13 [2]. Регистр может работать в режимах: параллельный ввод, хранение, установки нулей, операции сдвига, последовательный ввод. Режимы работы задаются сигналами на управляющих входах. Входным входом блока регистра двоичного кода БРГДК является информационный сигнал управления первый УПР1, который поступает из блока 7 управления. В состав информационного сигнала управления первый УПР1 входят управляющие сигналы: ВЫД – выдача результата, СДВ – сдвига информации, РЕЖ1 и РЕЖ2 - сигналы установки режимов работы микросхемы, ОБЛ – установки в нулевое состояние элементов памяти микросхемы, на тактовый вход С регистра поступает управляющий сигнал РА31 с выхода блока дешифрации, который является разрешающим сигналом для записи входной двоичной информации в регистр блока. Двоичный код в триггера регистра будет записан по перепаду 0,1 тактового импульса [2]. На входы D1 – D8 регистра поступает входной информационный двоичный сигнал числовых и символьных данных ЧСД с выхода блока 1 ввода данных. Предварительно перед работой устройства управляющим сигналом ОБН – установки в нуль будут обнулены все триггера регистра. По перепаду входного управляющего сигнала РА31 информационный двоичный сигнал числовых и символьных данных ЧСД, поступающий из блока 1 ввода данных будет записан в регистр блока регистра двоичного кода БРГДК блока 2 сортировки. Двоичный код выходной информации ДКВИ является выходом регистра (рис.4). Система электронных ключей первая СЭК1 состоит из логических элементов И выполненных на пороговых элементах

DD19, DD20, DD21. На информационные входы пороговых элементов DD19, DD20 системы электронных ключей первая СЭК1 поступает информационный сигнал количества отрицательных чисел КЛОЧ, на информационный вход порогового элемента DD21 поступает управляющий сигнал знакового разряда отрицательного числа ЗРОЧ. На управляющие входы системы электронных ключей первая СЭК1 параллельно поступает сигнал выдачи ВЫД информации, который поступает из блока 7 управления. Выходной информацией системы электронных ключей первая СЭК1 является двоичный код количества отрицательных чисел и знаковый разряд отрицательных чисел КОЧЗОЧ. Если управляющий сигнал выдачи ВЫД информации равен нулевому значению, то логические элементы И системы электронных ключей первая СЭК1 будут закрыты. В этом случае выходной информационный сигнал код количества отрицательных чисел и знаковый разряд отрицательных чисел КОЧЗОЧ будет равен нулю. Если управляющий сигнал выдачи ВЫД информации равен единичному значению, то логические элементы И системы электронных ключей первая СЭК1 будут открыты. В этом случае выходной информационный сигнал код количества отрицательных чисел и знаковый разряд отрицательных чисел КОЧЗОЧ будет равен числовому двоичному значению количества отрицательных чисел КЛОЧ и знаковому разряду отрицательного числа ЗРОЧ. Система электронных ключей вторая СЭК2 состоит из логических элементов И выполненных на пороговых элементах DD22, DD23, DD24. На информационные входы пороговых элементов DD22, DD23 системы электронных ключей вторая СЭК2 поступает информационный сигнал количества положительных чисел КЛПЧ, на информационный вход порогового элемента DD24 поступает управляющий сигнал знакового разряда положительного числа ЗРПЧ. На управляющие входы системы электронных ключей вторая СЭК2 параллельно поступает сигнал выдачи ВЫД информации, который поступает из блока 7 управления. Выходной информацией системы электронных ключей вторая СЭК2 является двоичный код количества положительных чисел и знаковый разряд положительных чисел КПЧЗПЧ. Если управляющий сигнал выдачи ВЫД информации равен нулевому значению, то логические элементы И системы электронных ключей вторая СЭК2 будут закрыты. В этом случае выходной информационный сигнал код количества положительных чисел и знаковый разряд положительных чисел КПЧЗПЧ будет равен нулю. Если управляющий сигнал выдачи ВЫД информации равен единичному значению, то логические элементы И системы электронных ключей вторая СЭК2 будут открыты. В этом случае

выходной информационный сигнал код количества положительных чисел и знаковый разряд положительных чисел КПЧЗПЧ будет равен числовому двоичному значению количества положительных чисел КЛПЧ и знаковому разряду положительного числа ЗРПЧ. Система электронных ключей третья СЭКЗ состоит из логических элементов И выполненных на пороговых элементах DD26, DD27. На информационные входы пороговых элементов DD26, DD27 системы электронных ключей третья СЭКЗ поступает информационный сигнал двоичного кода ДКВИ, поступающий с выхода регистра двоичного кода числа и символа РгДКЧС DD25. На управляющие входы системы электронных ключей третья СЭКЗ параллельно поступает сигнал выдачи ВЫД информации, который поступает из блока 7 управления. Выходной информацией системы электронных ключей третья СЭКЗ является двоичный код символа или числа ДКСЧ. Если управляющий сигнал выдачи ВЫД информации равен нулевому значению, то логические элементы И системы электронных ключей третья СЭКЗ будут закрыты. В этом случае выходной информационный сигнал двоичного кода символа или числа ДКСЧ будет равен нулю. Если управляющий сигнал выдачи ВЫД информации равен единичному значению, то логические элементы И системы электронных ключей третья СЭКЗ будут открыты. В этом случае выходной информационный сигнал двоичного кода символа или числа ДКСЧ будет равен двоичному коду выходной информации регистра двоичного кода числа и символа РгДКЧС (рис.4).

Блоки 3, ... , 256 сортировки выполняют аналогичные функции по упорядочению двоичной информации, имеют одинаковые структурные и принципиальные схемы, как и блок 2 сортировки (рис.1). Количество блоков сортировки равно числу 256. Символы латинского и русского алфавитов кодируются восьмиразрядным двоичным кодом. Общее количество блоков соответствует числу $2^8=256$. Числа, которые быть упорядочены в представленном устройстве, принадлежать диапазону $1-2^8 \leq N \leq 2^8-1$.

Блок 5 дешифрации состоит из семнадцати дешифраторов ДШ1 DD28, ДШ2, DD29, ДШ3 DD30, ... , ДШ17 DD31 (рис.5). Функция дешифратора состоит в преобразовании входной двоичной информации в унитарный код на выходе. На выходе дешифратора только один высокий уровень, одна единица. Этот высокий уровень является разрешающим сигналом для записи входной информации в определенный двоичный регистр одного из двухсот пятидесяти шести блоков 5 сортировки. Входным информационным сигналом ЧСД блока является двоичный код сим-

вола или модуля числа. Четыре старших разряда информационного сигнала поступают на вход первого дешифратора ДШ1 DD28. Младшие четыре разряда поступают параллельно на входы остальных шестнадцати дешифраторов ДШ2, DD29, ДШ3 DD30, ... , ДШ17 DD31. На разрешающий работу Е вход дешифратора ДШ1 DD28 поступает управляющий сигнал СРЗ из блока 7 управления. При единичном значении сигнала СРЗ дешифратор ДШ1 DD28 находится в рабочем состоянии, на выходе микросхемы только одна единица остальные выходы находятся в нулевом состоянии. При нулевом значении сигнала СРЗ дешифратор находится в нерабочем режиме, на выходе микросхемы только нулевая информация. На выходе дешифратора ДШ1 DD28 при рабочем состоянии будет код один из шестнадцати. Единица на выходе первого дешифратора переведет в рабочее состояние один из оставшихся шестнадцати дешифраторов блока. На выходе только этого дешифратора будет одна единица, все остальные выходы этой микросхемы будут в нулевом состоянии. Остальные пятнадцать дешифраторов блока будут в нерабочем состоянии, т.е. на выходах этих микросхем установится нулевое состояние. На выходе блока 5 дешифрации сформируется унитарный код один из двухсот пятидесяти шести. Выходные сигналы блока дешифрации РА31 – РА3256 поступают на входы блоков сортировки. Один единичный выходной сигнал блока дешифрации поступает на разрешающий вход для записи информации в один из двухсот пятидесяти шести регистров блоков сортировки. Поступившая на вход информация в виде двоичного кода символа и числа со своим знаковым разрядом будет записана в этот регистр (рис. 4).

Блок 6 хранения результата БХР состоит из оперативного запоминающего устройства ОЗУ DD34, первого двоичного счетчика Сч1, формирующего адреса столбцов АД СТЛ DD32, второго двоичного счетчика Сч2, формирующего адреса строк АД СТР DD33 (рис.6). Этот блок служит для хранения двоичных разрядов символьной и числовой информации при выполнении операции сортировки данных. На вход блока поступают упорядоченные двоичные коды символов и чисел в виде информационного сигнала УМД. На вход блока 6 хранения результата БХР поступают управляющие сигналы из блока 7 управления. Сигнал ОБН обнуления поступает на вход установки в нулевое состояние первого двоичного счетчика Сч1 DD32. Этот сигнал предназначен для обнуления счетчика Сч1. Сигнал УСН обнуления поступает на вход установки в нулевое состояние второго двоичного счетчика Сч2 DD33 и предназначен

для обнуления счетчика Сч2. Управляющий сигнал ГИ генератор прямоугольных импульсов поступает на суммирующий вход первого двоичного счетчика Сч1 DD32, для формирования адреса столбцов в оперативном запоминающем устройстве. Управляющий сигнал ТИ генератор тактовых импульсов поступает на суммирующий вход второго двоичного счетчика Сч2 DD33, для формирования адреса строк в оперативном запоминающем устройстве. Управляющий сигнал ВК выбор кристалла поступает на вход оперативного запоминающего устройства ОЗУ из блока 7 управления и устанавливает микросхему в рабочий режим. Управляющий сигнал Зп/Сч запись/считывания поступает на вход оперативного запоминающего устройства ОЗУ из блока 7 управления и устанавливает микросхему в режимы записи или считывания информации. Информационный сигнал результат упорядоченных данных РУД является выходным сигналом оперативного запоминающего устройства (рис.6).

2. Практические схемы устройства сортировки информации

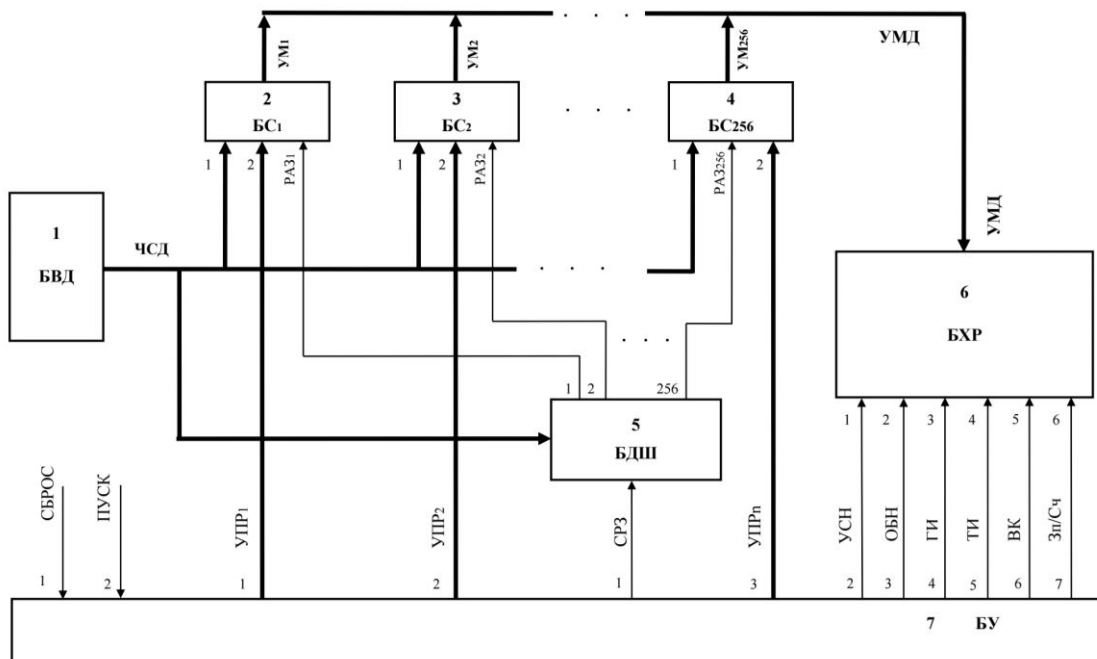


Рис.1

Блок ввода данных

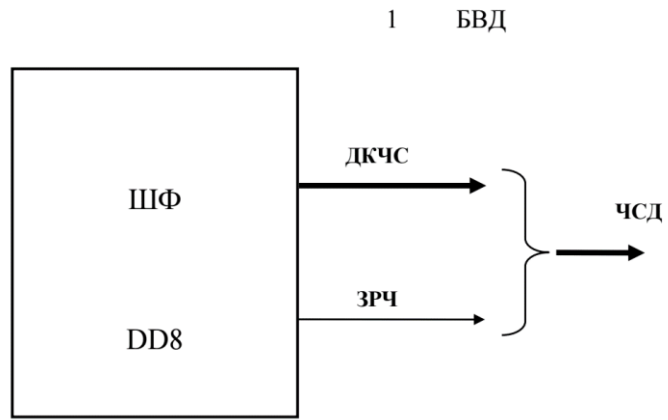


Рис.2

Блок сортировки

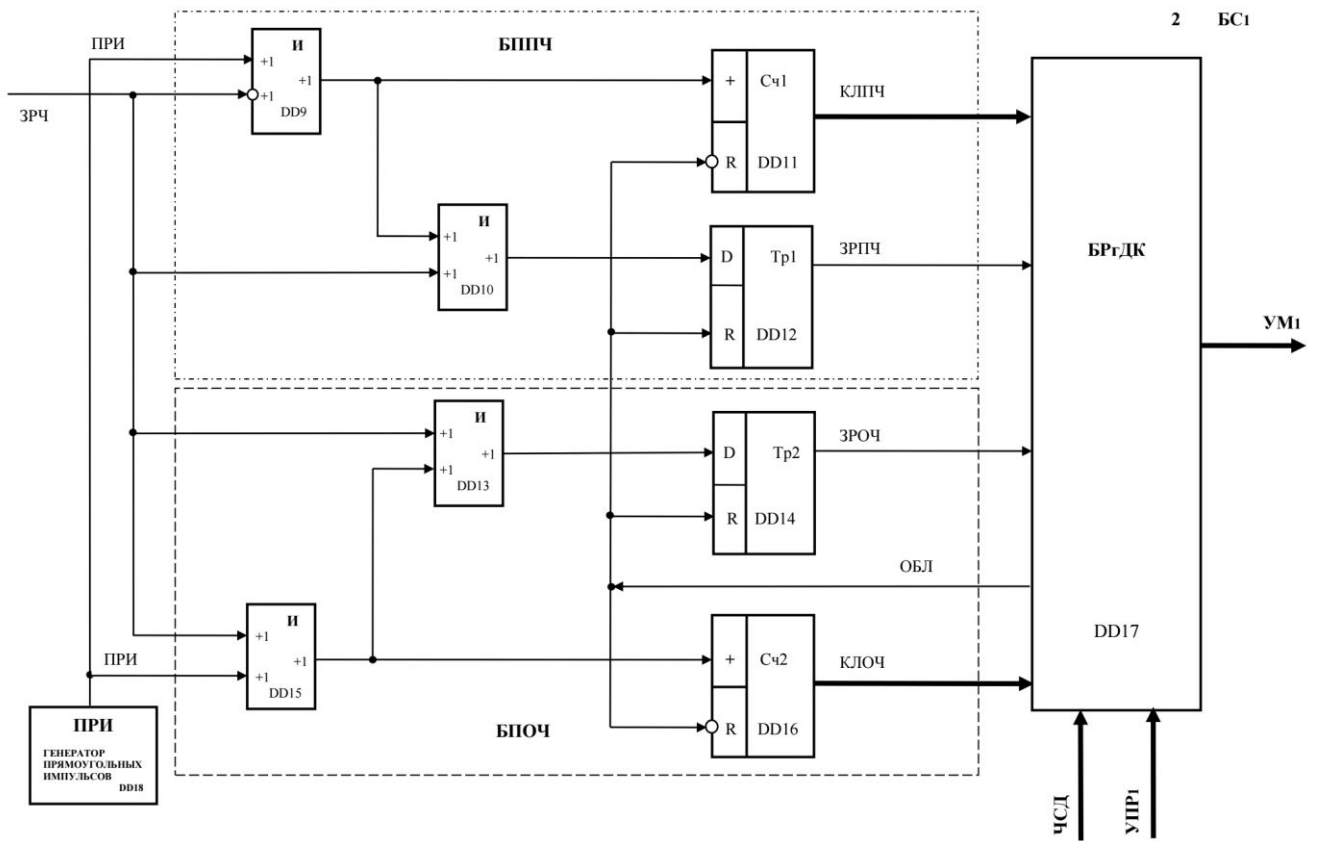


Рис.3

Блок регистра двоичного кода

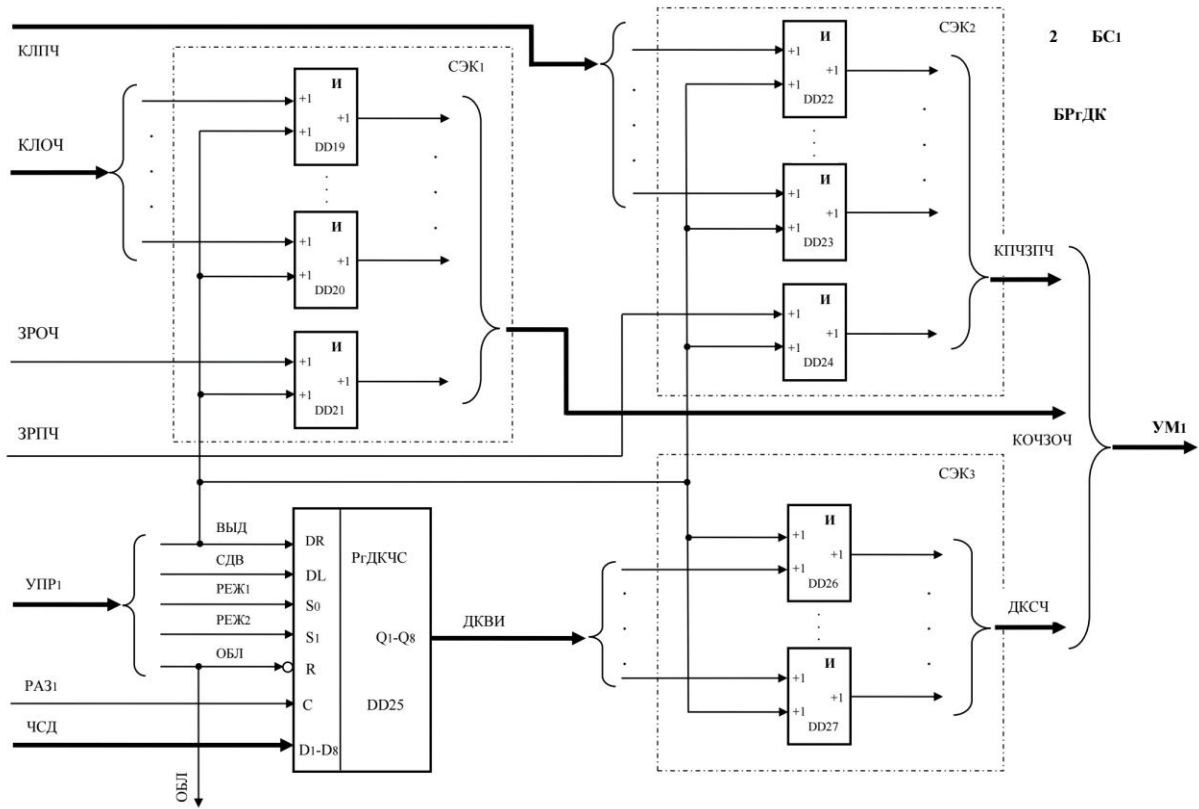


Рис.4

Блок дешифрации

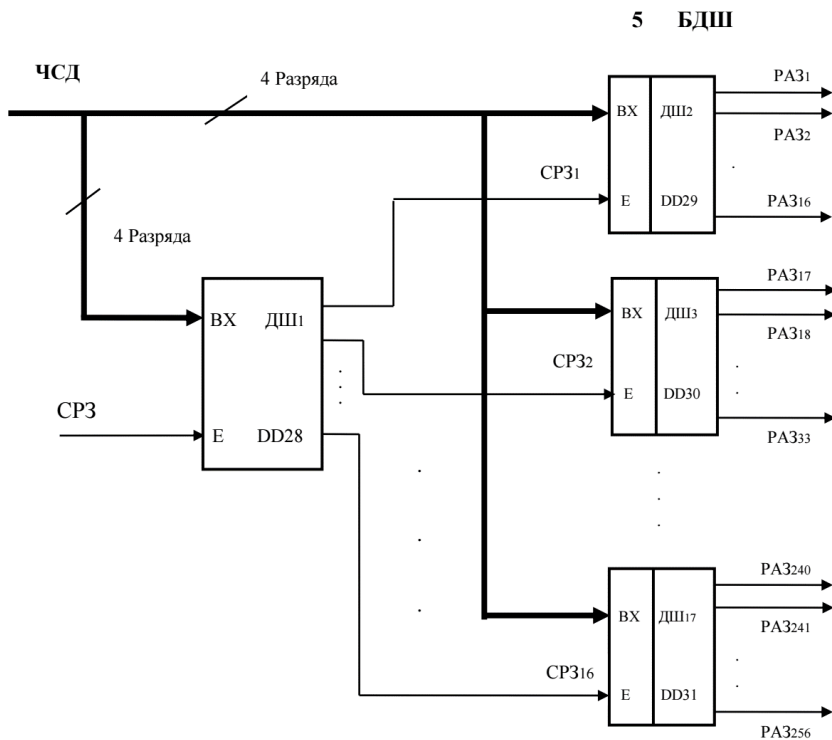


Рис.5

Блок хранения результата

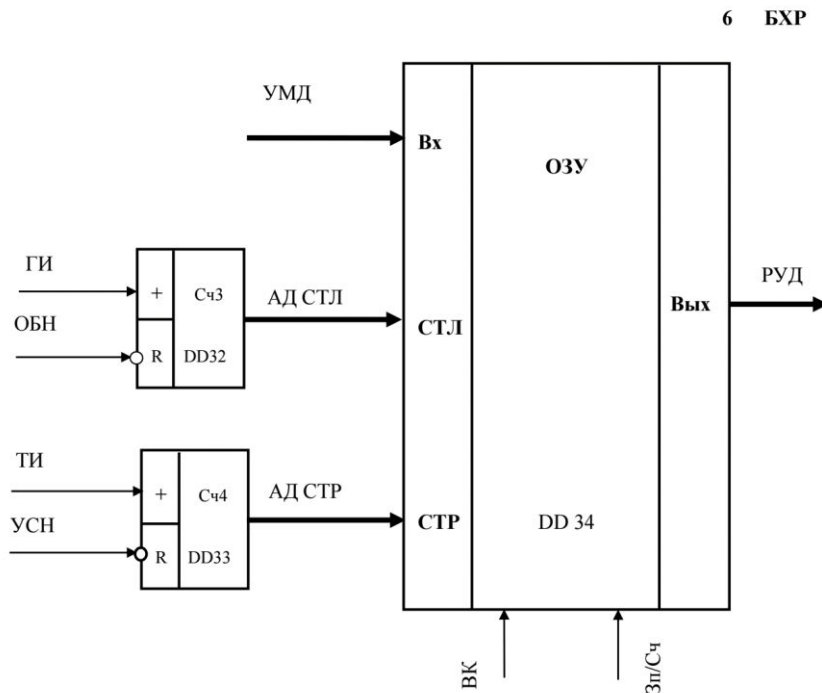


Рис.6

Содержательная ГСА управления приведена на рис.7 и отражает работу устройства сортировки информации методом дешифрации.

Блок 1 алгоритма является начальным блоком алгоритма. В блоке 2 алгоритма выполняется подача сигнала «СБРОС» установки в нулевое состояние на входы всех элементов устройства сортировки. В блоке 3 алгоритма по команде «ПУСК := 1» происходит установка внешнего сигнала устройства ПУСК в единичное значение. В блоке 4 алгоритма по команде «ОБН := 1» происходит установка в нулевые значения элементов памяти и двоичных счётчиков устройства. Блоки 5, 6, 7, 8, 9 и 10 представляют собой цикл, в котором производится определение блока сортировки устройства для записи входной двоичной информации. В блоке 5 осуществляется анализ признака «ЗВД» - завершения ввода данных. По выходу «Да» осуществляется переход на блок 11 алгоритма. По выходу «Нет» осуществляется переход на блок 6 алгоритма. В блоке 6 по команде «БС := ЧСД» на вход блоков сортировки поступают числовые и символьные данные, по команде «БДШ := ЧСД» на вход блока дешифрации поступают числовые и символьные данные. Блоки 7, 8, 9 и 10

образуют цикл, в котором определяется регистр блока сортировки и подача на него входного информационного двоичного сигнала. В блоке 7 происходит изменение переменной счетчика цикла i от начального единичного значения до конечного 256 с шагом +1. В блоке 8 анализируется признак «РАЗ i » - разрешение записи входных данных в i -ый регистр блока сортировки. В блоке 9 по команде «БС i := РАЗ i » происходит подача управляющего сигнала из блока дешифрации для разрешения записи информации в регистр i -ого блока сортировки. В блоке 10 по команде «БС i := ЧСД» осуществляется запись в регистр i -ого блока сортировки двоичного кода входных числовых и символьных данных. В блоке 11 анализируется признак сортировки данных по возрастанию - «СОРВОЗ». По выходу «Нет» осуществляется переход на блок 17 алгоритма. По выходу «Да» осуществляется переход на блок 12 алгоритма. В блоке 12 по команде «БХР := ЗП» производится подача из блока управления на вход блока хранения результата управляющего сигнала для записи данных в оперативное запоминающее устройство. В блоке 13 по команде «БХР := ГИ» происходит подача прямоугольных импульсов на суммирующий вход двоичного счётчика СЧ1, формирующего адреса столбцов оперативного запоминающего устройства блока хранения результата, по команде «БХР := ТИ» происходит подача прямоугольных тактовых импульсов на суммирующий вход двоичного счётчика СЧ2, формирующего адреса строк оперативного запоминающего устройства блока хранения результата. Блоки 14, 15 и 16 образуют цикл, в котором происходит запись данных из блоков сортировки в блок хранения результата. По завершении цикла осуществляется переход на блок 34 алгоритма. В блоке 14 происходит изменение переменной счетчика цикла i от начального значения единицы до конечного 256 с шагом +1. В блоке 15 по команде «РГДКЧС i := ВЫД i » на вход регистра i -ого блока сортировки подаётся i -ый информационный сигнал для выдачи числовых и символьных данных из регистров. В блоке 16 по команде «БХР := УМ i » происходит подача выходного информационного сигнала с выхода регистра i -ого блока сортировки на вход блока хранения результата. В блоке 17 анализируется признак сортировки числовых и символьных данных по убыванию «СОРУБВ». По выходу «Нет» осуществляется переход на блок 23 алгоритма, по выходу «Да» осуществляется переход на блок 18 алгоритма. В блоке 18 по команде «БХР := ЗП» производится подача из блока управления на вход оперативного запоминающего устройства блока хранения результата управляющего сигнала для записи входных данных. В блоке 19 по команде «БХР := ГИ» происходит подача прямоугольных

импульсов на суммирующий вход двоичного счётчика СЧ1, формирующего адреса столбцов оперативного запоминающего устройства блока хранения результата, по команде «БХР := ТИ» происходит подача прямоугольных тактовых импульсов на суммирующий вход двоичного счётчика СЧ2, формирующего адреса строк оперативного запоминающего устройства блока хранения результата. Блоки 20, 21 и 22 образуют цикл, в котором происходит считывание информации из регистров блоков сортировки и запись упорядоченных данных в оперативное запоминающее устройство блока хранения результата. По завершении цикла осуществляется переход на блок 34 алгоритма. В блоке 20 происходит изменение переменной счетчика цикла i , от конечного значения 256 до начального единичного параметра с шагом -1. В блоке 21 по команде «РгДКЧС i := ВЫД i » на вход регистр i -ого блока сортировки подаётся i -ый информационный сигнал для выдачи данных из регистров. В блоке 22 по команде «БХР := УМ i » происходит подача выходного информационного сигнала с выхода регистра i -ого блока сортировки на вход блока хранения результата. В блоке 23 происходит анализ признака «СОРИНТ» при котором упорядочение входной двоичной информации осуществляется в определённом интервале от заданного начального значения x до конечного параметра v . По выходу «Нет» осуществляется переход на блок 29 алгоритма, по выходу «Да» осуществляется переход на блок 24 алгоритма. В блоке 24 по команде «БХР := ЗП» производится подача из блока управления на вход оперативного запоминающего устройства блока хранения результата управляющего сигнала для записи входных данных. В блоке 25 по команде «БХР := ГИ» происходит подача прямоугольных импульсов на суммирующий вход двоичного счётчика СЧ1, формирующего адреса столбцов оперативного запоминающего устройства блока хранения результата, по команде «БХР := ТИ» происходит подача прямоугольных тактовых импульсов на суммирующий вход двоичного счётчика СЧ2, формирующего адреса строк оперативного запоминающего устройства блока хранения результата. Блоки 26, 27 и 28 образуют цикл, в котором происходит считывание информации из регистров блоков сортировки и запись упорядоченных данных в оперативное запоминающее устройство блока хранения результата. По завершении цикла осуществляется переход на блок 34 алгоритма. В блоке 26 происходит изменение переменной счетчика цикла i , от начального значения x до конечного параметра v с шагом +1. В блоке 27 по команде «РгДКЧС i := ВЫД i » на вход регистр i -ого блока сортировки подаётся i -ый информационный сигнал для выдачи результата сортировки из регистров.

Блок-схема алгоритма

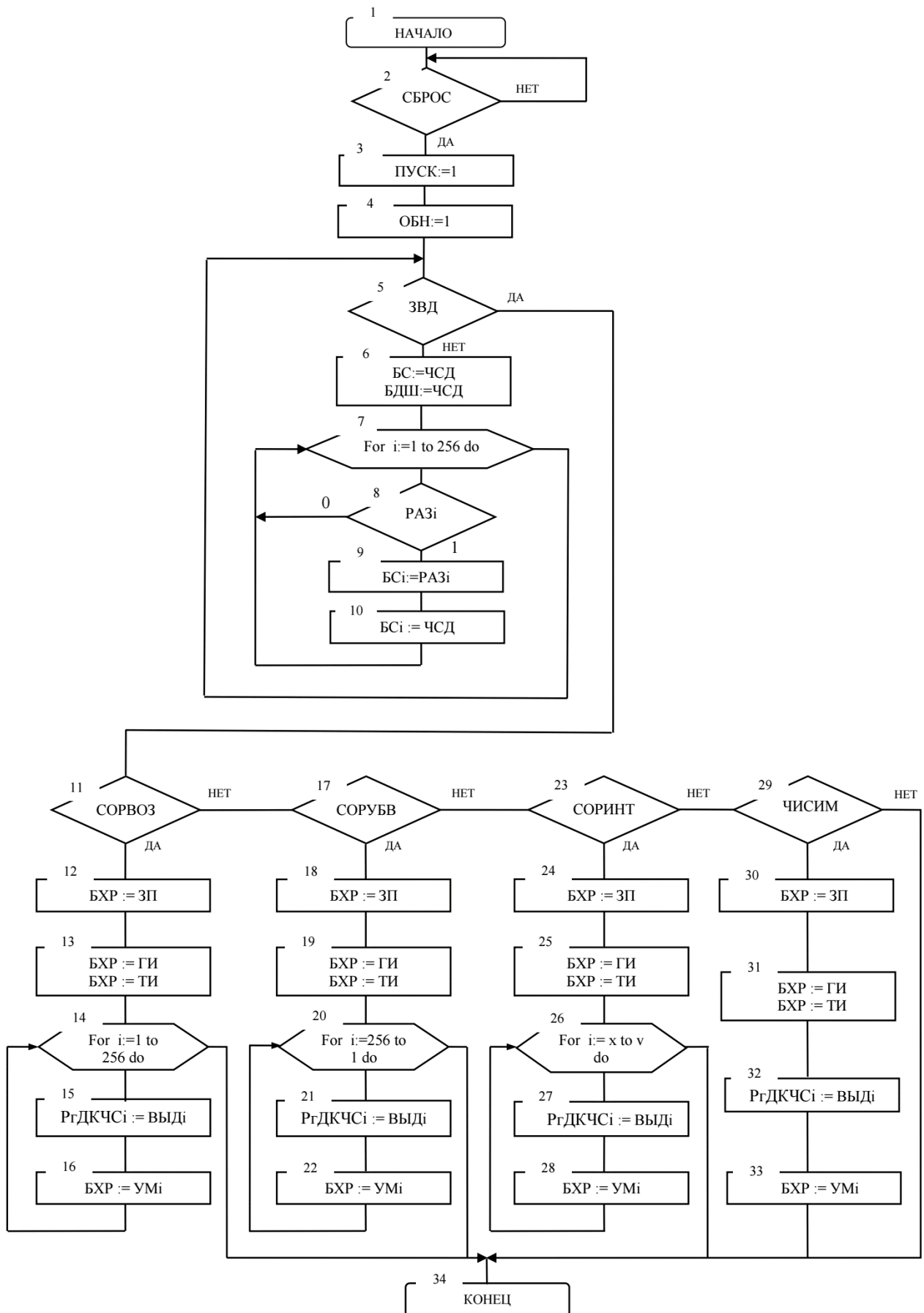


Рис.7

В блоке 28 по команде «БХР := УМ i » происходит подача выходного информационного сигнала с выхода регистра i -ого блока сортировки на вход блока хранения результата. В блоке 29 анализируется признак «ЧИСИМ» при котором считывается и записывается двоичный код определенного конкретного числа или символа из регистра блоков сортировки. По выходу «Да» осуществляется переход на блок 30 алгоритма, по выходу «Нет» осуществляется переход на конечный блок 34 алгоритма. В блоке 20 по команде «БХР := ЗП» производится подача на вход оперативного запоминающего устройства блока хранения результата разрешающего управляющего сигнала из блока управления для записи входных данных в ОЗУ. В блоке 31 по команде «БХР := ГИ» происходит подача прямоугольных импульсов на суммирующий вход двоичного счётчика СЧ1, формирующего адреса столбцов оперативного запоминающего устройства блока хранения результата, по команде «БХР := ТИ» происходит подача прямоугольных тактовых импульсов на суммирующий вход двоичного счётчика СЧ2, формирующего адреса строк оперативного запоминающего устройства блока хранения результата. В блоке 32 по команде «РГДКЧС i := ВВД i » на вход регистр i -ого блока сортировки подаётся i -ый разрешающий информационный сигнал для выдачи результата из регистра. В блоке 33 по команде «БХР := УМ i » происходит подача выходного информационного сигнала с выхода регистра i -ого блока сортировки на вход блока хранения результата. Блок 34 – является конечным блоком алгоритма.

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему устройства;
- блок-схему алгоритма работы устройства;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Назовите основные элементы устройства. Какую структуру имеет устройство сортировки.
2. Дайте определения сортировки информации.
3. В чем заключается основная задача сортировки информации.
4. Как происходит дешифрация входного сигнала.
5. Какую функцию выполняет дешифратор.
6. По какой формуле определяется выходной сигнал дешифратора.
7. Как работает блок ввода информации.
8. Из каких элементов состоит блок ввода информации.
9. Какие блоки входят в структуру устройства информации.
10. Какую функцию выполняют блоки сортировки устройства.
11. Какую функцию выполняют двоичные счетчики.
12. Как формируются адреса строк и столбцов в устройстве.
13. Какую функцию выполняют генераторы прямоугольных импульсов.
14. Как происходит запись информации в оперативное запоминающее устройство блока хранения результата.
15. Как происходит подсчет положительных и отрицательных чисел в блоках сортировки.
16. В каком блоке хранятся знаковые разряды чисел.
17. Какую функцию выполняют адресные шины строк и столбцов ОЗУ.
18. Как формируется признак завершения ввода информации с выхода блока ввода данных.
19. Какую функцию выполняет стробирующий, разрешающий сигнал работы дешифраторов блока дешифрации.
20. Какая информация в виде двоичного кода поступает на входы блоков сортировки.
21. В каком блоке устройства хранится результат сортировки информации.

Библиографический список

1. Хорошевский В.Г. Архитектура вычислительных систем.- М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с.
2. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: учебное пособие – М.: Высш. школа, 1987. – 318 с.
3. Поспелов Д.А. Арифметические основы вычислительных машин дискретного действия. – М.: Высшая школа, 1970. – 307 с.

4. Шевелев С.С. Алфавитный способ сортировки. Оптико-электронные приборы и устройства в системах распознавания образов, обраб. изображ. и символьной информ.: матер. 3-ей Междунар. науч.-техн. конф. Курск: Курский гос. техн. ун-т, 1997. С. 205-206.
5. Шевелев С.С. Сортировка слов произвольного текста. Известия Курского государственного технического университета. – 2006. – №2 (17). – С. 107– 109.
6. Шевелев С.С. Сортировка информации методом дешифрации данных. Известия Курского государственного технического университета. – 2007. – №1 (18). – С. 73– 79.
7. Шевелев С.С. Сортировка информации методом дешифрации данных. Телекоммуникации. – 2010. – №1. – С. 40 – 45.
8. Устройство сортировки слов: / пат. 2223538 Рос Федерация, № 2223538 / Шевелев С.С.; заявл. 08.04.2002; опубл. 10.02.2004, Бюл. № 4.
9. Устройство поразрядного вычисления логических и арифметических операций: пат. 2739343 Рос. Федерация. № 2020129326 / Шевелев С.С.; заявл. 04.09.2020; опубл. 23.12.2020, Бюл. №36.
10. Хла Вин, Шевелев С.С., Добрица В.П. Вычислители арифметических операций на нейронах. Научно-технический журнал «Известия ЮЗГУ», №4 (43), 2012, Часть 2/ Юго-Западного государственного университета (ЮЗ-ГУ). –Курск, 2012, С. 11-16.
11. Шевелев С.С., Дорошенко Е.Ю., Хла Вин. Arithmetical operation in ternary asymmetrical system of the numeration (reckoning) // Нейрокомпьютеры: разработка, применение. -2014. No 6, С. 59-63.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



С. И. Локтионова
2017 г

МОДЕЛИРОВАНИЕ РАБОТЫ ЭЛЕМЕНТОВ НЕЙРОКОМПЬЮТЕРНЫХ СИСТЕМ

Методические рекомендации по выполнению
лабораторной работы №1 для студентов специальности 10.03.01

Курск 2017

УДК 624.042.1

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы элементов нейрокомпьютерных систем: методические рекомендации по выполнению лабораторной работы №1 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2017. – 27 с.: ил. 7, табл. 6. – Библиогр.: с. 27 .

Содержат сведения по вопросам работы элементов нейрокомпьютерных систем. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальности 10.03.01 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать 10.11.17. Формат 60x84/16.
Усл.печ. л. 1,3 Уч.-изд. л. 1,2 Тираж 100 экз. Заказ ~~83~~ Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №1

Моделирование работы элементов нейрокомпьютерных систем

Цель работы: изучить структуру мажоритарного, порогового и нейроподобного элемента, по структурным схемам создать модели элементов нейрокомпьютерных систем.

Задача: По представленным структурам мажоритарного, порогового и нейроподобного элемента разработать блок-схемы алгоритмов работы элементов и протестировать программы на языке высокого уровня

1. Теоретическая часть

Определение: элементами технических систем обработки информации называются их простейшие, структурно и функционально обособленные части способные принимать, преобразовать, сравнивать, хранить, передавать и производить другие операции с сигналами.

Производя операции с сигналами, элементы функционально связывают изменение параметров входных сигналов x с изменениями параметров выходных сигналов y . По характеру связи $y = f(x)$ элементы разбиваются на:

1. элементы непрерывного действия;
2. элементы дискретного действия.

У элементов первого типа зависимость $y = f(x)$ линейная или близкая к линейной, т.е. при непрерывном изменении параметра входного сигнала x соответствующий параметр выходного сигнала y меняется непрерывно и пропорционально изменению x .

У элементов же второго типа зависимость $y = f(x)$ нелинейная, т.е. при непрерывном изменении x в установленных пределах y меняется скачкообразно.

Элементы дискретного действия по логике работы можно классифицировать следующим образом:

- элементы булевой логики (булевы элементы);
- элементы мажоритарной логики (мажоритарные элементы);
- элементы пороговой логики (пороговые элементы);
- элементы нейронной логики (нейронные элементы или формальные нейроны).

Элементы, реализующие простейшие логические функции конъюнкции (&), дизъюнкции (V), отрицания (-), будем называть простыми булевыми элементами (БЭ). Распространены и-не, или-не, и-или-не элементы.

Характерными свойствами типичного БЭ является однофункциональность и равноценность входов.

Мажоритарный элемент (МЭ)

МЭ является обобщением булева элемента. Характерной особенностью МЭ является обязательная нечетность числа входов.



Рис. 1

Θ – пороговое напряжение

$$\Theta = \frac{n+1}{2}; n = 2 * k + 1, k = 1, 2, 3, \dots \quad (1)$$

Пороговый элемент (ПЭ)

Пороговый элемент (ПЭ) представляет собой устройство, имеющее n входов и один выход. Входы ПЭ характеризуются весами w_i ($i = 1, 2, \dots, n$) которые имеют смысл коэффициентов усиления по входам. На каждый вход поступает сигнал x_i , принимающий значения 0 или 1. Сигнал на выходе порогового элемента равен 1, если

$$\sum_{i=1}^n w_i x_i > T \quad (2)$$

и равен 0, если

$$\sum_{i=1}^n w_i x_i \leq T \quad (3)$$

число T называют порогом.

Условия функционирования ПЭ полностью определяются величинами весов w , и порога T . Поэтому ПЭ задается совокупностью весов и порога и обозначается $[w_1, w_2, \dots, w_n; T]$, полагая, что на вход с весом w_i , подается переменная x_i .

Работа ПЭ $[w_1, w_2, \dots, w_n; T]$ может быть описана переключательной функцией $f(x_1, x_2, \dots, x_n)$ равной 1 на тех наборах аргументов x_i , для которых выполняется неравенство (2), и равной 0 на тех наборах, для которых выполняется неравенство (3).

Переключательная функция, которая может быть реализована одним пороговым элементом, называется пороговой функцией. Переключательные функции однозначны, поэтому любому ПЭ соответствует единственная пороговая функция. В то же время, любой пороговой функции соответствует бесконечное множество пороговых элементов, реализующих эту функцию.

Формальный нейрон (нейроподобный элемент НЭ)

Большинство моделей основывается на схеме формального нейрона У.С.Мак-Каллока и У.Питтса (1943 год), согласно которой нейрон представляет собой пороговый элемент (Рис.2). На входах нейрона имеются возбуждающие и тормозящие синапсы, в нейроне определяется взвешенная сумма (с учетом весов синапсов) входных сигналов, при превышении этой суммой порога нейрона вырабатывается выходной сигнал.

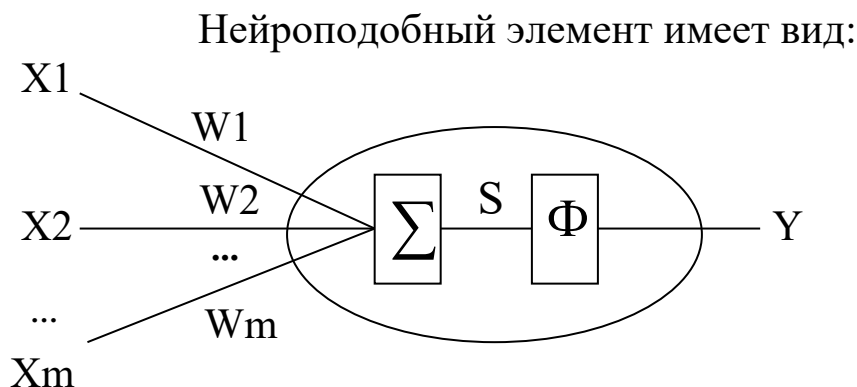


Рис. 2. Схема формального нейрона. X_i – входные сигналы, Y – выходной сигнал нейрона.

Работа формального нейрона (Рис.2) может быть описана уравнениями:

$$Y_j = F(net_j - K_j), \quad (4)$$

$$net_j = \sum w_{ij} x_i, \quad (5)$$

где j - номер нейрона в сети, X_i - входные сигналы, Y , - выходной сигнал нейрона, w_{ij} - веса синапсов, net_j - суммарное входное воздействие на нейрон, K_j - порог нейрона, F - активационная функция.

Активационная функция характеризует реакцию нейрона на входное воздействие net_j , она может быть пороговой: или некоторой непрерывной, например линейной:

$$F(a) = ka \quad (6a)$$

или логистической:

$$F(a) = 1/[1 + \exp(-a)]. \quad (6b)$$

В зависимости от реализуемого алгоритма на допустимые значения входов и выходов нейрона накладываются определенные ограничения: значения X_i и Y_j могут бинарными (т.е. равными 0 или 1), бинарными биполярными (+1 или -1) принадлежащими интервалу (0,1), неотрицательными или действительными. Аналогичные ограничения накладываются на веса синапсов нейронов w_{ij} .

Отметим, что в основополагающей работе Мак-Каллока и Питтса входы и выходы нейронов предполагались бинарными, веса синапсов считались бинарными биполярными, а активационная функция - пороговой. Исследования нейросетей проводились с точки зрения анализа логических исчислений, которые могут быть построены на базе формальных нейронов. В частности было показано, что "для всякого логического выражения, удовлетворяющего некоторым условиям, можно найти сеть, имеющую описываемое этим выражением поведение".

Формальные нейроны до определенной степени отражают динамику передачи сигналов в реальных биологических нейронах. Живые нейроны состоят из тела клетки, дендритов и аксона. Очень упрощая картину, работу нейрона можно описать следующим образом. Дендриты получают сигналы от других клеток через синапсы, эти сигналы поступают в тело клетки, где они суммируются с другими такими же сигналами. Если суммарный сигнал в течение короткого промежутка времени является достаточно большим, то клетка возбуждается, вырабатывая в аксоне импульс, который передается на следующие клетки. Не вдаваясь в подробности, подчеркнем, что формальные нейроны только очень грубо отражают работу биологических *живых* нервных клеток.

1.4. Перцептрон

История исследования нейронных сетей испытывала взлеты и падения. Первый всплеск энтузиазма был в 50-60-х годах. Его можно

связать с работами Дж. фон Неймана по концептуальному сравнительному анализу работы биологических нейронных сетей и компьютеров и по разработке принципов построения надежных вычислительных систем из ненадежных компонент (фактически формальных нейронов) и с работами Ф. Розенблата по перцептронам. Работы по перцептронам - наиболее значимое направление исследований первого бионического бума.

Перцептрон состоит из элементов 3-х типов: S - элементов, A - элементов и R - элемента. S - элементы это - слой рецепторов. Эти рецепторы соединены с A - элементами, с помощью тормозных или возбуждающих связей. Каждый рецептор может находиться в одном из двух состояний - покоя или возбуждения. A - элементы представляют собой сумматоры с порогом (т.е. формальные нейроны). Это означает, что A - элемент возбуждается, если алгебраическая сумма возбуждений, приходящих к нему от рецепторов, превышает определенную величину - его порог. При этом сигнал от рецептора, приходящий по возбуждающей связи, считается положительным, а приходящий по тормозной связи - отрицательным. Сигналы от возбужденных A - элементов передаются в сумматор R , причем сигнал i -го ассоциативного элемента передается с коэффициентом k_i .

Система связей между рецепторами S и A - элементами, так же как и пороги A - элементов выбираются некоторым случайным, но фиксированным образом, а обучение состоит лишь в изменении коэффициентов k_i . Считаем, что мы хотим научить перцептрон разделять два класса объектов, и потребуем, чтобы при предъявлении объектов первого класса выход перцептрона был положителен, а при предъявлении объектов второго класса - отрицательным. Начальные коэффициенты k полагаем равными нулю. Далее предъявляем обучающую выборку: объекты (например, круги либо квадраты) с указанием класса, к которым они принадлежат. Показываем перцептрону объект первого класса. При этом некоторые A - элементы возбуждятся. Коэффициенты k_i , соответствующие этим возбужденным элементам, увеличиваем на 1. Затем предъявляем объект второго класса и коэффициенты k_i тех A - элементов, которые возбуждятся при этом показе, уменьшаем на 1. Этот процесс продолжим для всей обучающей выборки. В результате обучения сформируются значения весов связей k_i .

После обучения перцептрон готов работать в режиме распознавания. В этом режиме перцептрону предъявляются "не знакомые" перцептрону объекты, и перцептрон должен установить, к какому классу они принадлежат. Работа перцептрона состоит в следующем: при предъявлении объекта возбуждающиеся A - элементы передают сигнал R - элементу, равный сумме соответствующих коэффициентов k_i . Если эта сумма положительна, то принимается решение, что данный объект принадлежит к первому классу, а если она отрицательна - то второму.

Исследования перцептронов показали, что перцептроны способны обучаться, хотя способности их обучения довольно ограничены. Справедлива *теорема о сходимости перцептрона*, согласно которой независимо от начальных значений коэффициентов и порядка показа образцов при обучении перцептрон за конечное число шагов научится различать два класса объектов, если только существуют такие значения.

Исследования также показали, что слабые стороны перцептрона (в частности большое время обучения) в значительной степени связаны со случайностью связей между его элементами. Однако эта конструктивная особенность обеспечивает перцептрону и положительное качество надежность: выход из строя заметного числа элементов перцептрона слабо сказывается на качестве его работы.

Первые успехи исследованиям перцептронов других нейросетей вызвал взрыв активности и энтузиазма. М. Минский, Ф. Розенблат, Б. Уидроу и другие разработали ряд искусственных нейронных сетей. В течение некоторого времени казалось, что ключ к интеллекту найден, и воспроизведение человеческого мозга является лишь, вопросом конструирования достаточно большой сети.

Возможности перцептронов оказались довольно ограниченными. Серьезный математический анализ перцептронов был проведен М. Минским и С. Пейпертом. Они, в частности, показали, что задачи, которые в принципе могут быть решены перцептроном могут потребовать нереально больших времен или нереально большой памяти. Например, для различения некоторых классов объектов коэффициенты части ассоциативных элементов должны быть столь велики, что для хранения их в вычислительной машине потребовался бы больший объем памяти, чем для того, чтобы просто запомнить все конкретные объекты этих двух классов.

Критика перцептронов М. Минским (а он - один из признанных

авторитетов в теории искусственного интеллекта), а также сравнительно небольшой прогресс нейрокибернетики 50-60-х годов привели к тому, что период энтузиазма сменился периодом спада активности исследований искусственных нейронных сетей.

Только немногие кибернетики (Т. Кохонен, С. Гроссберг, Дж. Андерсон, Г.С. Бриндли, Д. Мар, В.Л.Дунин-Барковский, А.А.Фролов и др.) продолжали исследования нейросетей в 70-х годах.

Однако в середине 80-х годов снова возник нейросетевой бум. Причиной бума, по-видимому, послужил постоянный интерес человечества к изучению работы нервной системы и ряд новых интересных моделей, разработанных к этому времени. Одной из таких "стимулирующих" моделей стали работы Дж. Хопфилда, которые позволили привлечь методы теоретической физики к исследованию нейронных сетей.

В большинстве моделей запоминание информации в нейронной сети (обучение) происходит в результате формирования весов синапсов нейронов. Во многих случаях это интерпретируется как формализация гипотезы Хебба, в соответствии с которой изменение состояния произвольного синапса определяется его текущим состоянием и активностью пре- и постсинаптических нейронов.

Предполагается, что определенные практические задачи должны решаться нейрокомпьютерами и нейрочипами - искусственными нейроподобными сетями, созданными на основе микроэлектронных вычислительных систем. Спектр задач для нейрокомпьютеров достаточно широк: распознавание зрительных и звуковых образов, создание экспертных систем и их аналогов, управление роботами, создание нейропротезов для людей, потерявших слух или зрение. Достоинства нейрокомпьютеров - параллельная обработка информации и обучаемость.

Простой персептрон. В середине 50-х годов была предложена одна из основных моделей нейронных сетей, которая вызвала большой интерес из-за своей способности обучаться распознаванию простых образов.

Эта модель - персептрон - состоит из бинарных нейроподобных элементов, имеет простую топологию, что позволило достаточно полно проанализировать ее работу и создать многочисленные физические реализации. Типичный персептрон состоит из трех основных компонент:

матрицы бинарных входов $r_1..r_n$ (сенсорных нейронов или «сетчатки», куда подаются входные образы);
 набора бинарных нейроподобных элементов $x_1..x_m$ (или предикатов в наиболее общем случае) с фиксированными связями к подмножествам сетчатки («детекторы признаков»);
 бинарного нейроподобного элемента с модифицируемыми связями к этим предикатам («решающий элемент»).

На самом деле число решающих элементов выбирают равным количеству классов, на которое необходимо разбить предъявляемые персептрон образы.

Таким образом, модель персептрона характеризуется наличием только прямых связей, один из слоев которых является модифицируемым. В простейшем случае, когда $n = m$ и $x_i = r_i$ детекторы признаков могут рассматриваться как входной слой. Тогда персептрон становится одним бинарным нейроподобным элементом. Это классическая модель М - входного нейрона или простой персептрон Розенблата. В общем случае каждый элемент x , может рассматриваться как булева функция, зависящая от некоторого фиксированного подмножества сетчатки. Тогда величина выходных сигналов этих обрабатывающих элементов является значением функции x_i , которое равно 0 или 1. Устройство реагирует на входной вектор генерацией выходного сигнала y решающего элемента по формуле (4). Таким образом, персептрон формирует гиперплоскость, которая делит многомерное пространство $x_1..x_m$ на две части и определяет, в какой из них находится входной образ, выполняя, таким образом, его классификацию. Возникает вопрос, как определить значения весов, чтобы обеспечить решение персептроном конкретной задачи. Это достигается в процессе обучения. Предложены различные правила обучения персептрона. Один из алгоритмов называется процедурой сходимости персептрона Розенблата и является вариантом хеббовского правила изменения весов связей с учителем. Алгоритм работает следующим образом. Вектор весов W_i устанавливают в произвольное состояние.

На сетчатку поочередно подают образы из обучающей выборки, которые трансформируются в выходной сигнал y решающего элемента. При правильном отклике ничего не изменяют. При неправильном отклике $y = 0$ веса всех связей от активных элементов сетчатки увеличивают, а при неправильном отклике $y = 1$ - уменьшают. Величина изменения связи определяет степень адаптации.

Если решение существует, оно будет достигнуто при циклической по образам обучающей выборки за конечное число шагов при любом начальном выборе связей.

Таким образом, если два класса образов могут быть разделены гиперплоскостью, то при достаточно долгом обучении персептрон будет различать их правильно. Однако линейная разделяющая поверхность упрощающая анализ персептрона, ограничивает решаемый им круг задач. Этот вопрос тщательно исследовали Минский и Пейперт, показав, какие задачи в принципе не может решить персептрон с одним слоем обучаемых связей. Одним из таких примеров является выполнение логической операции «исключающее ИЛИ».

Многослойный персептрон. Как отмечалось выше, простой персептрон с одним слоем обучаемых связей формирует границы областей решений в виде гиперплоскостей. Двухслойный персептрон может выполнять операцию логического «И» над полупространствами, образованными гиперплоскостями первого слоя весов. Это позволяет формировать любые, возможно неограниченные, выпуклые области в пространстве входных сигналов. С помощью трехслойного персептрона, комбинируя логическими «ИЛИ» нужные выпуклые области, можно получить уже области решений произвольной формы и сложности, в том числе невыпуклые и несвязные. То, что многослойные персептроны с достаточным множеством внутренних нейроподобных элементов и соответствующей матрицей связей в принципе способны осуществлять любое отображение вход-выход, отмечали еще Минский и Пейперт, однако они сомневались в том, что можно открыть для них мощный аналог процедуры обучения простого персептрона. В настоящее время в результате возрождения интереса к многослойным сетям предложено несколько таких процедур. Алгоритм обратного распространения ошибки. Этот алгоритм является обобщением одной из процедур обучения простого персептрона, известной, как правило, Уидроу - Хоффа (или дельта-правило), и требует представления обучающей выборки. Выборка состоит из набора пар образов, между которыми надо установить соответствие, и может рассматриваться как обширное задание векторной функции, область определения которой - набор входных образов, а множество значений - набор выходов.

Многослойная нейроподобная сеть с прямыми связями. Входные элементы (блоки) образуют нижний слой сети, выходные -

верхний. Между ними может быть много слоев скрытых блоков. Каждый блок может быть соединен модифицируемой связью с любым блоком соседних слоев, но между блоками одного слоя связей нет. Каждый блок может посылать выходной сигнал только в вышележащие слои и принимать входные сигналы только от нижележащих слоев. Входной вектор подается на нижний слой, а выходной вектор определяется путем поочередного вычисления уровней активности элементов каждого слоя (снизу - вверх) с использованием уже известных значений активности элементов предшествующих слоев.

С точки зрения познания образов входной вектор соответствует набору признаков, а одной - классу образов. Скрытый слой используется для представления части знаний. Перед началом обучения связям присваиваются небольшие случайные значения. Каждая итерация процедуры состоит из двух фаз. Во время первой фазы на сеть подается входной вектор путем установки в нужное состояние входных элементов. Затем входные сигналы распространяются по сети элементов предшествующих слоев, порождая некоторый выходной вектор. Для работы алгоритма требуется, чтобы характеристика вход-выход нейроподобных элементов была неубывающей и имела ограниченную производную. Обычно для этого используют сигмоидную нелинейность вида (6б). Полученный выходной вектор сравнивается с требуемым. Если они совпадают, обучение не происходит. В противном случае вычисляется разница между фактическими и требуемыми выходными значениями, которая передается последовательно от выходного слоя к входному.

При обучении веса связей перестраиваются таким образом, чтобы минимизировать частоту смены активности каждого блока. Таким образом, обученная сеть имеет стабильные состояния и может функционировать в режиме ассоциативной памяти. В настоящее время многослойные персептроны являются наиболее популярной моделью нейронных сетей. Это в значительной степени объясняется тем, что с их помощью удалось продемонстрировать решение ряда задач, в том числе классической для персептронов задачи «исключающего ИЛИ», задачи синтеза речи по тексту, а также задач, требующих принятия экспертных решений. Возможно, что подобные многослойным персептронам нейронные структуры используются мозгом для предварительной обработки сенсорной информации, например, при выделении признаков.

Ансамблевые нейронные сети. Минский и Пейперт отмечали, что недостатки простых персептронов можно преодолеть как с помощью многослойных сетей, так и введением в сеть обратных связей, допускающих циркуляцию сигналов по замкнутым контурам. Использовать свойства такого рода сетей для моделирования функций мозга еще в 1949 г. предложил Хебб. Согласно взглядам Хебба нервные клетки мозга соединены друг с другом большим количеством прямых и обратных возбуждающих связей и образуют нейронную сеть. Каждый нейрон осуществляет пространственно-временную сумму приходящих к нему сигналов от возбужденных нейронов, определяя потенциал на своей мембране. Когда потенциал на мембране превышает пороговое значение, нейрон возбуждается. Нейрон обладает рефрактерностью и усталостью. Эффективность связей может изменяться в процессе функционирования сети, повышаясь между одновременно возбужденными нейронами. Это приводит к объединению нейронов в клеточные ансамбли – группы клеток, которые чаще всего возбуждались вместе, и к обособлению друг от друга. При возбуждении достаточной части ансамбля он возбуждается целиком. Различные ансамбли могут пересекаться; один и тот же нейрон может входить и в разные ансамбли. Электрическая активность мозга обусловлена последовательным возбуждением отдельных ансамблей. Идеи Хебба оказали большое воздействие на представления о работе мозга, послужили основой для создания нейронных моделей долговременной памяти. Действительно, ансамблевую нейронную сеть можно рассматривать как структуру, реализующую функции распределенной ассоциативной памяти. Формирование ансамблей в такой сети соответствует запоминанию образов (признаков, объектов, событий, понятий), закодированных паттерном активности нейронов, а сформированные ансамбли являются их внутренним представлением. Процесс возбуждения всего ансамбля при активации части его нейронов можно интерпретировать как извлечение запомненной информации по ее части - ключу памяти. Модель памяти на основе ансамблевой нейронной сети обладает некоторыми свойствами, присущими биологической памяти, такими, как ассоциативность, распределенность, параллельность, устойчивость к шуму и сбоям, надежность. Проводятся также структурные аналогии между ансамблевыми моделями нейронных сетей и строением коры головного мозга. Имеются экс-

периментальные данные о синаптической пластичности, постулированной Хеббом. Модель ансамблевой сети состоит из большого количества нейроподобных элементов, каждый из которых обычно соединен со всеми другими элементами сети. Входной образ подается на сеть путем активации нужных нейроподобных элементов. В отличие от персептрона ансамблевая сеть может обучаться как с учителем, так и без него. Обучение производится по правилу Хебба или одному из его вариантов. Значение коэффициента a при обучении с учителем определяет величину подкрепления, а при обучении без учителя эта величина может быть установлена, например, постоянной. Отметим, что правило Хебба формирует симметричную матрицу связей. В процессе обучения при подаче на сеть набора входных образов - представителей среды - в сети формируются ансамбли, которые могут иметь сложную структуру, отражающую свойства среды.

Сеть Хопфилда. Хотя многочисленные результаты моделирования демонстрировали стабильность ансамблевых сетей с обратными связями и хеббовским правилом обучения (эволюцию сети к устойчивому состоянию), отсутствие математического обоснования такого введения препятствовало их популярности. Положение изменилось с появлением работ, где было определено подмножество нейронных сетей с обратными связями, которые гарантированно достигают устойчивого состояния. В 1982 г. американский биофизик Джон Хопфилд опубликовал статью, где на основании аналогии между нейронными сетями и особым классом физических систем - спиновыми стеклами - ему удалось привлечь к анализу нейросетевых моделей мощный математический аппарат статистической физики. Это стимулировало вторжение в область моделирования нейронных сетей большого отряда ученых-физиков, которыми в настоящее время получено много интересных аналитических результатов. Сам Хопфилд в упомянутой статье рассмотрел поведение модели полностью связанной сети бинарных нейроподобных элементов с симметричными связями ($w_{ij}=w_{ji}$). Элементы функционировали в асинхронном режиме, т. е. каждый нейрон в случайные моменты времени с некоторой средней частотой определял свое состояние в соответствии с правилом (6а).

Это позволило описать поведение сети как релаксационный процесс, при котором минимизируется энергетическая функция E (функция Ляпунова, гамильтониан) модели: где сеть состоит из w_{ij} -

матрицы связей; u и q -состояние и порог модельного нейрона. Действительно, изменение E при изменении состояния нейрона (учитывая симметрию w_{ij} и полагая $q=0$). Так как знак Du_i совпадает со знаком, ясно, что E по мере срабатывания нейронов будет монотонно убывать, а так как E ограничена, будет достигнуто состояние ее минимума. Таким образом, эволюция сети из любого начального состояния приводит к состоянию, соответствующему локальному минимуму E . Можно провести аналогию поведения сети с движением легкой частицы по некоторому вязкому рельефу под действием силы тяжести.

В своей работе Хопфилд исследовал сеть с нейроподобными элементами, имеющими сигмоидную характеристику. Состояния нейронов такой сети изменяются одновременно и непрерывно, и сеть описывается системой дифференциальных уравнений. Хопфилд доказал сходимость и такой сети к стабильным энергетическим минимумам и нашел соответствие между ее устойчивыми состояниями и устойчивыми состояниями сети с бинарными элементами. Это послужило основой для построения аппаратных моделей, где сеть реализуется как аналоговая электронная схема, состоящая из операционных усилителей, моделирующих нейроны, соединенных резисторами с проводимостями W_{ij} , и со смещениями входными токами q . Понятно, что если сделать минимумами энергии заданный набор паттернов нейронной активности (образов), оба варианта сети Хопфилда смогут выполнять функции ассоциативной памяти, «скатываясь» к тому образу, в чей «бассейн притяжения» попадает начальный паттерн активности нейронов сети.

Рассмотрим сеть, состоящую из 40 нейронов, которые расположены в виде матрицы 5×8 , запомненного в сети изображения буквы «Е». Активному нейрону соответствует измененный элемент изображения. Из поданного на сеть зашумленного изображения восстанавливается правильное изображение. Как и следовало ожидать, одним из способов получения нужной энергетической функции является формирование матрицы связей в соответствии с вариантом хеббовского правила: где z^p - образы, которые надо запомнить в сети; L - их количество. Это правило, как и правило, предложенное Хеббом, обеспечивает формирование симметричной матрицы связей, однако постулирует увеличение веса связей между не только одновременно активными, но и одновременно неактивными нейронами, а также

его уменьшение между нейронами, находящимися в разном состоянии. Такое правило допускает существование тормозящих модифицируемых связей между нейронами и даже переход возбуждающих связей в тормозящие. Оно позволяет сети автоматически саморегулировать уровень активности и работать с нулевыми порогами нейронов. Однако при этом значительно снижается емкость памяти сети количество случайных образов, которое можно записать в сеть с возможностью восстановления, не превышает 0.14 количества нейронов. Кроме того в дополнение к энергетическим минимумам, соответствующим запомненным образам, возникают ложные минимумы функции E . Положение еще более осложняется для скоррелированных образов, которые после запоминания не становятся минимумами E . В настоящее время ведется интенсивная работа по улучшению характеристик модели Хопфилда, предлагаются ее интересные расширения и обобщения. Предпринимаются попытки создать алгоритмы обучения, позволяющие работать со скоррелированными образами.

Машина Больцмана. Машина Больцмана представляет собой стохастический вариант сети Хопфилда. Бинарные нейроподобные элементы (блоки) трактуются здесь как представители элементарных гипотез, а веса - как слабые парные взаимоограничения между ними. Положительный вес связи указывает, что две гипотезы стремятся поддерживать друг друга, а отрицательный - на их несовместимость. Симметрия связей позволяет проанализировать поведение сети с использованием энергетической функции.

Энергию определенного паттерна активности можно интерпретировать как степень нарушения ограничений, присутствующих в проблемной области, со стороны конкретной комбинации гипотез или как стоимостную функцию, которая должна быть минимизирована для решения оптимизационной задачи. Если зафиксировать состояния некоторых блоков, подав, таким образом, на сеть входное воздействие, остальные блоки начнут изменять свое состояние так, чтобы минимизировать энергию E . Поступающая на каждый блок взвешенная сумма сигналов от активных блоков из-за симметрии связей совпадает с величиной разности между значениями, энергетической функции, зависящей от его собственного состояния: Поэтому алгоритм изменения состояния бинарных нейроподобных элементов автоматически приводит к минимизации энергии E .

Машина Больцмана может использоваться для классификации

образов. При этом в ней, как и в многослойном персептроне, выделяют входные, выходные и внутренние (скрытые) блоки, однако для каждой прямой связи между блоками существует равная ей по величине обратная (симметричная) связь. Процесс распознавания состоит из следующих шагов: на входных блоках фиксируют входной образ; рандомизируют состояние скрытых и выходных блоков, а затем медленно понижают температуру; наблюдают за состоянием сети при конечной низкой температуре и собирают статистику состояний выходных блоков. На основании этой статистики делают вывод о входном образе.

Для машины Больцмана существует алгоритм обучения, который, как и для многослойного персептрона, создает путем модификации связей внутреннюю модель среды, позволяющую достаточно хорошо классифицировать входные образы. Для работы алгоритма требуется обучающая выборка, состоящая из пар вход - выход, которые должна научиться ассоциировать сеть. Если после обучения зафиксировать на входных блоках один из входных образов, на выходных блоках должен появиться соответствующий выходной образ. Если подать на вход неизвестный образ, система на основе выявленных в обучающей выборке закономерностей должна провести правильное обобщение. Каждый цикл обучения состоит из трех шагов.

1. Фаза тренировки. Для каждой пары образов фиксируются состояния входных и выходных блоков, а остальная часть сети подвергается отжигу к низкой температуре. Затем для каждой связи собирается статистика, какую часть времени p^+_{ij} были одновременно активны соединяемые ею блоки.

2. Фаза проверки. Вычисляется аналогичная величина p^-_{ij} однако теперь выходные блоки не зафиксированы и свободно меняют состояние.

3. Изменение связей. В хорошо обученной сети ее поведение будет идентично для обеих фаз. Если p^- и p^+ не совпадают для конкретной связи, ее изменяют: где e масштабирует размер изменения. Каждый цикл необходимо повторить много раз, пока матрица связей не стабилизируется в достаточной степени.

К сожалению, алгоритм обучения машины Больцмана имеет типичные недостатки, присущие процедурам градиентного спуска в многопараметрических пространствах. Прежде всего это неточность вычисления градиента, обусловленная неполным достижением теплового равновесия и ограниченным временем сбора статистик. Из-за

своей стохастичности алгоритм требует гораздо больших временных затрат по сравнению даже с алгоритмом обучения многослойного персептрона методом обратного распространения ошибки. Имеющаяся аппаратная реализация, однако, смягчает этот недостаток по крайней мере для небольших сетей. Известны примеры применения машины Больцмана для решения классических персептронных задач, таких, как задача «исключающего ИЛИ», обнаружение симметрии во входном образе и т. д., а также для распознавания речи.

2. Практические схемы на элементах нейрокомпьютерных систем.

Работа мажоритарного элемента аналитически описывается следующим выражением:

$$F = \text{sign}\left[\sum_{i=1}^n x_i - \frac{n+1}{2}\right], n = 3, 5, 7, \dots$$

Функция $\text{sign } y$ определяется так:

$$\text{sign } y = \begin{cases} 0, & \text{при } y < 0 \\ 1, & \text{при } y \geq 0 \end{cases}$$

Работа мажоритарного элемента на три входа описывается в следующем виде:

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$F(x, y, z) = xz \vee xy \vee yz$$

Эта функция сохраняет нуль, единицу, является самодвойственной и монотонной.

Чтобы образовать функционально полную систему для синтеза логических схем на мажоритарных элементах к функции F добавляют инверсию и константы:

$F(x,y,0)=xy$ - схема И

$F(x,y,1)=xVy$ - схема ИЛИ

$F(x,y,0) = \overline{xy} = \overline{x} \vee \overline{y} = x / y$ - Шеффера

$F(x,y,1) = \overline{xVy} = \overline{x} * \overline{y} = x \downarrow y$ - Пирса

Мажоритарный элемент с пятью входами образует функцию:

$$F(x_1, x_2, x_3, x_4, x_5) = x_1 x_2 x_3 \vee x_1 x_2 x_4 \vee x_1 x_2 x_5 \vee x_1 x_3 x_4 \vee x_1 x_3 x_5 \vee x_1 x_4 x_5 \vee x_2 x_3 x_4 \vee x_2 x_4 x_5 \vee x_3 x_4 x_5$$

Эта функция сохраняет нуль, единицу, является самодвойственной, монотонной и нелинейной.

С помощью функции с пятью входами можно построить схемы И, ИЛИ, Пирса, Шеффера на три входа.

$$F(x_1, x_2, x_3, 0, 0) = x_1 x_2 x_3$$

$$F(x_1, x_2, x_3, 1, 1) = x_1 \vee x_2 \vee x_3$$

$$F(\overline{x_1}, \overline{x_2}, \overline{x_3}, 0, 0) = \overline{x_1 \vee x_2 \vee x_3} = \overline{x_1} \wedge \overline{x_2} \wedge \overline{x_3}$$

$$F(\overline{x_1}, \overline{x_2}, \overline{x_3}, 1, 1) = \overline{x_1 x_2 x_3} = x_1 \downarrow x_2 \downarrow x_3$$

Схема сумматора-вычитателя на мажоритарных элементах.

a	b	P_H	S	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

B P_H a	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S = ab\bar{P}_{i-1}V\bar{a}\bar{b}\bar{P}_{i-1}VabP_{i-1}V\bar{a}\bar{b}P_{i-1} = a \oplus b \oplus P_{i-1}$$

$$Y = xyV\bar{x}y = x \oplus y = (xy, \bar{x}y, 1)$$

$$(x, \bar{y}, 0) = xy$$

$$(\bar{x}, y, 0) = \bar{x}y$$

$$Y = (xy, \bar{x}y, 1) = xyV\bar{x}y$$

$$S = (a, \bar{b}, \bar{P}_{i-1}, 0, 0)(\bar{a}, \bar{b}, P_{i-1}, 0, 0)(a, b, P_{i-1}, 0, 0)(\bar{a}, b, P_{i-1}, 0, 0)$$

$$S = (a, \bar{b}, \bar{P}_{i-1}, 0, 0, \bar{a}, \bar{b}, P_{i-1}, 0, 0, 1)$$

Найти пороговую функцию, реализуемую ПЭ [1,-1,2; 1]. Используя неравенство (1) имеем:

$$x_1 - x_2 + 2x_3 > 1$$

X ₁	X ₂	X ₃	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

$$F = \bar{x}_1\bar{x}_2x_3Vx_1\bar{x}_2x_3Vx_1x_2x_3$$

После карты Карно имеем: $F = x_1x_3V\bar{x}_2x_3$

Переключательные функции однозначны, поэтому любому ПЭ соответствует единственная пороговая функция. В то же время, любой пороговой функции соответствует бесконечное множество пороговых элементов, реализующих эту функцию.

Рассмотрим вопрос о функциональной полноте системы пороговых функций.

1. Функция Шеффера n аргументов (n>2) является пороговой и одна образует функционально полную систему пороговых функций: $[w_1 = -1, w_2 = -1.. w_n = -1; \Gamma = -n]$.

Для двух входов n = 2 имеем, $[w_1 = -1, w_2 = -1; \Gamma = -2]$ $-x_1 - x_2 > -2$

- штрих Шеффера (таблица истинности)

x_1	x_2	F
0	0	1
0	1	1
1	0	1
1	1	0

2. Функция Пирса является пороговой. [$w_1 = -1, w_2 = -1 \dots w_n = -1; T = -1$]
 Для двух переменных имеем: $-x_1 - x_2 > -1$
 - стрелка Пирса (таблица истинности)

x_1	x_2	F
0	0	1
0	1	0
1	0	0
1	1	0

3. Дизъюнкция [$w_1 = 1, w_2 = 1 \dots w_n = 1; T = 0$]
 4. Конъюнкция [$w_1 = 1, w_2 = 1 \dots w_n = 1; T = n-1$]
 5. Отрицание [$w_i = -1, T = -1$]

Нейронный элемент (НЭ)

Нейронный элемент (НЭ) является обобщением порогового элемента (или формальный нейрон (ФН)). ФН представляет собой сочетание порогового элемента с булевыми элементами И, ИЛИ, НЕ. Булевы элементы (БЭ), входящие в его структуру, являются его неотъемлемой частью, как бы встроены в нейрон и не могут быть структурно выделены как самостоятельные элементы.

Следует отметить, что для произвольно заданной булевой функции всегда существует ФН, реализующий эту функцию. Это свойство ФН и называется Н-полнотой (от слова нейрон).

На рисунке показана схема обобщенного ФН.

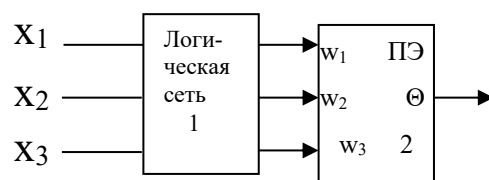


Рис. 3.

Обозначения, используемые в рис.3.

1 - блок взаимодействия входных волокон нейрона, представляющий собой $b \times b$ И логическую сеть булевых элементов.

2 - пороговый элемент нейрона.

В этом блоке происходит алгебраическое суммирование взвешенных входных сигналов, т.е. сумма равна

$\sigma = \sum_{i=1}^n w_i a_i$, где $w_i \in \{\pm 1, \pm 2, \pm 3, \dots\}$ - весовые коэффициенты ПЭ, $a_i \in \{0, 1\}$ - логическая переменная, показывающая состояние входа (сигнала) в данный момент времени, $a_i = 1$ означает, что i -й сигнал возбужден, $a_i = 0$ - не возбужден. Пороговое устройство (дискриминатор) срабатывает и на выходе элемента появляется сигнал только, если $\sigma > \Theta$ где Θ - порог нейрона. Различные типы ФН отличаются только по структуре блока 1, а структура блока 2 у всех ФН одинакова.

На нейроподобный элемент поступает набор входных сигналов x_1, x_2, \dots, x_m (или входной вектор X). Входной вектор представляет собой выходные сигналы других нейроподобных элементов. Этот входной вектор соответствует сигналам, поступающим в синапсы биологических нейронов. Каждый входной сигнал умножается на соответствующий вес связи $\omega_1, \omega_2, \dots, \omega_m$ - аналог эффективности синапса. Вес связи является скалярной величиной, положительной для возбуждающих и отрицательной для тормозящих связей.

Обычно используются простейшие нелинейные функции:

1. Бинарная

$$Y = \begin{cases} 1 & \text{при } S > 0 \\ 0 & \text{при } S \leq 0 \end{cases}$$

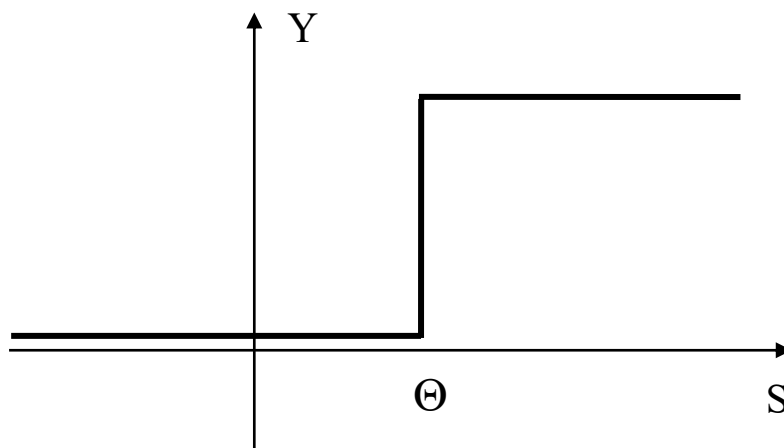


Рис.4

2. Сигмоидная

$$Y = \frac{1}{1 - e^{-(S - \Theta)}}$$

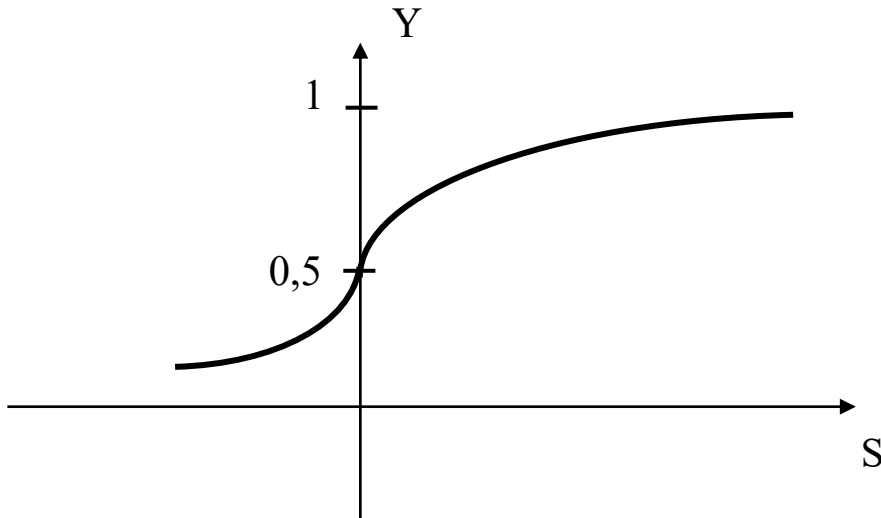


Рис.5

Взвешенные веса связей входные сигналы поступают на блок суммации, соответствующий телу клетки, где осуществляется их алгебраическая сумма и определяется уровень S возбуждения нейроподобного элемента $S(y)$

$$S = \sum_{j=1}^M \omega_j x_j$$

Выходной сигнал нейрона y определяется путем пропускания уровня возбуждения S через нелинейную функцию φ .

$$y = \varphi(S - \Theta)$$

где Θ - некоторое постоянное смещение. Построенные на основе таких простых нейроподобных элементов системы демонстрируют ассоциативные свойства, напоминающие свойства биологических систем.

Логические устройства на нейронных элементах

Построение триггеров на ФН

Функцию асинхронного RS-триггера аналитически можно описать следующим образом: $Q(t+1) = \bar{R}[S \vee Q(t)] \vee pRSQ(t)$

где $p \in \{0,1\}$: $p=1$, если $R \& S=1$, и $p=0$, если $R \& S=0$.

допустим, что в рассматриваемом триггере $R=1$, $S=1$, является запрещенной, т.е. $R \& S=0$. Тогда обозначая $R=x_1$ $S=x_2$, $Q(t)=x_3$, $Q(t+\Delta)=F$, получим

$$F = \bar{x}(x \vee x_3)$$

получаем схему триггера RS на ФН:
при $R=1$ или $S=1$ состояние нейрона изменяется.

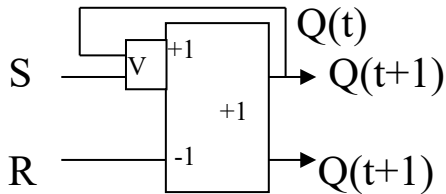


Рис. 6

3. Задание

1. Составить блок - схемы алгоритмов работы трех и пяти входового мажоритарного элемента МЭ. Входными данными для трех входового мажоритарного элемента являются переменные - x_1, x_2, x_3 , для пяти входового - a_1, a_2, a_3, a_4, a_5 . Выходная функция $Y = 1$ определяется по принципу большинства, т.е. число возбужденных входов составляет абсолютное большинство от общего числа входов. Пороговая функция θ вычисляется по формуле (1).

2. По разработанной блок-схеме алгоритма составить программу на языке высокого уровня, моделирующую работу мажоритарного элемента.

3. Составить блок - схему алгоритма работы порогового элемента ПЭ. Входными переменными X_i является вектор, принадлежащий множеству чисел: $X_i \in \{0,1\}$. Количество переменных X_i задается. Определяется массив весовых коэффициентов ПЭ, в виде матрицы W_{ij} . Значения весовых коэффициентов это натуральные числа с учетом знака.

Например:

$$W_{ij} = \begin{vmatrix} +1 & -2 & -1 \\ +2 & 0 & -1 \\ -1 & +1 & 0 \\ -2 & +2 & +1 \end{vmatrix}$$

Для задания порогового напряжения формируется одномерный

массив, элементы массива - натуральные числа со своим знаком. Количество элементов массива задается. Для примера возьмем:

$$T = \{+2, -3, +1, 0, -1\}$$

Количество строк в матрице коэффициентов связей равно количеству входных переменных X_i порогового элемента. В нашем случае 4 г.е. на вход ПЭ поступают x_1, x_2, x_3, x_4 . Для работы ПЭ необходимо из массива пороговых напряжений выбрать одно значение. Выходное значение ПЭ определяется по формулам (2) и (3). Для получения одной точки на графике нужно получить сумму произведений значений вектора X_i на значения коэффициентов связей в столбце матрицы.

$$\sum_{j=1}^4 x_i * W_{ij}$$

Затем нужно сравнить полученную сумму со значением порогового напряжения T . Для получения остальных точек необходимо перейти к следующим значениям столбцов матрицы, изменяя параметр j .

$$\sum_{j=1}^3 \sum_{i=1}^4 x_i * W_{ij}$$

Для каждого порогового значения из массива T строится график функции. Количество графиков соответствует количеству значений пороговых напряжений. Количество точек на графике соответствует количеству столбцов в матрице связей W_{ij} .

4. По разработанной блок-схеме алгоритма составить программу на языке высокого уровня, моделирующую работу порогового элемента. По заданным значениям входных величин: X_i, W_{ij}, T построить графики функций.

5. Составить блок - схему алгоритма работы нейроподобного элемента НЭ (Рис.3). Для построения логической части НЭ необходимо задать булевы функции: И, ИЛИ, НЕ, а также количество входов каждой секции логических микросхем. Для определения порогового элемента необходимо выполнить задание пункта 3. Задается множество булевых функций: $V = \{Н, ИЛИ, НЕ\}$, количество входов в каждую секцию $Н = \{2, 3, 4, 8\}$, количество секций $p = \{1, 2, 3, 4\}$. Для примера сформируем логическую часть нейрона. Выберем значения из множеств $V, Н, Р$. Из множества V выберем логическую функцию И, количество входов из множества $Н - 2$, количество секций из множества $Р - 1$. Из множества V выберем ИЛИ, количество входов сна-

чала - 2, затем - 3, количество секций - 2 в обоих случаях. Из множества V выбираем НЕ, количество входов - 1, количество секций - 1. Количество выходов из логической части соответствует количеству строк матрицы коэффициентов связи, в нашем случае - 4. Количество столбцов матрицы задается. Пороговое напряжение T выбирается из массива пороговых напряжений. На основании заданных величин формируется нейрон НЭ (рис.7).

6. По разработанной блок-схеме алгоритма составить программу на языке высокого уровня, моделирующую работу нейрона. По заданным значениям входных величин: X_i , W_{ij} , T , V , H , P разработать структуру нейрона.

7. Про моделировать (тестировать) работу элементов нейрокompьютерных систем на ПЭВМ.

8. Построить график зависимости выходной функции Y от значений входного вектора X_i .

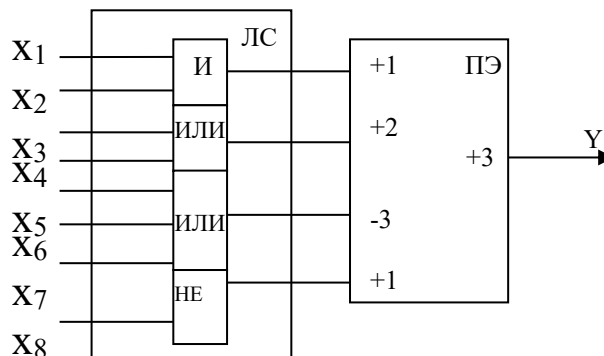


Рис. 7

4. Содержание отчета.

Отчет должен содержать:

- титульный лист;
- задание;
- алгоритм;
- текст программы;
- структуры элементов нейрокompьютерных систем;
- результаты работы программы, графики зависимости выходной функции Y от входных значений вектора X_i ;

Контрольные вопросы

1. Какую структуру имеет мажоритарный элемент МЭ.
2. Как он описывается с помощью логических функций.
3. Приведите примеры построение структурных схем на трех, пяти входных мажоритарных элементах.
4. По какой формуле вычисляется пороговое напряжение мажоритарного элемента.
5. Дайте определение пороговому элементу ПЭ. Какие функции он выполняет.
6. Какие исходные данные формируют структуру порогового элемента.
7. Как определяется пороговое напряжение порогового элемента ПЭ.
8. Как реализуются основные булевы функции на пороговых элементах.
9. Что такое нейроподобный элемент. Его основные функции.
10. Как строятся логические устройства на нейронных элементах.
11. Как формируется выходной сигнал нейрона. Укажите формулу.

Библиографический список

1. Нейрокомпьютеры и интеллектуальные роботы. Под ред. Н.М. Амосова, Киев, Наукова думка, 1991.
2. В.Д. Цыганков. Нейрокомпьютер и его применение. М., СолСистем, 1993.
3. Е.Н. Соколов, Г.Г. Вайткявичус. Нейроинтеллект от нейрона к нейрокомпьютеру. М., Наука, 1989.
4. Отчет о НИР «Принципы представления знаний в системах управления роботом». Под руководством Н.М. Амосова, Киев, 1985.
5. Ю.В. Чернухин. Микропроцессорное и нейрокомпьютерное управление адаптивными мобильными роботами. Таганрог, 1993.
6. Ю.В. Чернухин. Нейропроцессоры. Таганрог, 1994.
7. Труды третьего международного симпозиума «Интеллектуальные системы», Псков, 1998.
8. В.Ф.Венда. Системы гибридного интеллекта. М., Машиностроение, 1990
9. Л.И. Волгин. Комплементарная алгебра нейросетей. Таллин, АО КЛТК, 1993.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



проверено по учебной работе
Г. Локтионова
_____ 2017 г.

МОДЕЛИРОВАНИЕ РАБОТЫ СУММАТОРА-ВЫЧИТЕЛЯ СТАРШИМИ РАЗЯДАМИ ВПЕРЕД НА НЕЙРОНАХ

Методические рекомендации по выполнению
лабораторной работы №2 для студентов специальности 10.03.01

Курск 2017

УДК 624.042.1

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы сумматора-вычитателя старшими разрядами вперед на нейронах: методические рекомендации по выполнению лабораторной работы №2 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2017. – 23 с.: ил. 7. – Библиогр.: с. 23 .

Содержат сведения по вопросам работы сумматора-вычитателя старшими разрядами вперед на нейронах. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальности 10.03.01 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать 10.10.17 . Формат 60x84/16.
Усл.печ. л. 1,3 Уч.-изд. л. 1,2 Тираж 100 экз. Заказ 1830 Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №2

Моделирование работы сумматора-вычитателя старшими разрядами вперед на нейронах.

Цель работы: изучить структурную и функциональную схемы сумматора-вычитателя на нейронах, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы сумматора-вычитателя старшими разрядами вперед составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

Сумматор-вычитатель старшими разрядами вперед на нейронах

В современных ЭВМ операция вычитания выполняется с применением дополнительного или обратного кода (Д-код). Если было введено отрицательное число, то происходит перевод этого числа в Д-код. Признаком отрицательного числа является единица в знаковом разряде двоичного представления операнда, например 1.110110. В этом случае осуществляется перевод отрицательного числа в дополнительный или обратный код. Полученный результат также анализируется. Если получен отрицательный результат, то осуществляется перевод в Д-код. Если получен положительный результат, то перевода в Д-код не происходит. По этому алгоритму результат можно получить только после анализа знакового разряда результата. В случае ввода двух отрицательных чисел, то необходимо перевести оба числа в Д-код. Результат в этом случае также переводится в Д-код.

Известен алгоритм сложения чисел в прямых кодах. Этот алгоритм позволяет сразу получить правильный результат в прямом коде. В этом случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах.

Для получения суммы двух чисел возможны два случая:

- 1) слагаемые имеют одинаковые знаки;
- 2) слагаемые имеют разные знаки.

Алгоритм получения суммы двух чисел с одинаковыми знаками определяется следующим образом:

Алгоритм первый.

- 1) сложить два числа;
- 2) сумме присвоить знак одного из слагаемых.

Алгоритм получения суммы двух чисел с разными знаками определяется следующим образом:

- 1) сравниваются знаки слагаемых и, если они одинаковы, то выполняется сложение по первому алгоритму;
- 2) если знаки слагаемых разные, то сравниваются числа по абсолютной величине;
- 3) если есть необходимость, переставить числа местами, чтобы вычитать из большего меньшее;
- 4) произвести вычитание двух чисел;
- 5) результату присвоить знак большего слагаемого.

Этот алгоритм позволяет получить сумму-разность чисел в прямых кодах старшими разрядами вперед. После получения чисел из блока ввода операндов и перевода их в двоичную систему счисления, необходимо определить одинаковые ли знаки чисел. Определяется это с помощью операции сумматора по модулю два. Если знаки одинаковые, то результат будет нуль. В противном случае результат будет единица. После этого выбирается операция сложения или вычитания.

Может быть использовано для синтеза арифметико-логических устройств, для создания быстродействующих и экономичных цифровых устройств суммирования и вычитания чисел в прямых кодах.

В представленном сумматоре-вычитателе происходит сложение или вычитание двоичных чисел. Предлагаемый сумматор-вычитатель позволит значительно снизить аппаратные средства, что ведет к упрощению комбинационной схемы, а также значительно упростит алгоритм работы устройства.

БВЧ - блок ввода чисел служит для ввода операндов и знака операции (+ или -).

БКО - блок компарации служит для сравнения чисел А и В, если необходимо выполнить операцию вычитания.

БСВ - блок суммирования-вычитания служит для выполнения операций сложения или вычитания.

БРГБЧ - блок регистров большего числа служит для хранения первого числа в случае выполнения операции сложения или для хранения большего по модулю числа в случае выполнения операции вычитания.

БОПЗ - блок определения переноса, заема - служит для обнаружения переноса из младших разрядов в старшие при суммировании или для формирования заема из старших разрядов в младшие в случае вычитания чисел.

БРГМЧ - блок регистров меньшего числа служит для хранения второго числа в случае выполнения операции сложения или для хранения меньшего по модулю числа в случае выполнения операции вычитания.

БРГР - блок регистров результата служит для хранения суммы при сложении или разности при вычитании чисел, а также знака результата.

БУ - блок служит для управления устройством.

На рисунке 1 изображена структурная схема сумматора-вычитателя.

На рисунке 2 представлена структурная схема блока ввода чисел сумматора-вычитателя.

На рисунке 3 изображена структурная схема блока компарации двоичных чисел.

На рисунке 4 изображена принципиальная схема сумматора-вычитателя старшими разрядами вперед на нейронах.

На рисунке 5 изображена функциональная схема блока определения переноса, заема.

На рисунке 6 представлена структурная схема блока регистров результата.

На рисунке 7 представлена содержательная граф схема алгоритма работы сумматора-вычитателя.

Сумматор-вычитатель (рис. 1) содержит: блок ввода чисел, блок компарации, блок суммирования-вычитания, блок регистров большего числа, блок определения переноса или заема, блок регистров меньшего числа, блок регистров результата, блок управления, мажоритарные элементы, пороговые элементы, нейроны.

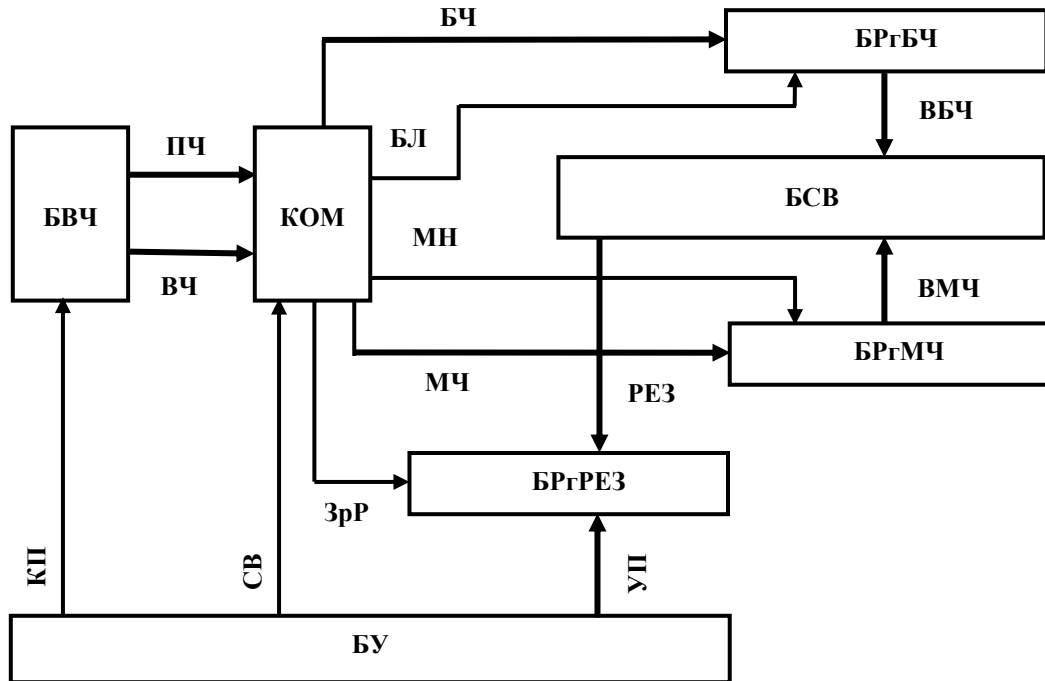


Рис. 1 Структурная схема сумматора-вычитателя

На структурной схеме приняты следующие обозначения: БВЧ - блок ввода чисел служит для ввода операндов и знака операции; КОМ - блок компарации служит для сравнения чисел А и В; БРгБЧ - блок регистров большего числа служит для хранения большего по модулю числа; БСВ - блок суммирования-вычитания служит для выполнения операций сложения или вычитания; БРгМЧ - блок регистров меньшего числа служит для хранения меньшего по модулю числа; БРгРЕЗ - блок регистров результата служит для хранения суммы или разности чисел, а также знака результата; БУ - блок служит для управления устройством.

Для описания алгоритма работы блока управления используются следующие идентификаторы.

1. ПЧ - первое число.
2. ВЧ - второе число.
3. БЧ - данные большего числа.
4. МЧ - данные меньшего числа.
5. Зн.Р - знаковый разряд результата.
6. СВ - сигнал суммы-вычитания.

7. РЕЗ - двоичные разряды результата.
8. РВ - сигнал равенства чисел, поступивший с выхода компаратора.
9. БЛ - сигнал больше, поступившей с выхода блока компаратора.
10. МН - сигнал меньше, поступившей с выхода блока компаратора.
11. УП - информационный сигнал управления, включающий в себя сигналы: обнуления, синхронизации, разрешения записи, хранения, выдачи.
12. Сдвиг - сигнал сдвига влево на один разряд информации в блоке регистров результата.
13. СЗП - сигнал запрета работы блока суммирования-вычитания.
14. ПЗ - сигнал переноса в старшие разряды или заема из старших разрядов двоичных чисел.
15. ВБЧ - выходная двоичная информация большего числа.
16. ВМЧ - выходная двоичная информация меньшего числа.
17. ЧМ - двоичные разряды меньшего числа по абсолютной величине, поступающие из блока регистров меньшего числа.
18. ЧБ - двоичные разряды большего числа по абсолютной величине, поступающие из блока регистров большего числа.
19. СУП - информационный сигнал управления работой блока регистров меньшего числа.
20. УП - информационный сигнал управления работой блока регистров большего числа.
21. СДВ - сигнал сдвига информации блока регистров меньшего числа влево на один разряд.
22. ССД - сигнал сдвига информации блока регистров большего числа влево на один разряд.
23. Зн.Р А - знаковый разряд первого числа.
24. Зн.Р В - знаковый разряд второго числа.
25. ППР - признак получения результата.
26. А_n – двоичные разряды первого числа.
27. В_n – двоичные разряды второго числа.
28. *i* - текущий номер разряда результата.
29. СБРОС - сигнал сброса (обнуления) всех комбинационных блоков сумматора-вычитателя.
30. КП – команда пуска работы сумматора-вычитателя.

31. СУР – информационный сигнал управления работой блока регистров результата.

2. Работа сумматора-вычитателя старшими разрядами вперед на нейронах заключается в следующем

Внешние управляющие сигналы "Пуск" и "Сброс" поступают в блок управления. С выхода шифратора ШД поступают в регистры большего числа и меньшего числа двоичные числа А2 и В2. На сумматоре по модулю два определяется знак результата. Если числа имеют одинаковые знаки, то вычисляется сумма чисел. Знак результату присваивается знак любого из слагаемых. Если знаки чисел разные, то проводится операция вычитания. Из большего по модулю числа вычитается меньшее. Знак результату в этом случае присваивается знак большего по модулю числа. Предлагаемое арифметическое устройство выполняет операции суммирования и вычитания старшими разрядами вперед. Определяется перенос в старшие разряды при суммировании, который необходимо учитывать при сложении чисел. Вычисляется заем из старших разрядов в младшие при вычитании.

Блок ввода чисел БВЧ (рис.2) содержит шифратор (обычная стандартная клавиатура) ШФ и сумматор по модулю два. Этот блок позволяет вводить двоичные числа. С выхода шифратора формируется двоичный код чисел со своими знаками: А2, В2, Зн.Р А, Зн.Р В. Знаковые разряды с выхода шифратора поступают на вход сумматора по модулю два. Сигнал СВ суммирования-вычитания формируется на выходе нейрона, выполняющего функцию сумматора по модулю два. Сумматор по модулю два реализуется на формальном нейроне ФН [1]. Выходной сигнал вычисляется по формуле:

$$СВ = (ЗнР А \& ЗнР В) \vee (ЗнР \bar{А} \& ЗнР \bar{В}) \quad (1)$$

Если СВ равен единице, то необходимо выполнять операцию вычитания, Если СВ равен нулю, то осуществляется операция сложения. Выходными сигналами блока ввода чисел являются двоичные коды А2 и В2, представленные в прямых кодах и признак операции СВ (рис.2).

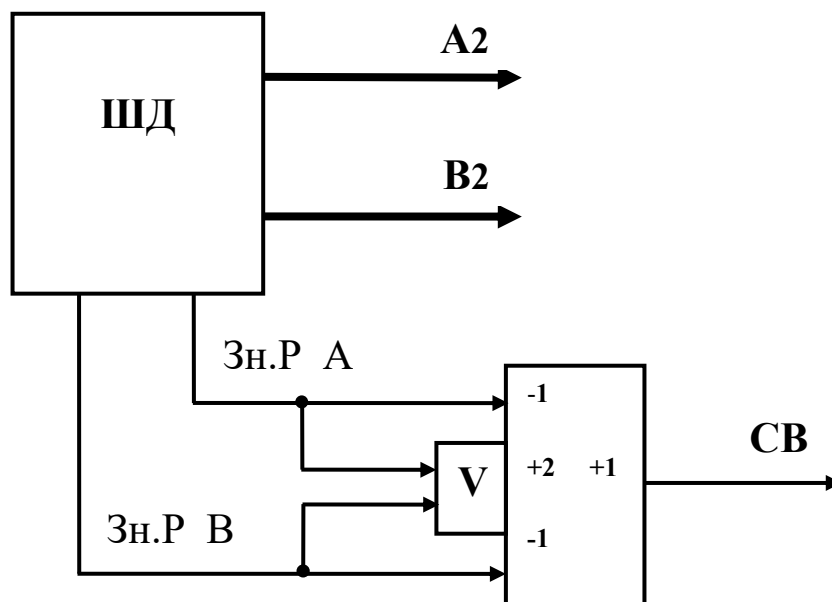


Рис.2

Блок компарации БКОМ содержит компаратор КОМ (рис.3), схемы электронных ключей (конъюнкция) с прямыми управляющими входами, схемы электронных ключей (конъюнкция) с инверсными управляющими входами, логические элементы схемы ИЛИ (дизъюнкция). Этот блок предназначен для определения большего числа по модулю. Если на вход сумматора-вычитателя поступят числа с разными знаками, то в этом случае необходимо в блок регистров большего числа записать больший по модулю операнд. В блок регистров меньшего числа загружается число меньшее по модулю. Компаратор КОМ представляет собой схему сравнения чисел. Эта схема может быть выполнена на формальном нейроне ФН [1]. На вход компаратора КОМ поступают n -разрядные числа A и B без знаковых разрядов. На выходе компаратора имеется три выхода: БЛ - число A больше B , РВ - числа A и B равны по модулю, МН - число A меньше B . Логические схемы И выполнены на формальных нейронах ФН [1]. Схема конъюнкция описывается с помощью формулы $[w_1=1, w_2=1, \dots, w_n=1; T=n-1]$, где w_1, w_2, \dots, w_n - коэффициенты усиления, а T - пороговое напряжение, n - количество входов. Схема дизъюнкция описывается с помощью формулы $[w_1=1, w_2=1, \dots, w_n=1; T=0]$, где w_1, w_2, \dots, w_n - коэффициенты усиления,

а T равно нулю - пороговое напряжение, n - количество входов. Инвертор описывается формулой $[w=-1; T=-1]$. На входы логических схем И поступает число A со своим знаком. На входы логических схем И поступает число B со своим знаком. Выходы логических схем И поступают на вход логической схемы ИЛИ. Выходы логических схем И поступают на вход логической схемы ИЛИ. Выходная информация ДБЧ логической схемы ИЛИ поступает на вход блока регистров большего числа (рис.1). Выходная информация ДМЧ логической схемы ИЛИ поступает на вход блока регистров меньшего числа (рис.1). При поступлении чисел A и B на вход компаратора, на выходе компаратора КОМ формируется отношение операндов. Если на выходе БЛ будет единица, то это означает, что число A больше B по модулю. Остальные выходы компаратора будут равны нулевому значению. Единичный выход БЛ откроет схему И через которую число A поступит на вход схемы ИЛИ. Логическая схема И будет заперта т.к. управляется инверсным сигналом. С выхода схемы ИЛИ информационный сигнал поступит в блок регистров большего числа. Логическая схема И будет открыта, через нее меньшее по модулю число B поступит на вход схемы ИЛИ. С выхода схемы ИЛИ информационный сигнал поступит на вход блока регистров меньшего числа. Если выходной сигнал МН будет равен единичному значению, что означает число B больше по модулю, чем число A . В этом случае логические схемы будут открыты и через их информационные сигналы поступят на входы схем ИЛИ соответственно. Через схему число B большее по модулю поступит на вход схемы ИЛИ, затем в блок регистров большего числа. Через схему число A меньшее по модулю поступит на вход схемы ИЛИ, затем в блок регистров меньшего числа. Если числа A и B равны по модулю и имеют равные знаки, то сигнал РВ будет равен единице, а сигналы БЛ и МН будут равны нулю. Логические схемы И с прямыми управляющими сигналами будут заперты, а схемы И с инверсными управляющими сигналами будут открыты. На логические схемы ИЛИ поступит число B . В этом случае произойдет сложение чисел B и B . Знак результата $Zн.Р$ всегда будет формироваться с выхода логической схемы ИЛИ, т.к. на выходе будет большее по модулю число.

Блок компарации БКО

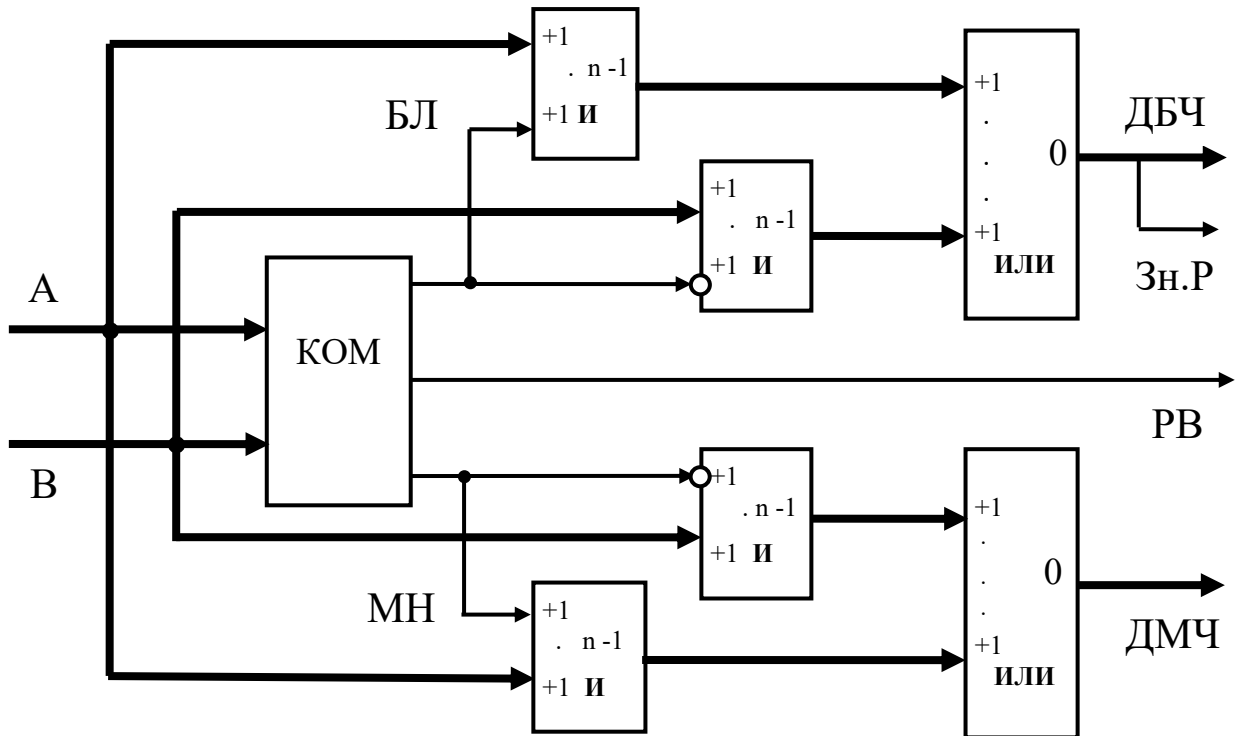


Рис.3

Блок суммирования-вычитания БСВ (рис.4) содержит сумматор по модулю два, выполненный на формальном нейроне, пороговые элементы, инверторы, логические схемы И, логическую схему ИЛИ. На пороговом элементе (ПЭ) формируется перенос при сложении или заем при вычитании. Пороговые элементы составляют сумматор [1,2]. На входы этих пороговых элементов поступают двоичные разряды чисел А и В, а также перенос ПЗ из младших разрядов в старшие (рис.4). Двоичные разряды поступают по разрядно: ЧБ - разряд большего числа, ЧМ - разряд меньшего числа, ПЗ - перенос, заем, а также признак суммирования-вычитания СВ. Пороговые элементы и образуют схему вычитателя чисел от большего меньшего. Логические элементы И выполняют роль электронных ключей. Управляющим сигналом для них является признак суммирования-вычитания СВ. На пороговые элементы этот сигнал поступает через инверторы соответственно. Если признак

операции СВ суммирования-вычитания будет равен нулю - выполнение операции суммирования, то соответствующий электронный ключ будет открыт, а остальные электронные ключи будут заперты, управляющий сигнал СВ поступает через инверторы. На выходе порогового элемента сформируется перенос из старших разрядов в следующий больший по весу разряд, если на входе этого порогового элемента будет не менее двух единиц. По приходу из блока управления БУ управляющего сигнала СЗП - сигнала запрета равного единице, этот перенос ПР будет записан через открытый электронный ключ в блок регистров результата. Разряды суммы S_i при этом с выхода порогового элемента поступать не будут, т.к. этот ПЭ будет заперт сигналом СЗП, который поступает на управляющий вход этого ПЭ через инвертор. В начале необходимо получить перенос, если он будет получен. Затем управляющий сигнал СЗП устанавливается в нулевое значение, при этом логический элемент И будет заперт, а электронный ключ будет открыт. Через его будут поступать очередные разряды суммы чисел А и В. Логическая схема ИЛИ, выполненная на пороговом элементе, выполняет собирательную функцию. Выходной сигнал РЕЗ при суммировании в начале равен только сигналу ПР - переносу, затем всегда будет равен очередному значению суммы двоичных разрядов А и В - S_i . Если признак операции СВ будет равен единице, это означает выполнение операции вычитания. В этом случае разряды разности чисел большего и меньшего будут формироваться на выходе порогового элемента и через открытый электронный ключ (схема И) и пороговый элемент (схема ИЛИ) разряды разности будут поступать на вход блока регистров результата (рис.4).

Блок регистров большего БРгБЧ числа содержит n - логических схем ИЛИ, выполненных на пороговых элементах ПЭ, n - триггеров Trn , где n - количество разрядов входного числа. Блок регистров большего числа предназначен для хранения двоичного кода большего по модулю операнда. Перед началом работы сумматора-вычитателя по приходу из блока управления информационного сигнала СУ происходит обнуление всех триггеров блока. По приходу из блока компарации информационного сигнала ДБЧ - данные большего числа осуществляется загрузка двоичного кода одного из чисел.

Сумматор-вычитатель на нейронах старшими разрядами вперед

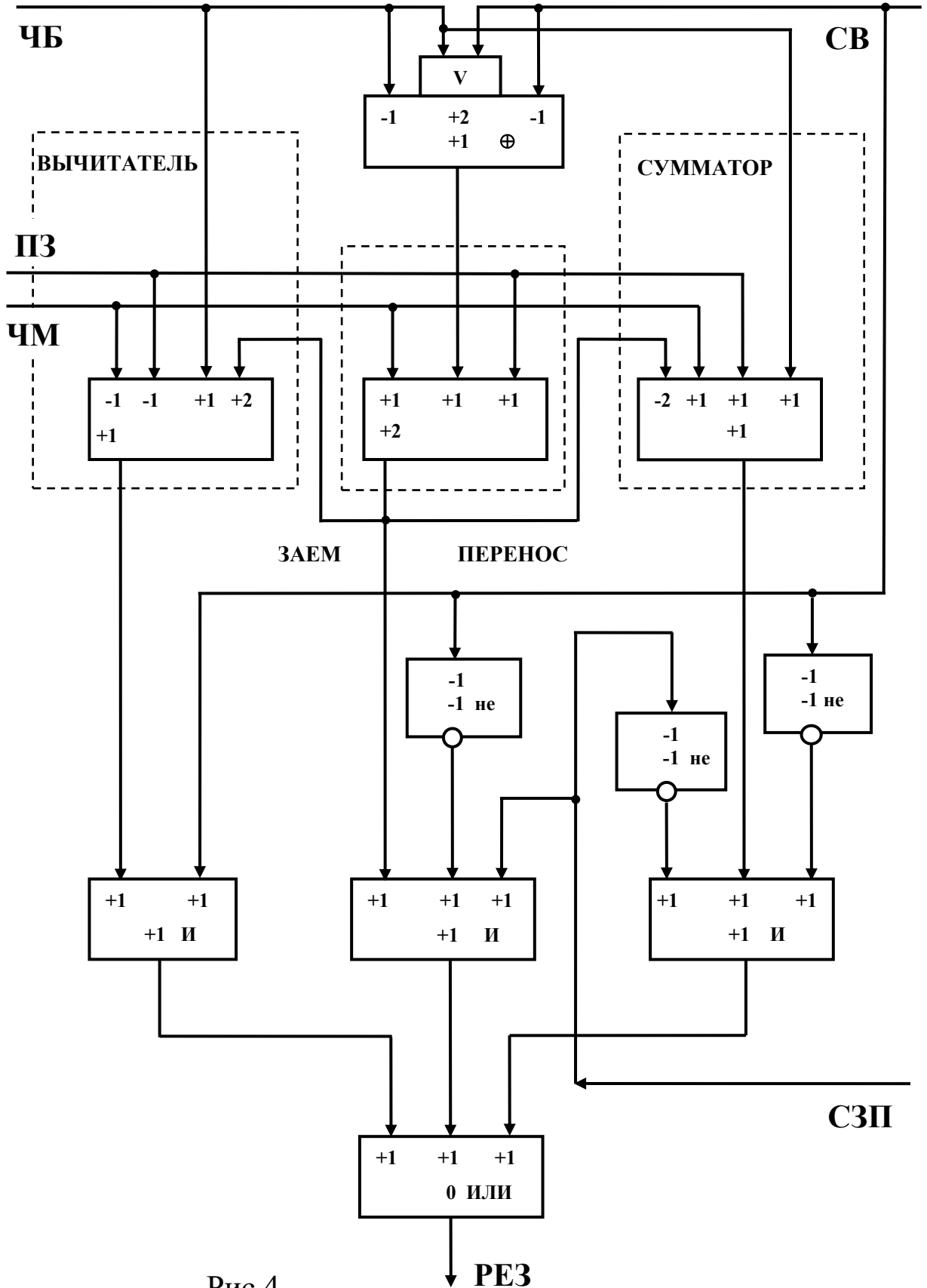


Рис.4

На первые входы логических схем ИЛИ поступают двоичные разряды большего числа. На вторые входы логических схем ИЛИ поступает информация с выходов предыдущих триггеров. Выходы логических схем ИЛИ являются входами для триггеров. При поступлении управляющего сигнала БЛ - больше на входы триггеров Тр1, Тр2, Тр3,..., Трп из блока компарации, разрешающего записать информацию в триггера, происходит загрузка поступившего кода с выходов схем ИЛИ в триггера блока. Сигнал БЛ является входным управляющим сигналом для всех элементов памяти блока. По приходу управляющего сигнала сдвига ССД из блока управления, поступающего на входы всех триггеров блока, осуществляется операция сдвига влево информации на один разряд. Двоичный код числа, записанный в триггерах будет сдвинут на один разряд влево. На выходе первого триггера Тр1 поочередно будет поступать очередной разряд числа после сигнала сдвига ССД. Триггера этого блока образуют реверсивный регистр со сдвигом информации на один разряд влево.

Блок определения переноса, заема БОПЗ (рис.5) содержит n - сумматоров по модулю два, выполненных на формальных нейронах ФН, n - мажоритарных элементов (по большинству входов) МЭ выполняющую функцию по определению переноса в старшие разряды при суммировании или заема из старших разрядов при вычитании. На первые входы сумматора по модулю два блока поступают двоичные разряды операнда из блока регистров большего числа. На вторые входы всех сумматоров блока поступает признак операции суммы-вычитания СВ. Если признак СВ равен нулю, выполнение операции сложения, то сумматоры выполняют роль повторителей. В этом случае все входные разряды в прямом коде поступают на первые входы соответствующих мажоритарных элементов МЭ блока. Если признак операции СВ равен единице, выполнение операции вычитания, то все входные двоичные коды поступают на входы мажоритарных элементов в обратном коде. В этом случае сумматоры по модулю два выполняют функцию инверторов. На вторые входы мажоритарных элементов МЭ поступает информация с выходов предыдущих мажоритарных элементов. В этом блоке используются трехвходовые мажоритарные элементы. Единица на выходе МЭ будет только тогда, когда будет большинство единиц на входе, в данном случае две или три. На третьи входы мажоритарных

элементов поступают двоичные коды из блока регистров меньшего числа в прямом коде. Выходной сигнал ПЗ будет равен единице в том случае, когда возникнет перенос из младших разрядов в старшие при сложении чисел и при возникновении заема в младшие разряды из старших при выполнении операции вычитания от большего по модулю числа меньшего (рис.5).

Блок определения переноса, заема БОПЗ

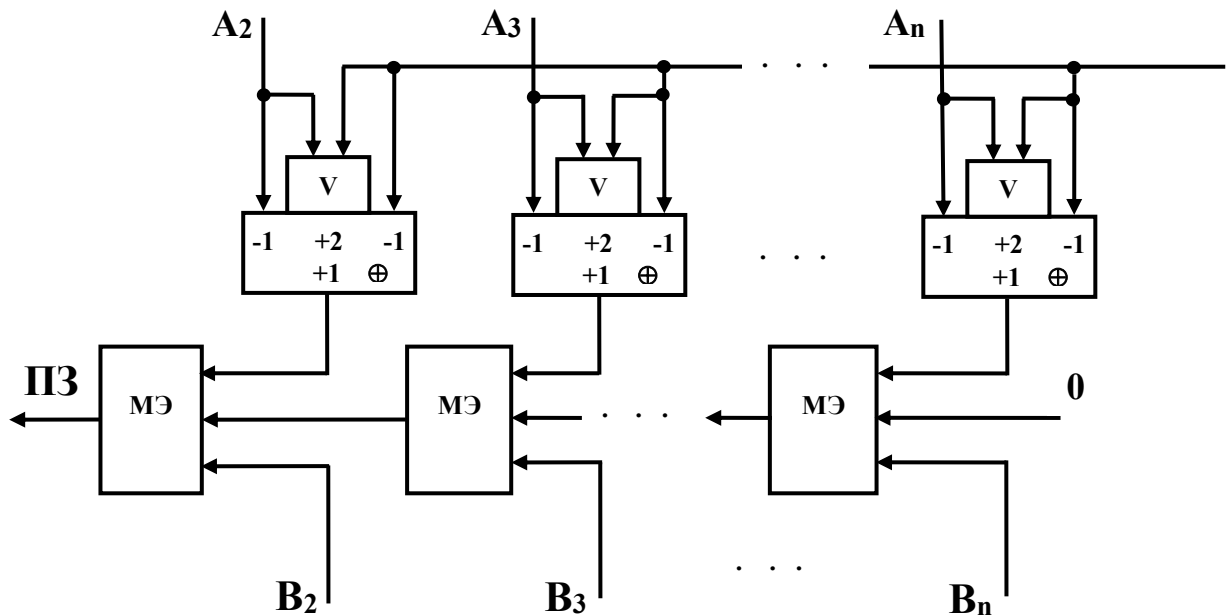


Рис.5

Блок регистров меньшего числа БРГМЧ содержит n - триггеров Tr_n , где n - количество разрядов большего входного числа, n - логических схем ИЛИ, выполненных на пороговых элементах ПЭ. Блок регистров меньшего числа предназначен для хранения двоичного кода меньшего по модулю числа. Перед началом работы сумматора-вычитателя по приходу из блока управления информационного сигнала СУП происходит обнуление всех триггеров блока. По приходу из блока компарации информационного сигнала ДМЧ - данные меньшего числа осуществляется загрузка двоичного кода числа. На первые входы логических схем ИЛИ поступают двоичные разряды меньшего числа. На вторые входы логических схем ИЛИ поступает информация с выходов

предыдущих триггеров. Выходная информация с логических схем ИЛИ являются входной для триггеров. При поступлении управляющего сигнала МН - меньше на входы триггеров Тр1, Тр2, Тр3,..., Трп из блока компарации, разрешающего записать информацию в триггера, происходит загрузка поступившего кода с выходов схем ИЛИ в триггера блока. Сигнал МН является входным управляющим сигналом для всех элементов памяти блока. По приходу управляющего сигнала сдвига СДВ из блока управления, поступающего на входы всех триггеров блока, осуществляется операция сдвига влево информации на один разряд. Двоичный код числа, записанный в триггерах будет сдвинут на один разряд влево. На выходе первого триггера Тр1 поочередно будет поступать очередной разряд числа после сигнала сдвига СДВ. Триггера этого блока образуют реверсивный регистр со сдвигом информации на один разряд влево.

Блок регистров результата БРГР (рис.6) содержит m - триггеров Тр m , где m - количество разрядов необходимое для получения результата заданной точности, для хранения двоичных разрядов результата. А также в состав блока входит триггер Тр3 предназначенный для хранения знакового разряда результата. В блоке регистров результата формируется поразрядно результат при выполнении операций сложения или вычитания. Перед началом работы сумматора-вычитателя по приходу из блока управления информационного сигнала УП происходит обнуление всех триггеров блока. Сигнал результата РЕЗ, поступающий из блока суммирования-вычитания, поступает на вход первого правого триггера Т m блока. По приходу управляющего сигнала сдвига СД из блока управления, поступающего на входы всех триггеров блока, осуществляется операция сдвига влево информации на один разряд по мере получения очередного разряда результата. Двоичный код числа, записанный в триггерах будет сдвинут на один разряд влево. Операция записи очередного разряда результата и сдвига будет осуществляться до тех пор пока не будет получен результата суммы или разности заданной точности. Полученный результата хранится в правой части триггеров, составляющих регистр для хранения суммы или разности. На вход триггера Тр3 из блока управления поступит управляющий сигнал РЗ - разрешение записи. После этого в триггер Тр3 запишется знаковый разряд результата - ЗнР (рис.6).

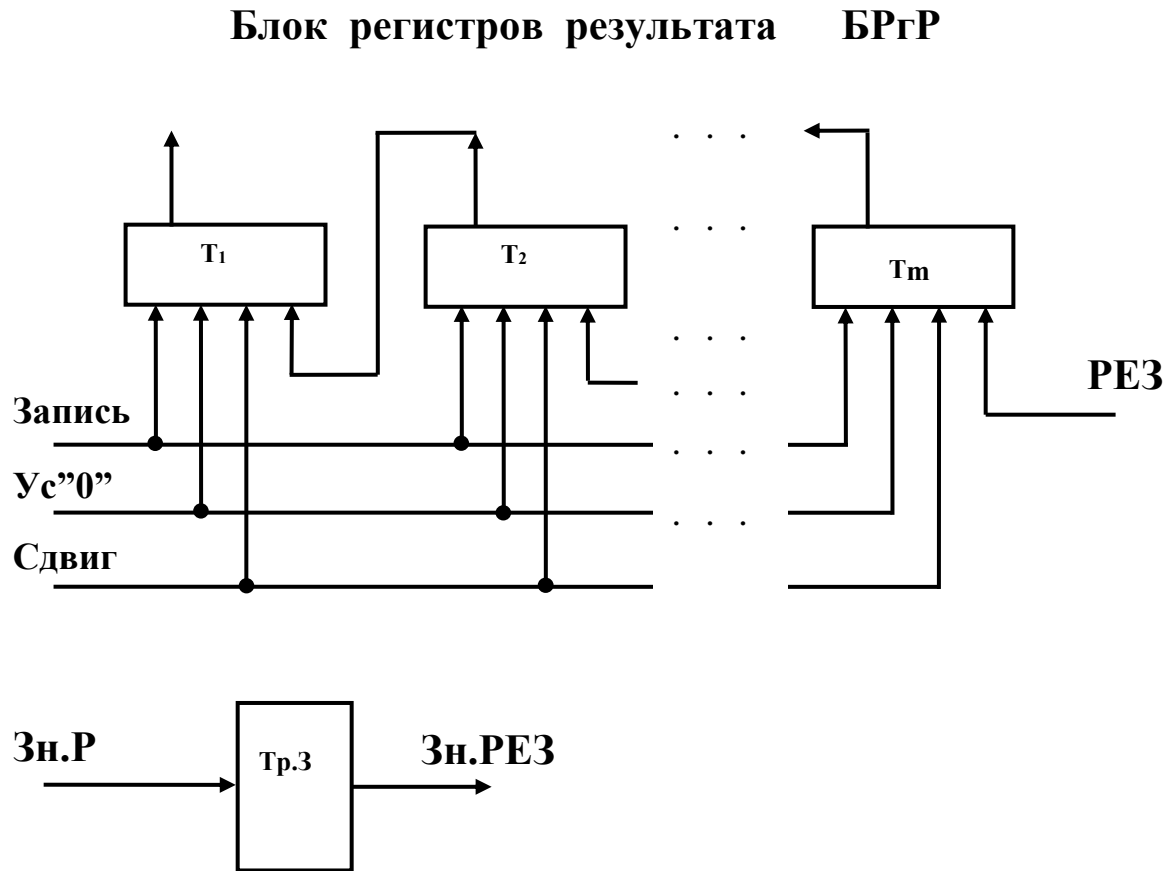


Рис.6

3. Содержательная ГСА управления приведена на рисунке 7 и отражает работу сумматора-вычитателя (рис.1)

По сигналам "У00" и "ПУСК" (блоки 2,4-граф-схемы алгоритма) происходит установка в нуль всех элементов памяти устройства, по команде "СБРОС:=1"(блок 3).

В блоке 5 алгоритма с помощью шифратора (клавиатуры) ШД осуществляется загрузка в сумматор-вычитатель чисел со своими знаками. Шифратор преобразует нажатие кнопки клавиатуры в двоичный эквивалент числа.

В блоке 6 алгоритма по командам: БКО:=А2, БКО:=В2 происходит подача на вход блока компарации чисел А и В в двоичной системе счисления. По операции суммы по модулю два определяется признак операции СВ - сумма или разность. По команде СВ:=Знр.А + Знр.В.

Если $CB=0$, то это означает выполнение суммы чисел. Если $CB=1$, то это выполнение операции разности между числами.

В блоке 7 алгоритма на вход компаратора КОМ подаются числа А и В в двоичной системе счисления. По командам: КОМ:=А, КОМ:=В. По команде БРГР:=ЗнР в блок регистров результата БРГР подается знак результата.

В блоке 8 алгоритма анализируется выход из компаратора. Отношения между числами могут быть: БЛ больше, когда $A > B$, МН меньше, когда $A < B$ или числа равны РВ. Если числа не равны - выход НЕТ, то осуществляется переход на блок 12 алгоритма. Если числа равны - выход ДА, то происходит переход на блок 9 алгоритма.

В блоке 9 алгоритма анализируется знак (+ или -) результата ЗнР. Если знак равен единице, то это означает разность двух равных по модулю чисел. Результат в этом случае равен нулю. Если знак результата равен нулю, то это означает сумму двух равных по модулю чисел, знак результата будет равен знаку одного из слагаемых.

В блоке 10 алгоритма в блоке регистров результата БРГР в регистр результата записывается нулевое значение по команде БРГР:=0. Перед началом работы сумматора-вычитателя необходимо установить все триггеры регистра в нулевое состояние.

В блоке 11 алгоритма по командам: БРГБЧ:=В, БРГМЧ:=В осуществляется загрузка в регистры блоков большего числа БРГБЧ и меньшего числа БРГМЧ числа В. Это означает, что на вход компаратора поступили равные по модулю числа и с равными знаками. Происходит сложение по модулю чисел.

В блоке 12 алгоритма происходит анализ выходного сигнала компаратора КОМ на отношение больше или меньше, числа в этом случае не равны. Если число А больше числа В, то сигнал БЛ равен единице - выход ДА. Если число А меньше В, то сигнал БЛ равен нулю, в этом случае сигнал МН равен единице выход НЕТ. В этом случае осуществляется переход на блок 14 алгоритма.

В блоке 13 алгоритма по команде БРГБЧ:=А осуществляется загрузка большего числа А в регистр блока регистров большего числа. По команде БРГМЧ:=В число меньшее по модулю В загружается в регистр блока регистров меньшего числа БРГМЧ.

В блоке 14 алгоритма по команде $\text{БРГБЧ}:=\text{В}$ осуществляется загрузка большего по модулю числа В в регистр блока регистров большего числа. По команде $\text{БРГМЧ}:=\text{А}$ число меньшее по модулю А загружается в регистр блока регистров меньшего числа БРГМЧ .

В блоке 15 алгоритма анализируется признак операции СВ - сумма или разность. Если признак СВ равен нулю, то это означает, что числа А и В имеют одинаковые знаки. В этом случае будет выполнена операция сложение между слагаемыми. Если признак СВ равен единице, то знаки чисел разные, в этом случае будет выполнена операция вычитание из большего по модулю числа меньшего.

В блоке 16 алгоритма по командам: $\text{БОПЗ}:=\text{ВБЧ}$, $\text{БОПЗ}:=\text{ВМЧ}$ в блок определения переноса, заема БОПЗ поступают числа из блоков регистров большего БРГБЧ и меньшего числа БРГМЧ для определения переноса из младших разрядов в старшие при сложении или для определения заема из старших разрядов в младшие при вычитании. По команде $\text{СЗП}:=1$ происходит отпирание электронного ключа блока суммирования вычитания для передачи переноса ПР из старших разрядов чисел А и В в блок регистров результата БРГР .

В блоке 17 алгоритма по команде $\text{БРГР}:=\text{ПР}$ в блок регистров результата записывается полученный перенос ПР из старших разрядов чисел.

В блоке 18 алгоритма по команде $\text{СЗП}:=0$ происходит запираение электронного ключа по передаче переноса ПР из старших разрядов, подачей на управляющий вход нулевого значения.

В блоке 19 алгоритма по командам: $\text{БОПЗ}:=\text{not}(\text{ВБЧ})$, $\text{БОПЗ}:=\text{ВМЧ}$ происходит подача в блок определения переноса, заема БОПЗ инверсных значений большего по модулю числа $\text{not}(\text{ВБЧ})$ из блока регистров большего числа БРГБЧ и прямых значений меньшего числа ВМЧ из блока регистров меньшего числа БРГМЧ для осуществления операции вычитания между числами.

В блоке 20 алгоритма по командам: $\text{БСВ}:=\text{ЧБ}$, $\text{БСВ}:=\text{ЧМ}$, $\text{БСВ}:=\text{ПЗ}$ осуществляется подача очередных разрядов большего числа - ЧБ , меньшего числа - ЧМ , а также переноса, заема - ПЗ для сложения-вычитания операндов на вход блока суммирования-вычитания БСВ .

В блоке 21 счетчик количества разрядов результата устанавливается в нулевое состояние $i:=0$.

В блоке 22 алгоритма анализируется признак получения разрядов результата ППР. Если все разряды суммы или разности получены - выход ДА, то осуществляется переход на 27 блок алгоритма. Если не все разряды получены - выход НЕТ, то формируется цикл для получения очередных разрядов результата. Процесс сдвига влево на один разряд двоичных чисел в регистрах устройства продолжается.

Блоки 23 - 26 алгоритма образуют цикл получения всех разрядов результата. Целая часть получается всегда. Дробная часть формируется по мере задания точности результата - количества разрядов после запятой. Точность результата задается пользователем. При получении дробной части результата применяется операция округления, а затем усечения результата.

В блоке 23 алгоритма по команде БРГР:=РЕЗ происходит запись очередного разряда результата в блок регистров результата БРГР. При этом осуществляется сдвиг информации влево на один разряд по приходу управляющего сигнала из блока управления.

В блоке 24 алгоритма по командам: БРГБЧ:=ССД, БРГМЧ:=СДВ из блока управления БУ подаются сигналы сдвига влево ССД и СДВ на входы регистров блоков большего числа и меньшего числа. Подача осуществляется для сдвига информации регистров на один разряд влево для получения следующего разряда результата.

В блоке 25 алгоритма по команде БРГР:=СД подается сигнал сдвига влево информации на один разряд - СД, на вход регистра результата блока регистров результата БРГР из блока управления БУ. Сигнал подается для записи очередного разряда результата.

В блоке 26 алгоритма счетчик i увеличивается на единицу $i:=i+1$. При выходе из блока 26 осуществляется переход на блок 22 алгоритма, где вновь происходит проверка признака - ППР получения всех разрядов результата.

В блоке 27 алгоритма по команде ТрЗ:=ЗнР осуществляется запись знакового разряда результата в триггер ТрЗ блока регистров результата БРГР. По команде БРГР:=РЕЗ происходит запись окончательного результата РЕЗ в блок регистров результата БРГР.

Блок 28 алгоритма является конечным блоком алгоритма.

БЛОК-СХЕМА АЛГОРИТМА СУММАТОРА-ВЫЧИТЕЛЯ

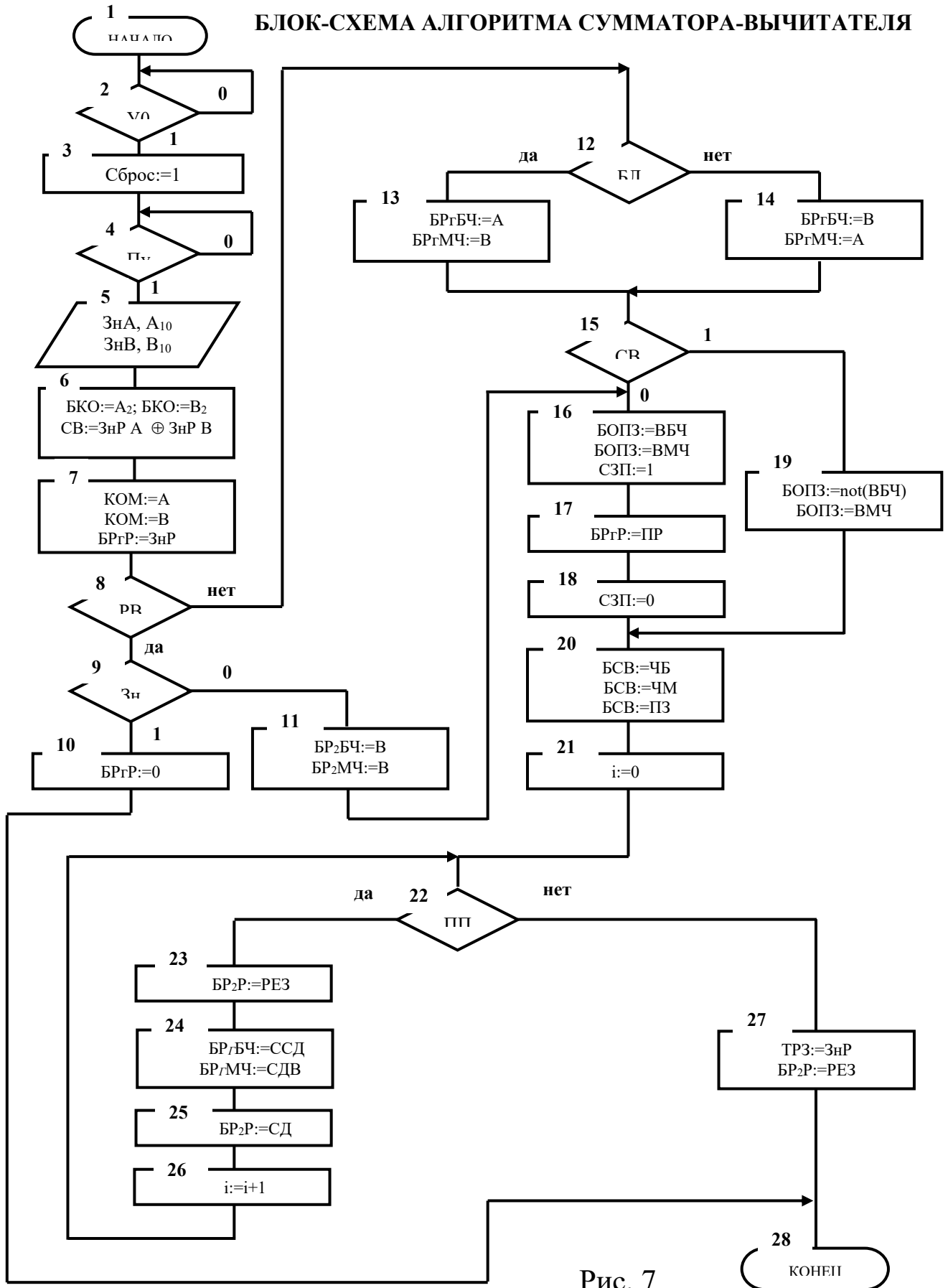


Рис. 7

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему сумматора-вычитателя;
- блок-схему алгоритма работы сумматора-вычитателя;
- схему программы;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Какую структуру имеет сумматор-вычитатель. Назовите основные блоки устройства.
2. Как определяется перенос и заем из старшего разряда большего числа.
3. Укажите формулу, по которой определяется сигнал суммы-вычитания СВ.
4. По какой формуле вычисляется пороговое напряжение мажоритарного элемента, определяющего переносы в старшие разряды при выполнении операции суммирования и заемы из старших разрядов в младшие при выполнении операции вычитания.
5. Какую функцию выполняет компаратор КОМ устройства.
6. Как происходит определение большего и меньшего числа при выполнении операции вычитания.
7. Как определяется пороговое напряжение порогового и мажоритарного элементов.
8. Как реализуются основные булевы функции на пороговых и мажоритарных элементах.
9. Как реализовать сумматор по модулю два на нейроподобном элементе.
10. Укажите основные блоки и функции сумматора-вычитателя на нейронах старшими разрядами вперед.
11. Как формируется знаковый разряд результата.
12. В каком блоке устройства хранится результат операции суммирования или вычитания.

Библиографический список

1. Уоссермен Ф. Нейрокомпьютерная техника. – М.: Мир, 1992 г.
2. Мкртчян С.О. Проектирование логических устройств ЭВМ на нейронных элементах. - М.: Энергия, 1977 г.
3. Дертоузос М. Пороговая логика. - М.: Мир, 1967 г.
4. Вавилов Е.И. и др. Синтез схем на пороговых элементах. - М.: Сов. радио. 1970 г.
5. Галушкин А.И. Синтез многослойных схем распознавания образов. М.: Энергия, 1974 г.
6. Позин И.В. Моделирование нейронных структур. - М.: Наука, 1970 г

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



Преподседатель по учебной работе
Г. Локтионова

_____ 2017 г.

МОДЕЛИРОВАНИЕ РАБОТЫ АССОЦИАТИВНОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА

Методические рекомендации по выполнению
лабораторной работы №3 для студентов специальности 10.03.01

Курск 2017

УДК 624.042.1

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы ассоциативного запоминающего устройства: методические рекомендации по выполнению лабораторной работы №3 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2017. – 23 с.: ил. 6, табл. 2. – Библиогр.: с. 23 .

Содержат сведения по вопросам работы ассоциативного запоминающего устройства. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальности 10.03.01 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать 10.11.17 . Формат 60x84/16.
Усл.печ. л. 1,3 Уч.-изд. л. 1,2 Тираж 100 экз. Заказ. 1829 Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №3

Моделирование работы ассоциативного запоминающего устройства (АЗУ)

Цель работы: изучить структуру ассоциативного запоминающего устройства (АЗУ), режимы записи, считывания информации, методы адресации. По структурной схеме создать модель ассоциативно-запоминающего устройства (АЗУ), выполняющего поисковые операции, применяя известные методы адресации информации.

Задача: По представленной структуре ассоциативного запоминающего устройства (АЗУ) разработать блок-схемы алгоритмов, перевода ключевых слов в числовую форму, а также осуществляющих поисковые операции и моделирующие преобразование числовых значений в набор хеш-адресов. Протестировать программы на языке высокого уровня.

1. Теоретическая часть

Ассоциативная память - это массив ограниченного размера из строк памяти. Строка памяти содержит адрес A , данные D и надежность R . Рассмотрим только битовую (логическую) память. Она устроена несколько сложнее, чем аналоговая. Адрес и данные характеризуются количеством бит или байт, а надежность - это число от 0 до 1. При записи новая строка ADR заносится на место одной из наименее надежных строк. Ассоциативная память характеризуется тем, что чтение из нее возможно, даже если в ней нет строки с нужным адресом A . Результат чтения из памяти есть вероятностная сумма всех данных, рассчитанная по их надежности R и близости адреса A к заданному адресу. Можно определять близость адреса сортировкой. Можно по количеству отличающихся бит или байт.

Каждый несовпадающий бит в адресе A_k снижает вес W_k (например, вдвое). В итоге веса используются для определения вероятности того, что соответствующий бит данных D совпадет с битом данных D из строки k .

Наличие ассоциативной таблицы перекодировки (памяти) в нейроне создает два уровня обобщения. Первое обобщение возникает внутри нейрона при совпадении строк памяти. В этом случае мы повышаем надежность одной из строк и снижаем до 0 надежность

второй, переводя ее, таким образом, в резерв для новых данных. Поскольку одна таблица может использоваться несколькими нейронами, второе обобщение возникает при совпадении таблиц. Тогда одна из них становится общей и для нее повышается надежность, а вторая переходит в резерв для проверки других общих таблиц. Если резерв таблиц становится слишком большим, можно добавить новые (скрытые) нейроны. Это должна позволять топология сети.

Как только дело доходит до программирования, становится ясно, как долго будет думать однопроцессорная нейронная сеть. Ведь для получения выходных данных от одного нейрона нужно использовать всю ее память полностью.

Для поиска двух совпадающих строк в таблице нужно выполнить двойной цикл по строкам. Для поиска совпадающих таблиц в сети нужен двойной цикл по таблицам. Поэтому алгоритм должен быть очень эффективным. Например, надо сразу отказаться от числа входов, выходов, размера таблиц и т.д. не кратных 8. Нейрон должен иметь минимум 1 байт на выходе и 2 байта на входе (если нет внутренней обратной связи). Таблица перекодировки должна иметь размер в 256 или 256x256 байт. Другие значения неудобны для быстрой обработки. Передача данных между нейронами тоже должна выполняться байтами, а не битами. То есть, все 8 входных бит одного нейрона должны принимать информацию от 8 выходных бит другого нейрона. Байты не расщепляются. Логически, это не имеет значения, а расчет ускорится. Тем не менее, выбор и сравнение данных между ассоциативными строками происходит побитно. Для ускорения можно не делать полные циклы. Поскольку ассоциативная таблица перекодировки не полна, то нейрон может "терять" входную информацию от датчиков общения с внешним миром. Чтобы сгладить потери, надо подавать (дублировать) входную информацию сразу нескольким нейронам.

В настоящее время можно выделить два основных подхода к проблемам ассоциативной памяти.

Первый из них, распространенный среди разработчиков ВТ, заключается в создании новых принципов организации и/или управления памятью, именуемых адресацией по содержанию, согласно которым поиск информации осуществляется исходя из ее содержания, а не по месту ее расположения в памяти.

Второй подход является более абстрактным: память трактуется как некоторое семантическое представление знаний, описываемое с

помощью реляционных структур. Обстоятельства, способствующие развитию запоминающих устройств с адресацией по содержанию.

Человечество столкнулось с проблемой "информационного взрыва". Для ее решения предлагалось ввести такую систему хранения документов и данных, которая основывалась бы не на их нумерации, а на формировании "ассоциации". В связи с изобретением в 1955-1960гг. адаптивных или обучающихся устройств, в том числе перцептронов, высказывались предположения о возможности воспроизведения интеллектуальных функций и создания систем, основанных на принципах самоорганизации. Первоначально перцептронные системы именовались "ассоциативными".

Вследствие выяснилось, что эффективность обработки информации в указанных системах была недостаточна для практического воплощения искусственного интеллекта. Ввиду этого было признано для реализации информационных процессов средства, предоставляемые машинными языками высокого уровня.

Ассоциативное запоминающее устройство

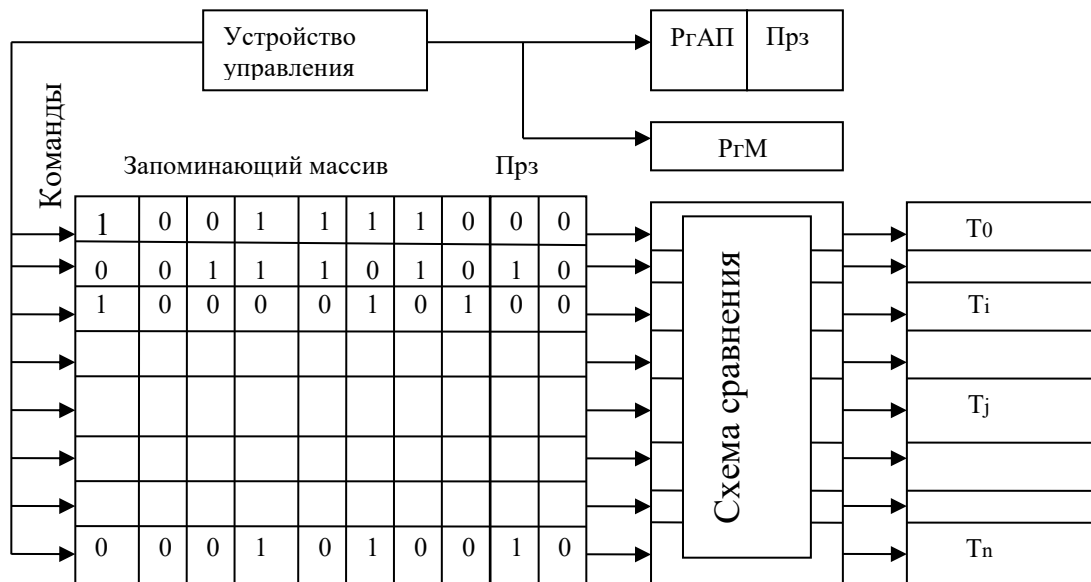


Рис. 1. Ассоциативное запоминающее устройство

В состав ассоциативного запоминающего устройства (АЗУ) входят:

- запоминающий массив;
- регистр ассоциативных признаков Рг АП;
- регистр маски Рг М;
- регистр индикаторов адреса со схемами сравнения на входе.

Операция записи в АЗУ производится с учетом следующих

правил:

1. При записи не указывается номер ячейки.
2. Один из разрядов каждой ячейки используется для ее занятости. Если ячейка свободна, признак занятости (Прз) равен нулю, занята - 1.
3. При записи новой информации $Прз=0$ в соответствующем разряде РГАП и определяет все свободные ячейки. В одну из этих ячеек устройство управления (УУ) помещает новую информацию.

Выборка из АЗУ производится следующим образом:

1. Из устройства управления (УУ) в РГАП передается код признака искомой информации. Код - произвольное число разрядов от 1 до m .
2. Код поступает на схему сравнения, если он используется полностью.
3. Если необходимо использовать часть кода, то разряды маскируются с помощью РГМ.
4. Перед работой все разряды регистра индикаторов адреса устанавливаются в 1. После этого производится опрос первого разряда всех ячеек (строк) запоминающего массива, их содержимое сравнивается с содержимым РГАП. Если первый разряд i -той ячейки не совпадает с содержимым РГАП, то соответствующий этой ячейке разряд регистра индикатора адреса сбрасывается в 0, если содержимое ячейки и РГАП совпадают, то данный разряд остается равным 1. Операция сравнения повторяется с остальными строками до тех пор, пока не будет произведено все сравнение с РГАП. В результате сравнения останутся равными 1 те регистры индикаторов адреса, которые соответствуют ячейкам, содержащим информацию, совпадающую с записанной в РГАП.

1.1 Основные определения и концепции

Память с адресацией по содержанию (ПАС) называется запоминающее устройство, состоящее из ячеек, а которых хранятся данные. Выборка и загрузка в эти ячейки производится в зависимости от содержащейся в них информации. Процессором с адресацией по содержанию называется адресация по содержанию память, которая допускает выполнение сложных преобразований информации: последняя хранится в некоторой совокупности ячеек, выбираемых в соответствии с их содержанием.

Рассмотрим вариант ПАС. ПАС состоит из двух частей: справочника и памяти данных (рис.2). Подобная конфигурация допускает только сравнение ключевой информации (ключевое слово) одновременно со всеми словами, записанными в справочнике. Каждая ячейка справочника представляет собой регистр, рассчитанный на хранение одного слова. Он дополнен специальными комбинационными логическими схемами, которые предназначены для сравнения содержимого регистра с ключевым словом, поступающим одновременно на вход всех ячеек. В каждой ячейке имеется выходная линия, которая возбуждается при совпадении записанного в ней слова с ключевым.

Возбуждение может затронуть не более одной линии. Память данных представляет собой обычную память произвольного доступа с линейной выборкой. Выходные шина справочника выполняют функцию адресных линий, следовательно, необходимость в дешифраторе адреса отпадает. Время срабатывания (время доступа к ПАС) составляет 50 нс.

Особое значение для массовой обработки информации имеет базовая операция ПС. На основе этой операции строятся параллельные процессоры наиболее известного класса - ассоциативные параллельные процессоры (АПП). Большое внимание, уделяемое АПП, объясняется, во-первых, сравнительной простотой аппаратной реализации поиска по совпадению, а, во-вторых, тем, что существуют достаточно эффективные алгоритмы, основанные на использовании этой операции.

В процессе развития АПП при разработке методов массовой обработки создавались алгоритмы для решения как информационно-логических, так и вычислительных задач. Рассмотрим массовые операции поиска.

Аргументами каждой операции поиска служат массив информации, элементами которого являются двоичные слова (строки), и одна или две специальные двоичные кодовые комбинации, определяющие условия поиска. Результат операции поиска - некоторое подмножество элементов исходного массива (строк), в которое входят все элементы, удовлетворяющие заданному условию поиска.

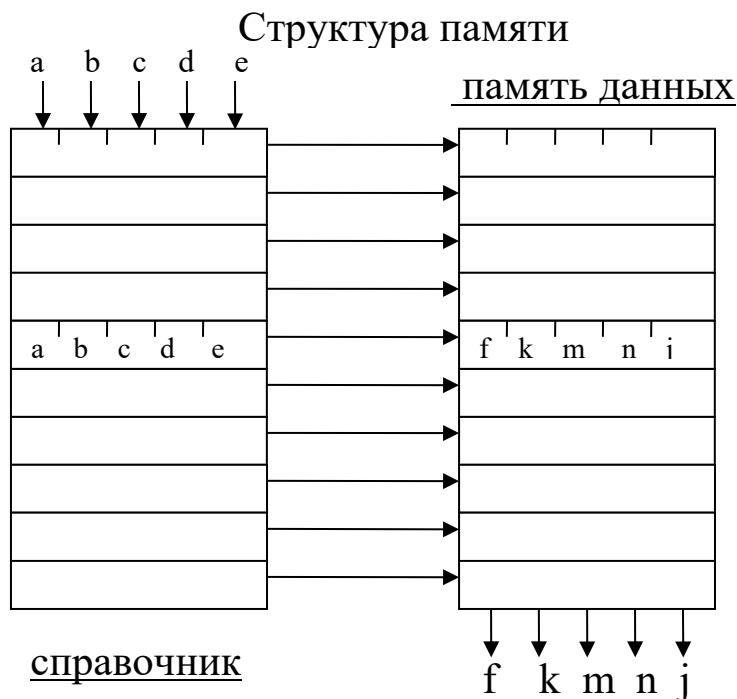


Рис.2 Структура памяти с адресацией по содержанию (ПАС)

Поиск ведется не по всему элементу массива информации, а по некоторой его части (полю), называемой признаком. Перечислим основные операции поиска:

1. Поиск по совпадению. Задается некоторая кодовая комбинация - эталон X . Результат - все элементы, признаки которых A_i совпадают с эталоном.

2. Поиск по интервалу. Задаются эталоны X_B и X_H , соответствующие верхней и нижней границами интервала. Результат - все элементы, признаки которых A_i (в данном случае они должны рассматриваться как числа) удовлетворяют условию $X_h > A_i > X_b$ (либо $X_h < A_i < X_b$).

3. Поиск всех больших. Если задан только эталон, соответствующий нижней границе, то операция сводится к поиску всех элементов, признаки которых больше (не меньше) эталона $A_i > X_b$ ($A_i \geq X_h$).

4. Поиск всех меньших. Если задан только эталон, соответствующий верхней границе, то операция сводится к поиску всех элементов, признаки которых меньше (не больше) эталона $A_i > X_b$ ($A_i \geq X_h$).

5. Поиск ближайшего числа. Задается эталон X . Признаки и эталон рассматриваются как числа. Результат операции - элемент, признак которого A отличается от X меньше, чем признаки всех других элементов. Иначе говоря, абсолютная величина разности $\Delta = X - A_i$ минимальна.

6. Поиск максимума, если в качестве эталона X выбрать число, большее чем максимально возможное значение признака.

7. Поиск минимума, если эталон X меньше, чем минимально возможное значение признака.

2. Хеширование

Идея хеширования заключается в том, что элемент данных заносится в память по адресу, который легко вычислить, зная содержимое ключевого слова, присвоенного этому элементу.

Хеширование является самым быстродействующим из известных методов программного поиска. Данный метод весьма удобен тем, что не требует никакого упорядочивания, ни сортировки ключевых слов. Недостатком этого метода является то, что расходуется несколько больше памяти, нежели при использовании других методов поиска.

На выбор ключевых слов не накладывается практически никаких ограничений. В качестве ключевых можно использовать обычные имена или произвольные числовые коды, причем к ним не требуется добавлять какие-либо контрольные ветки или символы. Длина ключевых выбирается произвольно. В вычислениях участвует обычно несколько первых символов.

Преобразование ключевых слов в допустимые адреса памяти выполняется с помощью некоторой функции хеширования. Содержимое ключа мы обозначим через K , а число $h(K)$ назовем вычисленным адресом или хеш-адресом. Если двум различным ключам, K_1 и K_2 , соответствуют одинаковые адреса $h(K_1) = h(K_2)$, то говорят, что возникла коллизия (конфликт). Коллизии всегда устраняются одним и тем же способом - по вычисленному или резервному адресу. Процесс формирования хеш-функции включает обычно два этапа: выбор способа перевода ключевых слов в числовую форму; выбор алгоритма преобразования числовых значений в набор хеш-адресов.

2.1 Программная реализация

Имя в памяти хранится в виде двоичного кода, ему можно сопоставить некоторое число. На практике адрес всегда намного уже того диапазона чисел, в который преобразуются все имена.

Необходимы какие-то способы сжатия.

Пример.

Численное значение имени определяется его двумя первыми буквами

(31 буква русского алфавита)

$31^2 = 961$ различных комбинаций из двух букв.

Пусть А = 0, Б = 1, ... Я = 33

каждой паре букв присваивается целое число, записанное по основанию 33.

Пример.

$$БА = 1 * 33^1 + 0 * 33^0 = 33$$

Вычисление адреса преобразования в с/с 33.

Если конфликт, то необходимо подобрать такую резервную ячейку, которую можно было бы легко отыскать. Следующую пустую ячейку.

Перевод ключевых слов в числовую форму

Всякая информация, вводимая в ЭВМ, должна быть закодирована. Чаще всего для этой цели используется код ASCII (Американская стандартная кодировка), в которой все символы представлены восемью двоичными цифрами (битами), образующими один байт. При проведении арифметических преобразований это число выступает в качестве основания системы счисления.

Предположим, что имеется алфавит, в котором каждому символу i согласно некоторому правилу поставлен в соответствие номер $d_i \in \{0, 1, 2, \dots, w-1\}$. Тогда строку, образованную из этих символов и записанную в форме $k = d_N d_{N-1} \dots d_1 d_0$ можно рассматривать как представление некоторого целого числа в системе с основанием w .

Его значение определяется по формуле

$$v = \sum_{i=0}^N d_i w^i$$

Метод деления

Предположим, что хеш-адрес должен целиком занимать область памяти $B \dots B+N$, располагаясь в ней последовательно.

Функцию хеширования $h(v)$ можно определить как

$$h(v) = v \bmod H + B$$

где $v = v(K)$ - числовое представление ключа, $[(v \bmod A)]$ - остаток от деления v на A

Метод деления является наиболее распространенным методом вы-

числения хеш-функций. Но H - задается как константа и число нечетное. Длина таблицы не должна выражаться степенью основания, по которому производится перевод ключей в числовую форму.

Длина таблицы - простое число (25, 27, 31). Особое внимание, когда размер таблицы хеширования является степенью основания машинной системы счисления ($n=2,10$).

При этом

$$\underline{v \bmod H = d_N d_{N-1} \dots d_1 d_0}$$

$d_N d_{N-1} \dots d_1 d_0$ - младшее значение цифры в машинном представлении v . Они объединяются с B и задают хеш-адрес.

Помнить, что преобразование ключевых слов в числовую форму должно производиться по основанию, не равному степени основания c/s , которая реализуется в применяемой ЭВМ.

Метод извлечения битов

Один из старейших методов и самый простой. Ключевое слово рассматривается как битовая строка. Двоичное число, соответствующее хеш-адресу, образуется просто путем сцепления нужного количества битов, извлекаемых из определенных позиций внутри указанной строки. Число таких битов должно быть достаточным для адресации всех элементов таблицы хеширования:

(1 и 0) должны появляться с приблизительно равной частотой.

Битовую строку условно делят на сегменты (двоичное кодирование). Отбирают хеш-адрес тот, в котором цифры распределяются наиболее равномерно.

Метод квадрата

В соответствии с этим методом числовое значение ключевого слова v возводится в квадрат, после чего биты хеш-адреса извлекаются из средней части результата.

Необходимо проверять, не содержит ли величина v чрезмерное количество нулей.

При реализации тех же операций поиска в универсальной ЭВМ каждая из них обычно представляет собой процедуру, для которой составляется стандартная программа. В связи с этим рассматриваемые процессоры можно назвать аппаратными процедурными модулями.

В отличие от традиционных ЭВМ здесь элементарными операциями являются групповые, массовые обработки. Так, при упорядочении массива в универсальной ЭВМ основной операцией является

сравнение двух чисел, а в системе, использующей специализированные процессоры, в качестве основной можно применить, например, такую мощную базовую операцию, как поиск максимального числа в массиве. Этим и определяется высокая эффективность обработки.

2.2 Процессор, ориентированный на операцию поиска максимума

Рассмотрим двумерную однородную структуру размером $N \times m$ (рис.3), в запоминающих элементах которой записаны m -разрядные признаки N элементов обрабатываемого массива таким образом, что каждый признак занимает одну строку матрицы, а одноименные разряды всех признаков расположены в одноименных столбцах матрицы (старшие разряды—слева).

Для поиска максимума используется известный алгоритм по-разрядного сравнения всех признаков, который состоит в следующем:

1-й шаг. Просматривается содержимое запоминающих элементов левого (первого) столбца, т. е. старшие разряды всех N признаков. Если все эти разряды содержат нули, то на следующем шаге просматриваются вторые разряды всех N признаков. Если же в первом столбце имеются как нули, так и единицы, то на втором шаге просматриваются только те признаки, которые имели в первом разряде единицы.

j -й шаг. Просматривается содержимое запоминающих элементов j -го столбца (j -е разряды признаков) в тех строках, которые были выделены на $(j-1)$ -м шаге. Если все эти разряды содержат нули, то на следующем шаге просматриваются $(j+1)$ -е разряды тех же самых строк. Если в просматриваемых на j -м шаге запоминающих элементах имеются как нули, так и единицы, то на $(j+1)$ -м шаге просматриваются только строки, соответствующие единицам. Выделенное на последнем (m -м) шаге подмножество строк (в частном случае - одна строка) содержит максимальные признаки.

Покажем, как можно реализовать описанный алгоритм с помощью двумерной итеративной сети с двумя направлениями распространения межэлементных сигналов.

В горизонтальном направлении необходимо иметь цепь, просматривающую последовательно, слева направо, содержимое запоминающих элементов и продолжающую этот просмотр, если в данном запоминающем элементе содержится единица, либо если все

просматриваемые в данном столбце запоминающие элементы содержат нули. Эту работу может выполнить двоичный канал, реализующий в каждой ячейке итеративной сети логическую функцию

$$z' = z(a \vee y),$$

где z' —сигнал на боковом выходе ячейки; z —сигнал на боковом входе; a — содержимое запоминающего элемента (сигнал на внешнем входе); y — переменная, характеризующая содержимое просматриваемых ячеек данного столбца: $y=1$, если все они содержат нули и 0- в противном случае.

Вся система логических функций ячейки итеративной сети, реализующей поиск максимума, имеет следующий вид:

$$\left. \begin{aligned} z' &= z(a \vee y) \text{ – горизонтальный канал;} \\ x' &= x \vee ay \\ y' &= y_{\underline{\quad}} \end{aligned} \right\} \text{ - вертикальные каналы;} \\ y_0 &= \bar{x}'_N \text{ вспомогательная функция.}$$

Процессор для поиска минимума можно построить аналогичным способом. Чтобы путем параллельного поразрядного сравнения выделить минимальные признаки, необходимо в процессе просмотра строк продолжать их просмотр, если в запоминающем элементе содержится нуль либо если все просматриваемые в данном столбце запоминающие элементы содержат единицы.

Эти функции может выполнить та же итеративная сеть, которая построена для поиска максимума, если на ее внешние входы подать отрицания переменных, хранимых в соответствующих запоминающих элементах. Тогда система логических функций приобретает вид:

$$\begin{aligned} z' &= z(\bar{a} \vee y); \\ x' &= x \vee \bar{a}z; \\ y' &= y \\ y_0 &= \bar{x}'_N. \end{aligned}$$

Для краткости процессор для поиска максимума (наибольшего) будем называть a_B -процессором, а для поиска минимума (наименьшего) - a_M -процессором.

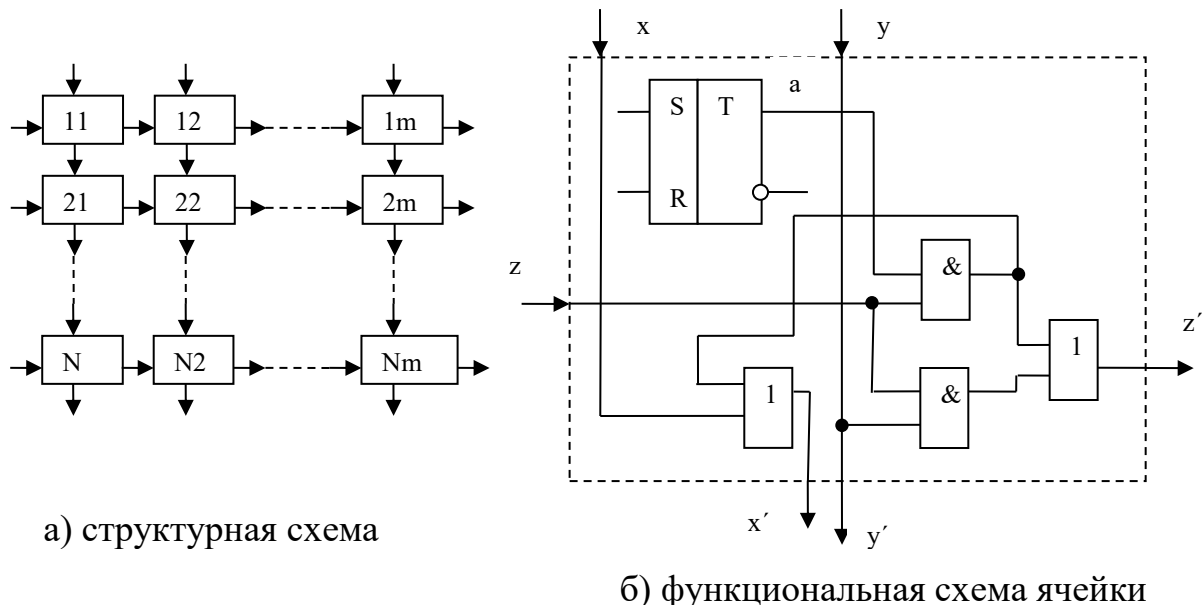


Рис.3 Процессор, ориентированный на операцию поиска максимума (α_B – процессор).

2.3 Процессор, ориентированный на операцию поиска всех больших и всех меньших чисел

Общая структура этого процессора и размещение признаков такие же, как у предыдущего, однако, в данном случае необходимо иметь регистр X для граничного признака (эталона) и дополнительный «проходной» вертикальный канал в каждом столбце для ввода во все ячейки данного столбца соответствующего разряда эталона (рис. 4).

Используется следующий алгоритм. В каждой строке (одновременно во всех строках) производится поразрядное сравнение признака $A_i = a_{i1}, a_{i2} \dots a_{im}$, хранимого в запоминающих элементах строки, с эталоном $X = x_1, x_2 \dots x_m$. Для каждого разряда возможны три ситуации:

$$a_{ij} = x_i, \quad a_{ij} < x_i, \quad a_{ij} > x_i.$$

Просмотр начинается со старших разрядов. Если во всей строке не встретилось ни одного неравенства, значит, $A_i = X$. Если первым встретилось неравенство $a_{ij} < x_i$, $A_{ij} < X$ независимо от результатов дальнейшего сравнения, поскольку все дальнейшие (младшие) разряды имеют меньшие веса, чем j -й. Аналогично, если первым встретилось неравенство $a_{ij} > x_i$, $A_{ij} > X$.

Для реализации этого алгоритма необходимо организовать в каждой строке процессора одновременную итеративную сеть с одним направлением распространения межэлементарных сигналов,

выполняющую описанный выше просмотр. Один из возможных вариантов – двухканальная сеть, в каждой ячейке которой реализуются логические функции:

$$\begin{aligned} z' &= z(\bar{a} \vee y); \\ v' &= v \vee za\bar{x}, \end{aligned}$$

где z, z', v, v' – соответственно входные и выходные сигналы каналов z и v ; a – содержимое запоминающего элемента; x – сигнал в вертикальном канале (знание соответствующего разряда эталона).

Система логических функций ячейки итеративной сети, реализующей поиск всех больших и всех меньших чисел, имеет вид:

$$\begin{aligned} z' &= z(a \vee \bar{x}); \\ v' &= v \vee za\bar{x}, \\ x' &= x \end{aligned}$$

На рис. 4 приведена функциональная схема ячейки процессора, ориентированный на операцию поиска всех больших и всех меньших чисел (ε -процессор).

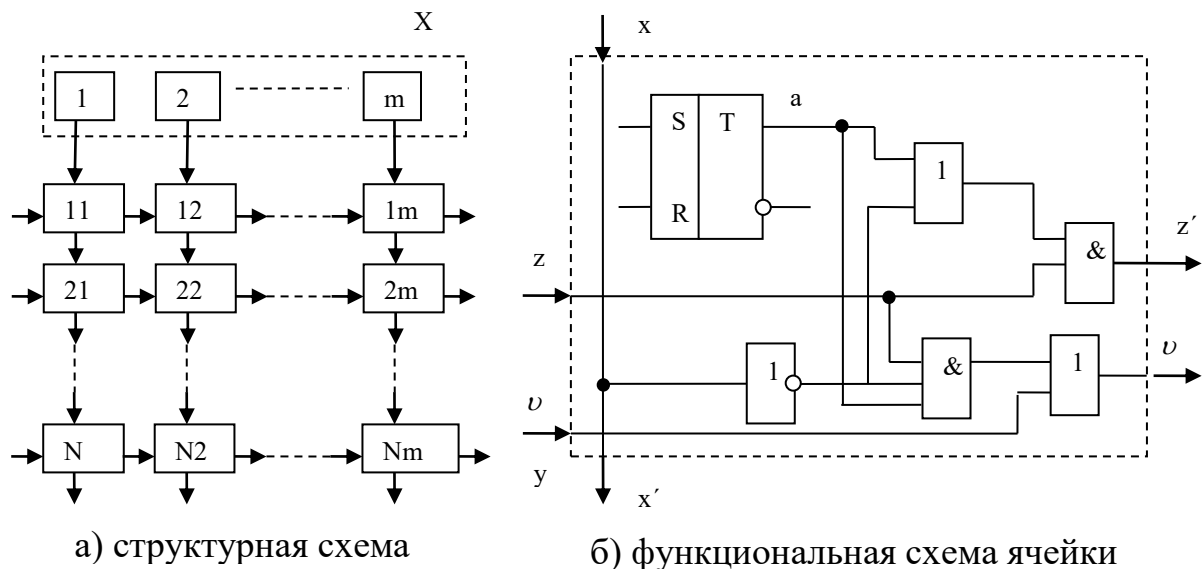


Рис.4. Процессор, ориентированный на операцию поиска всех больших и всех меньших чисел (ε – процессор)

2.4 Процессор, ориентированный на операцию поиска по интервалу.

Общая структурная схема этого процессора такая же, как у рассмотренных выше, но имеются два внешних регистра (X и Y) для хранения эталонов, соответствующих верхней и нижней границам интервала (рис. 5) и два вертикальных «проходных» канала.

Используется следующий алгоритм: в каждой строке произво-

дится поразрядное сравнение (начиная со старших разрядов) признака $A_i = a_{i1}, a_{i2}, \dots, a_{im}$ с верхним эталоном $X = x_1, x_2, \dots, x_m$ и одновременно сравнение A_i с нижним эталоном $Y = y_1, y_2, \dots, y_m$ - Если при сравнении A_i с X первым встретилось неравенство $a > x$, то $A_i > X$, т. е. результат поиска отрицательный. Если при сравнении A_i с Y первым встретились неравенство $a < y$, $A_i < Y$, что также соответствует отрицательному результату поиска. В остальных случаях результат положительный, т. е. признак A , находится в заданном интервале:

$$Y \leq A_i \leq X.$$

Реализовать этот алгоритм можно, например, используя свойства рассмотренных ранее каналов ε -процессоров. Если организовать канал $z' = z(a \vee \bar{x})$, то сигнал $z_1 = 1$ будет сохраняться в нем до тех пор, пока $a \geq x$. Во втором канале $z' = z(\bar{a} \vee y)$ сигнал $z_2 = 1$ будет сохраняться до тех пор, пока $a \leq y$. Тогда результат поиска можно выработать с помощью третьего канала $v' = v \vee z_1 a \bar{x} \vee z_2 \bar{a} y$. При граничном сигнале $v_0 = 0$ v' принимает значение 1 только в тех случаях, когда в процессе сравнения появляется ситуация $a > x$ ($z_1 a \bar{x} = 1$) либо $a < y$ ($z_2 \bar{a} y = 1$). Такие ситуации соответствуют отрицательному результату поиска. Если же на правой границе матрицы $v' = 0$, то признак данной строки находится в заданном интервале. Система логических функций ячейки имеет вид:

$$\begin{aligned} z'_2 &= z_{12}(\bar{a} \vee y); \\ z'_1 &= z_1(a \vee \bar{x}); \\ v' &= v \vee z_1 a \bar{x} \vee z_2 \bar{a} y; \\ x' &= x; \\ y' &= y. \end{aligned}$$

На рис. 5 приведена функциональная схема ячейки.

Процессор для поиска по интервалу ($\varepsilon_{\text{И}}$ -процессор) обладает большими функциональными возможностями, чем $\varepsilon_{\text{Б}}$ и $\varepsilon_{\text{М}}$ -процессоры. Так, если в качестве нижнего граничного признака Y использовать число, меньшее чем минимально возможное значение признака массива, то $\varepsilon_{\text{И}}$ -процессор выделит все $A_i \leq X$. Если в качестве верхнего граничного признака X использовать число, большее чем максимально возможное значение признака, то будут выделены все $A_i \leq Y$.

Если задать $X = Y = Z$, то будет выполняться поиск по совпадению $A_i = Z$.

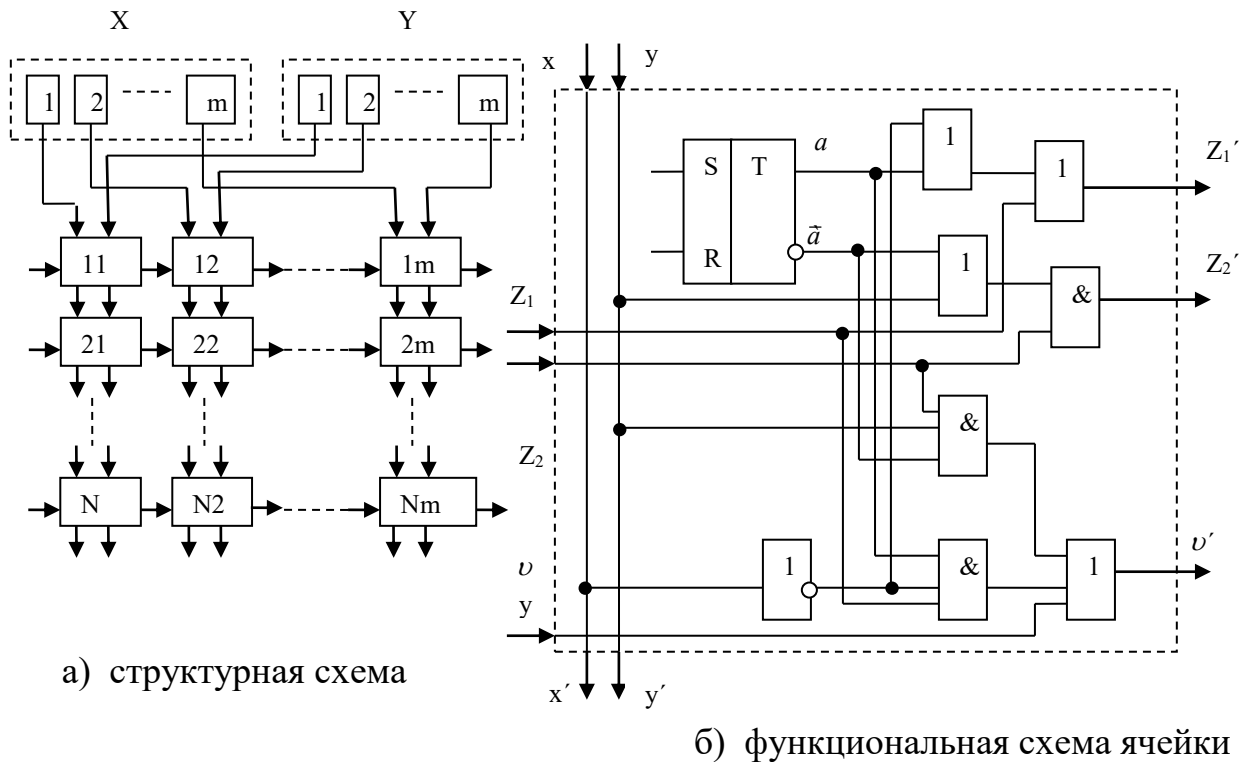


Рис.5 Процессор, ориентированный на операцию поиска по интервалу (ϵ_{II} – процессор)

2.5 Процессор, ориентированный на операцию поиска ближайшего числа

Рассмотрим сначала случай поиска ближайшего большего. Сравнивая эталон X с признаками массива (одновременно во всех строках процессора), отметим в каждой строке разряд с первым встретившимся неравенством $a > x$. Предположим, что во всех отмеченных строках отметки 'казались в различных столбцах. Тогда достаточно отыскать ту строку, в которой отметка расположена правее всех остальных (т.е. в разряде с наименьшим весом). Очевидно, результат будет находиться именно в этой строке, так как из всех разностей $A_i - X$ разность в данной строке минимальна.

В общем случае в правом столбце может оказаться несколько отметок. Это означает, что в соответствующих строках находятся числа, для которых разности $A_i - X$ не превосходят 2^l (где l — номер правого столбца). Ясно, что результатом поиска должно быть минимальное из этих чисел. Поскольку в старших разрядах (до l -го включительно) все рассматриваемые числа равны, достаточно определить минимум по младшим $l-1$ разрядам. Выделенная таким образом строка и содержит искомый результат — число, ближайшее большее

к эталону X .

Первый этап описанного алгоритма можно реализовать например, с помощью каналов ε -процессоров. Полная система логических функций, ячейки имеет вид:

$$\begin{aligned} z' &= z(\bar{a} \vee x); & s' &= s \\ v' &= v(a \vee s)t \vee z\bar{a}x; & t' &= t; \\ y' &= y \vee z\bar{a}x; & t_0 &= \bar{y}'_N; \\ r' &= r \vee av; & s_0 &= \bar{r}'_N; \\ x' &= x \end{aligned}$$

Значения граничных сигналов следующие: $z_0=1$, $v_0=0$, $y_0=0$, $r_0=0$. Результат поиска определяется по значению сигнала v' на правой границе матрицы. $v'=1$ означает, что в данной строке содержится число, ближайшее большее к заданному.

На рис. 6 приведена функциональная схема ячейки.

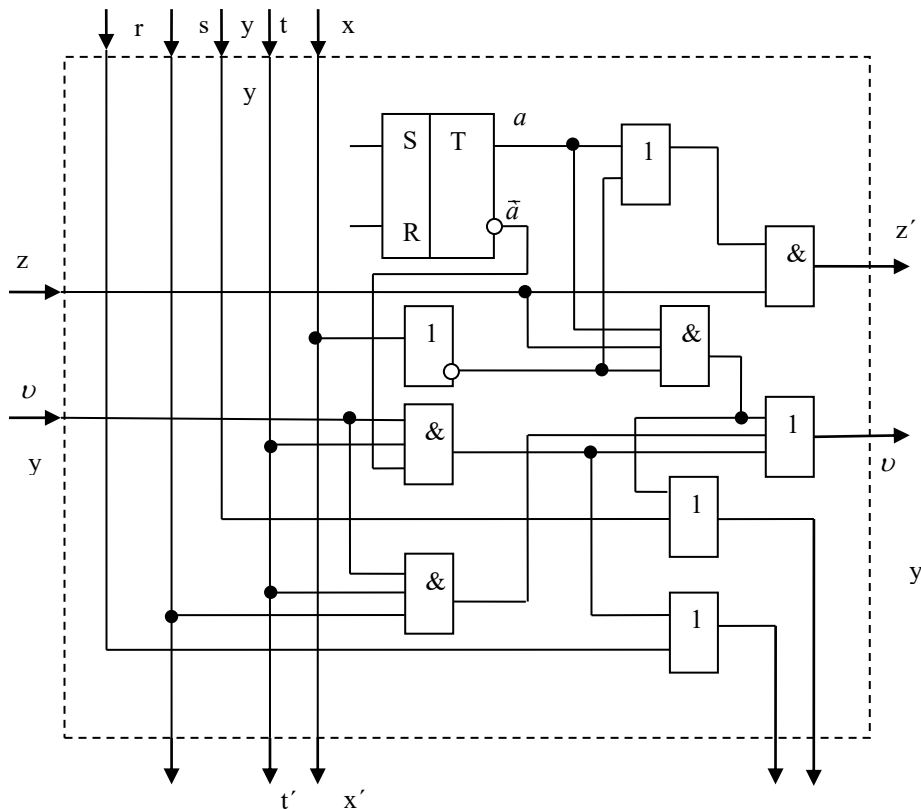


Рис.6 Процессор, ориентированный на операцию ближайшего числа

Поиск ближайшего меньшего выполняется аналогично.

Сначала выделяются все числа, меньшие эталона. Среди них определяются те, для которых разности $X - A_i$ не превосходят 2^l , затем находится максимальная из этих разностей.

В соответствии с этими операциями здесь используются каналы, аналогичные каналам ε_M -и ε_B - процессоров. Получается следующая система логических функций ячейки:

$$\begin{aligned} z' &= z(\bar{a} \vee x); & s' &= s \\ v' &= v(a \vee s)t \vee z\bar{a}x; & t' &= t; \\ y' &= y \vee z\bar{a}x; & t_0 &= \bar{y}'_N; \\ r' &= r \vee av; & s_0 &= \bar{r}'_N; \\ x' &= x \end{aligned}$$

Значения граничных сигналов следующие. $z_0=1$, $v_0=0$, $y_0=0$, $r_0=0$.

Чтобы осуществить поиск ближайшего по абсолютной величине, необходимо отметить все строки, содержащие числа, большие эталона и меньшие его. Затем выделить строки, имеющие отметки в самом правом столбце.

Если результат находится среди чисел, больших эталона, то, очевидно, во всех отмеченных разрядах правого столбца $a=1$ (a в соответствующем разряде эталона $x=0$). В этом случае результат определяется путем поиска минимума по младшим разрядам.

Если же результатом является число, меньшее эталона, то в отмеченных разрядах $a=0$ (соответственно $x=1$) и результат определяется путем поиска максимума по младшим разрядам.

Система логических функции ячейки может быть получена из систем, описывающих две предыдущие ячейки.

Специализированные однородные процессоры, ориентированные на операции поиска ближайшего большего и меньшего, будем называть соответственно v_B - и v_M - процессором, а процессор для поиска ближайшего по абсолютной величине - v_A - процессором, v_B - и v_M - процессоры обладают более широкими функциональными возможностями, чем другие рассмотренные выше процессоры.

Рассматривается другой аппаратный метод обеспечивающий поиск ближайшего числа за одну операцию. Суть этого метода состоит в том, что в ассоциативное ЗУ записывается заранее составленная таблиц входами которой являются всевозможные значения двоичных чисел заданной разрядности m , а выходами соответствующие этим числам (ближайшие) признаки заданного массива. Поиск ближайшего сводится, таким образом, к поиску по совпадению: при подаче на вход произвольного двоичного числа X в ассоциативном

ЗУ выделяется единственная строка, содержащая во входной зоне это число, после чего из выходной зоны дани строки считывается соответствующее значение A_i – ближайший признак.

2.6 Базовые операции специализированных однородных процессоров

Для удобства дальнейшего изложения материала присвоим базовым операциям поиска, выполняемым в описанных процессорах, условные обозначения. Эти обозначения приведены в табл. 5, где указаны также типы процессоров, реализующих соответствующие операции.

Каждая из рассмотренных выше элементарных ячеек содержит один двоичный запоминающий элемент, в котором хранится соответствующий двоичный разряд массива-аргумента. Можно сказать, что матричное ЗУ в целом хранит входной образ, а комбинационная схема распознает те или иные свойства входного образа. В ряде случаев матричное ЗУ может содержать не один, а два двоичных запоминающих элемента или более в каждой ячейке.

Таблица 1

Базовая операция	Процессор, выполняющий данную операцию
Поиск по совпадению	$\varepsilon_B, \varepsilon_M, \varepsilon_I, \nu_B, \nu_M$
Поиск максимума (наибольшего)	α_B, ν_M
Поиск минимума (наименьшего)	α_M, ν_B
Поиск всех больших	$\varepsilon_B, \varepsilon_M, \varepsilon_I, \nu_B, \nu_M$
Поиск всех меньших	$\varepsilon_B, \varepsilon_M, \varepsilon_I, \nu_B, \nu_M$
Поиск по интервалу	ε_I
Поиск ближайшего большего	ν_B
Поиск ближайшего меньшего	ν_M
Поиск ближайшего по абсолютной величине	ν_A

Важное значение имеет организация цепей записи и считывания в матрице запоминающих элементов. Практические возможности и схемы здесь в значительной степени зависят от элементной базы и технологии. Поэтому рассмотрим только структурные особенности нескольких вариантов движения информации в матричных ЗУ.

Если при выполнении этой операции по некоторым вертикальным управляющим шинам поступают сигналы маскирования записи, то в соответствующих столбцах содержимое запоминающих элементов не изменяется.

Таблица 2

№ п.п варианта	Методы перевода ключевых слов в числовую форму	Базовая операция
1	деления	Поиск по совпадению Поиск максимума (наибольшего) Поиск ближайшего меньшего
2.	извлечения битов	Поиск всех больших Поиск ближайшего по абсолютной величине Поиск по интервалу
3.	квадрата	Поиск ближайшего большего Поиск минимума (наименьшего) Поиск всех меньших

3. Задание

1. Составить блок-схему алгоритма работы ассоциативно - запоминающего устройства (АЗУ), выполняющего базовые операции.
 2. Составить программу на языке высокого уровня, моделирующую работу преобразователя ключевых слов в числовую форму.
 3. Промоделировать (тестировать) базовые операции указанного варианта на вычислительной машине последовательной структуры.
- Данные для выполнения лабораторной работы №1 находятся в таблице 2.

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структуру АЗУ;
- блок-схему алгоритма работы АЗУ;
- текст программы;
- результаты работы программы.

Контрольные вопросы.

1. Дайте определение ассоциативного - запоминающего устройства.
2. Назовите основные блоки АЗУ.
3. Как производится операция записи информации в АЗУ.
4. Как производится выборка информации из АЗУ.
5. С какой целью применяется маскирование в АЗУ. Как осуществляется эта операция.
6. Назовите части памяти с адресацией по содержанию (ПАС).
Чему равно время доступа к ПАС.
7. Перечислите основные поисковые операции АЗУ.
8. В чем заключается идея Хеширование.
9. Назовите достоинства и недостатки операции Хеширование.
Как происходит преобразование ключевых слов в допустимые адреса памяти.
10. Что такое Хеш – адрес.
11. Какие основные методы перевода ключевых слов в числовую форму вам известны.
12. Как осуществляется поиск максимума с помощью ориентированного процессора.
13. Какие логические функции реализуются в процессоре, ориентированного на операцию поиска всех больших и всех меньших чисел.
14. Как осуществляется операция поиска на интервалах. Какой алгоритм при этом используется.
15. Как осуществляется операция поиска ближайшего числа в ориентированном ϵ - процессоре. Какие логические функции при этом применяются.

Библиографический список

1. Ассоциативные запоминающие устройства. Кохонен Т., М., Мир, 1982. – 384с.
2. Ассоциативная память. Кохонен Т., М., Мир, 1980. – 229с.
3. Параллельные процессоры для управляющих систем. Фет Я.И., М., Энергоиздат, 1981. – 160с.
4. Ассоциативные запоминающие устройства. Крайзмер Л.П., Бородаев Д.А., Гутенмахер Л.И., Л., Энергия, 1967. – 184с.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



УТВЕРЖДАЮ
Проректор по учебной работе
Локтионова
«_____» _____ 2017

МОДЕЛИРОВАНИЕ РАБОТЫ НЕЙРОКОМПЬЮТЕРА

Методические рекомендации по выполнению
лабораторной работы №4 для студентов специальности 10.03.01

Курск 2017

УДК 624.042.1

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы нейрокомпьютера: методические рекомендации по выполнению лабораторной работы №4 / Юго-Зап. гос. ун-т. сост.: С.С. Шевелев. – Курск, 2017. – 25 с.: ил. 3, табл. 1. – Библиогр. с. 25 .

Содержат сведения по вопросам работы нейрокомпьютера “ЭМБРИОН”. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальности 10.03.01 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать 10.11.17. Формат 60x84/16.
Усл.печ. л. 13 Уч.-изд. л. 12 Тираж 100 экз. Заказ 828 Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №4

Моделирование работы нейрокомпьютера

Цель работы: изучить структуру нейрокомпьютера и его основных блоков.

Задача: по предложенной блок схеме алгоритма работы нейрокомпьютера составить и протестировать программу на языке высокого уровня.

1. Теоретическая часть

В последнее время активно ведутся также работы по построению моделей обработки информации в нервной системе. Большинство моделей основывается на схеме формального нейрона У.МакКаллока и У.Питтса, согласно которой нейрон представляет собой пороговый элемент, на входах которого имеются возбуждающие и тормозящие синапсы; в этом нейроне определяется взвешенная сумма входных сигналов (с учетом весов синапсов), а при превышении этой суммой порога нейрона вырабатывается выходной сигнал.

В моделях уже построены нейронные сети, выполняющие различные алгоритмы обработки информации: ассоциативная память, категоризация (разбиение множества образов на кластеры, состоящие из подобных друг другу образов), топологически корректное отображение одного пространства переменных в другое, распознавание зрительных образов, инвариантное относительно деформаций и сдвигов в пространстве решение задач комбинаторной оптимизации. Подавляющее число работ относится к исследованию алгоритмов нейросетей с прагматическими целями.

Предполагается, что практические задачи будут решаться нейрокомпьютерами - искусственными нейроподобными сетями, созданными на основе микроэлектронных вычислительных систем. Спектр задач для разрабатываемых нейрокомпьютеров достаточно широк: распознавание зрительных и звуковых образов, создание экспертных систем и их аналогов, управление роботами, создание нейропротезов для людей, потерявших слух или зрение. Достоинства нейрокомпьютеров - параллельная обработка информации и способность к обучению. Несмотря на чрезвычайную активность исследований по нейронным сетям и нейрокомпьютере-

рам, многое в этих исследованиях настораживает. Ведь изучаемые алгоритмы выглядят как бы "вырванным куском" из общего осмысления работы нервной системы. Часто исследуются те алгоритмы, для которых удастся построить хорошие модели, а не те, что наиболее важны для понимания свойств мышления, работы мозга и для создания систем искусственного интеллекта. Задачи, решаемые этими алгоритмами, оторваны от эволюционного контекста, в них практически не рассматривается, каким образом и почему возникли те или иные системы обработки информации. Настораживает также чрезмерная упрощенность понимания работы нейронных сетей, при котором нейроны осмыслены лишь как суммирующие пороговые элементы, а обучение сети происходит путем модификации синапсов. Ряд исследователей, правда, рассматривает нейрон как значительно более сложную систему обработки информации, предполагая, что основную роль в обучении играют молекулярные механизмы внутри нейрона. Все это указывает на необходимость максимально полного понимания работы биологических систем обработки информации и свойств организмов, обеспечиваемых этими системами. Одним из важных направлений исследований, способствующих такому пониманию, наверное, может быть анализ того, как в процессе биологической эволюции возникали "интеллектуальные" свойства биологических организмов.

Нейрокомпьютер - объект, над созданием которого десятки лет работает огромная армия ученых, технологов, инженеров, математиков всего мира. На эту научную проблему тратятся огромные ресурсы. Только в Японии на восьмилетнюю программу «Нейрокомпьютер» по разработке современного компьютера шестого поколения на 1989-1997 годы было выделено 231 млн. долларов. Для создания нейрокомпьютера объединились крупнейшие фирмы Японии: Фудзицу, Хитачи, Тошиба, Мицубиси денки, Нихон денки, Оки денки.

Эта задача грандиозна и сложна, в ней переплетены многие фундаментальные проблемы: мозг, психика, квантовая физика, информатика, биоэнергетика, общая теория поля, философия и др. Об актуальности и грандиозности проблемы можно судить по программе Пентагона «Стратегическая компьютерная инициатива», цель которой - создание нового поколения компьютеров, обладающих определенными человеческими качествами: «здоровым смыслом», специальными знаниями, умением видеть, слышать и говорить.

Попытки создать искусственный разум «снизу - вверх» предпринимались еще с 40-х годов специалистами по «нейронной кибернетике». Они стремились разработать самоорганизующуюся систему, способную обучаться интеллектуальному поведению в процессе взаимодействия с окружающим миром, причем компонентами их систем обычно являются модели нервных клеток. С 1986 года область нейронных сетей вступила в стадию бурного развития. Ежегодно проводятся несколько крупных международных национальных форумов по нейронным сетям, выпускаются специальные печатные издания. Возникли фирмы, связанные с нейросетевой технологией, которых к 80-ым насчитывалось более 100. Объем рынка изделий в области нейросетей составил в конце 80-х несколько десятков миллионов долларов США. Начался серийный выпуск и эксплуатация основанных на нейросетевой технологии прикладных систем.

Термин «нейрокомпьютер» употребляется в нескольких значениях. Под «нейрокомпьютером» в широком смысле понимают искусственный мозг - «разумную систему», которая должна строиться и функционировать по аналогии с мозгом человека. Слово «нейро» подчеркивает отличие такой системы от традиционного компьютера, который многие также считают «думающей машиной», но который оказался не в состоянии выполнять естественные для поведения живых существ операции восприятия и обработки информации, поступающей из внешнего мира.

Пока еще не созданы действительно «разовые интеллектуальные» системы, способные решать сложные задачи в реальной среде. Поэтому термин «нейрокомпьютер» используют для обозначения всего спектра работ в рамках подхода к построению систем искусственного интеллекта, основанного на моделировании элементов, структур, взаимодействий и функций различных уровней нервной системы.

Для сравнения различных нейрокомпьютеров и оценки их возможностей по эффективной реализации тех или иных нейросетевых моделей используется ряд характеристик.

Максимальный размер нейронной сети, которую можно промоделировать с помощью нейрокомпьютера, определяется количеством нейроподобных элементов и связей, на которые рассчитан нейрокомпьютер, а также возможность изменения их конфигураций.

Быстродействие нейрокомпьютера оценивают количеством

связей, которые он способен просмотреть в единицу времени, изменяя их в режиме обучения или учитывая приходящие по связям сигналы в рабочем режиме. Введена аббревиатура CUPS: connection updates per second.

По степени универсальности различают универсальные компьютеры, позволяющие достаточно эффективно реализовать широкий набор нейросетевых моделей, и нейрокомпьютеры, специализированные под узкий класс моделей или под одну модель.

Детальный анализ зарубежных разработок нейрокомпьютеров позволил выделить основные перспективные направления современного развития нейрокомпьютерных технологий: нейрокеты, нейросетевые экспертные системы, СУБД с включением нейросетевых алгоритмов, обработка изображений, управление динамическими системами и обработка сигналов, управление финансовой деятельностью, оптические нейрокомпьютеры, виртуальная реальность. Сегодня разработками в этой области занимается более 300 зарубежных компаний, причем число их постоянно увеличивается. Среди них такие гиганты как Intel, DEC, ШМ и Motorola. Сегодня наблюдается тенденция перехода от программной эмуляции к программно-аппаратной реализации нейросетевых алгоритмов с резким увеличением числа разработок СБИС нейрочипов с нейросетевой архитектурой. Резко возросло количество военных разработок, в основном направленных на создание сверхбыстрых, «умных» супервычислителей.

Если говорить о главном перспективном направлении -интеллектуализации вычислительных систем, придавая им свойств человеческого мышления и восприятия, то здесь нейрокомпьютеры практически единственный путь развития вычислительной техники. Многие неудачи на пути совершенствования искусственного интеллекта на протяжении последних 30 лет связаны с тем, что для решения важных и сложных по постановке задач выбирались вычислительные средства, не адекватные по возможностям решаемой задаче, в основном из числа компьютеров, имеющих под рукой. При этом, как правило, не решалась задача, а показывалась принципиальная возможность ее решения. Сегодня активное развитие систем МРР создало объективные условия для построения вычислительных систем адекватных по возможностям и архитектуре практически любым задачам искусственного интеллекта.

Архитектура биологической нейронной системы совершенно не похожа на архитектуру машины фон Неймана.

Машина фон Неймана по сравнению с биологической нейронной системой.

Таблица 1.

	Машина фон Неймана	Биологическая нейронная система
Процессор	Сложный	Простой
	Высокоскоростной	Низкоскоростной
	Один или не-	Большое количество
Память	Отделена от процессора	Интегрирована в процессор
	Локализована	Распределенная
	Адресация не по содержанию	Адресация по содержанию
Вычисления	Централизованные	Распределенные
	Последовательные	Параллельные
	Хранимые программы	Самообучение
Надежность	Высокая уязвимость	Живучесть
Специализация	Численные и символьные операции	Проблемы восприятия
Среда функционирования	Строго определенная	Плохо определенная
	Строго ограниченная	Без ограничений

Подобно биологической нейронной системе ИНС является вычислительной системой с огромным числом параллельно функционирующих простых процессоров с множеством связей. Модели ИНС в некоторой степени производят "организационные" принципы, свойственные мозгу человека. Моделирование биологической нейронной системы с использованием ИНС может также способствовать лучшему пониманию биологических функций.

В Японии с 1993 года принята программа "Real world computing program". Ее основная цель - создание адаптивной, эволюционирующей ЭВМ. Проект рассчитан на 10 лет. Основой разработки является нейротехнология, используемая для распознавания образов, обработки семантической информации, управления информационными потоками и роботами, которые способны адаптироваться к окружающей обстановке. Только в 1996 году было проведено около сотни международных конференций по нейрокомпьютерам и смежным проблемам. Разработки нейрокомпьютеров ведутся во многих странах мира и даже в Австралии создан свой образец коммерческого супернейрокомпьютера.

2. Программные реализации выпускаемых нейрокомпьютеров

В настоящее время имеются в продаже пакеты, реализующие практически все известные модели нейросетей. Обычно пакет программ представляет пользователю удобный интерфейс и широкие возможности по выбору различных нейросетевых моделей, заданию количества нейронов и связей, их передаточных характеристик и т.п. Это позволяет всесторонне исследовать поведение известных нейросетевых моделей и их комбинаций, а также создавать собственные модели нейросетей. В качестве примера в ряде пакетов приводятся решения демонстрационных задач прогнозирования курса акций, предсказания погоды и т.п. К лучшим пакетам такого типа в конце 80-х относились Neural Works Professional фирмы Neural Ware и ANSim фирмы SAIC.

Некоторые пакеты, например, Neural Shell фирмы Ward Systems Group или Nestor Development System фирмы Nestor, реализуют одну нейросетевую модель, однако рекламируются не как экспериментальные системы, а как оболочки для промышленного пользования. Ряд фирм предлагает специализированные языки программирования для создания моделей нейросетей.

Основными областями приложения нейросетевой технологии считаются распознавание образов, экспертные системы, обработка знаний, адаптивное управление процессами и роботами.

Ряд фирм и научных учреждений разрабатывают основанные на нейросетевой технологии системы распознавания изображений и визуального контроля. Фирма Nestor в 1989 г. начала поставку системы для проверки подлинности подписей. В

системе используется препроцессор изображений Gould MV-100, точность распознавания 95% при времени распознавания одного образца 2-4с, 45 Лбфйт памяти. Система SNOOPE фирмы SAIC предназначена для обнаружения взрывчатки в багаже пассажиров по вызванному у излучению, вероятность ложной тревоги 2-4% при 95% вероятности обнаружения. Фирмой Adaptive Decision Systems создана система, определяющая целесообразность выдачи кредитов: получив информацию со стандартного бланка, система оценивает степень риска предоставления кредита на основании примеров, на которых она была обучена. Результаты работы на 30% лучше, чем у существующей системы, построенной на комбинации экспертных и статических методов

Фирма Behave Heuristic создала систему контроля и распределения посадочных мест на авиарейсы, системы Airline Marketing Tactician оптимизирует во времени изменение цен на билеты. Сюда же примыкают системы моделирование и прогнозирования, позволяющие предсказывать поведение и свойства сложных объектов. Обучаясь на большом количестве примеров реакции этих объектов на различные комбинации входных воздействий, нейросети выявляют присущие им закономерности поведения. Что позволяет прогнозировать реакцию на новые входные сигналы. Известны такого рода системы для прогнозирования курса акций и других экономических показателей, предсказание кодов ДНК для производства белков и т.д.

В Европе действуют нейрокомпьютерные программы BRAIN, ANNIE, ESPERIT. В США работы в области нейросетей поддерживают многие правительственные организации, с 1989 года агентством DARPA начато финансирование программы, в рамках которой планируется создать образцы нейрокомпьютеров с 10 млрд. связей и быстродействием 1000 млрд. связей для разнообразных технических и военных приложений.

3. Современные направления развития нейрокомпьютерных технологий в России

В области теории нейронных сетей российская научная школа, которая развивается уже в течение 30 лет, имеет определенный приоритет по сравнению с зарубежными исследованиями. Теория Нейронных сетей - алгоритмический базис нейрокомпьютеров, подобно тому, как булева алгебра служила основой логики однопроцессорных и многопроцессорных компьютеров.

Общая методика синтеза многослойных нейронных сетей была разработана сотрудниками Научного центра нейрокомпьютеров еще в конце 50 годов и постоянно развивалась в течение 30 лет. В результате в России сформировалось направление в области теории нейронных сетей, которое по некоторым параметрам превосходит уровень зарубежных работ. Например, были разработаны методы адаптивной настройки нейронных сетей с произвольным входом нейрона и произвольным числом слоев; с различными видами связей между слоями; с различными видами критериев оптимизации; с различными ограничениями на весовые коэффициенты нейронных сетей.

Реализованные в известных зарубежных нейропакетах нейросетевые парадигмы имеют, по крайней мере, два серьезных недостатка:

- они реализуют нейросетевой алгоритм, не адекватный выбранной задаче;

- достигают локального эффекта на первом этапе использования без возможности улучшения для повышения качества решения задачи.

Определенная общность отечественных методов развития теории нейронных сетей позволила создать единый подход к разработке нейросетевых алгоритмов решения самых разнообразных задач, сформировав новое направление в вычислительной математике - нейроматематику. Эта область связана с разработкой алгоритмов решения математических задач в нейросетевом логическом базисе. Необходимо отметить, что передовая в этом направлении американская школа разработки нейрокомпьютеров уже трижды в истории развития вычислительной техники совершала принципиальные ошибки.

Первая из них была сделана в 60-е годы, когда создавались нейрокомпьютеры с ориентацией на элементную базу с адаптацией весовых коэффициентов. Российская школа приняла тогда концепцию разработки нейрокомпьютеров, в которых рабочая, распознающая часть, реализовывалась в виде аналогового блока с фиксированными или перестраиваемыми коэффициентами, а блок адаптации реализовывался на универсальных ЭВМ.

Вторая ошибка была связана с публикацией работы Минского и Пейперта "Персептроны", где показывалась, якобы, невозмож-

ность решения на двухслойной нейронной сети задачи реализации «исключающего или». Российские специалисты, владея в то время, общей методикой настройки многослойных нейронных сетей, продолжая работы в этой области, наблюдали практически полное их отсутствие за рубежом вплоть до середины 80-х годов.

Третья ошибка связана с тем, что в работах американских ученых решение отдельных математических задач в нейросетевом логическом базисе ориентируется на частные нейросетевые парадигмы. В наших работах общий метод синтеза нейронных сетей позволил создать и развивать в дальнейшем единую методику решения любых математических задач, создавая нейроматематику - новый раздел вычислительной математики.

Всегда звучит вопрос, для какого класса задач наиболее эффективно применение того или иного вычислительного устройства, построенного по новым признакам.

По отношению к нейрокомпьютерам ответ на него постоянно меняется в течение уже почти 50 лет.

Долгое время считаю, что нейрокомпьютеры эффективны для решения не формализуемых и плохо формализуемых задач, связанных с необходимостью включения в алгоритм решения задач процесса обучения на реальном экспериментальном материале - распознавания образов. Конечно, не формализуемые задачи являются важным аргументом использования нейрокомпьютеров. Однако необходимо помнить, что это всего лишь частная постановка аппроксимации функций, заданных некоторым множеством значений. При этом главное, что для аппроксимации используются не прежние статистические, в частности, регрессионные, а гибкие нелинейные нейросетевые модели.

Сегодня к этому классу задач добавляется второй класс задач, иногда не требующих обучения на экспериментальном материале, но хорошо представимых в нейросетевом логическом базисе - это задачи с ярко выраженным естественным параллелизмом: обработка сигналов и обработка изображений. В истории вычислительной техники всегда были задачи, не решаемые компьютерами текущего уровня развития и для них переход к нейросетевому логическому базису характерен в случае резкого увеличения размерности пространства решения или необходимости резкого сокращения времени. Различают три раздела нейроматематики: общая, прикладная и специальная.

Такие, казалось бы, простые задачи, как сложение чисел, умножение, деление, извлечение корня, обращение чисел и т.п. многие авторы пытаются решить с помощью нейрокомпьютеров. Действительно, при ориентации на нейросетевую физическую реализацию алгоритмов эти операции можно реализовать значительно эффективнее, чем на известных булевских элементах. В нейронных сетях это функции активации, поэтому сегодня много говорят о решении систем линейных уравнений и неравенств, обращении матриц, сортировки с помощью нейрокомпьютерных технологий.

Нейрокомпьютеры являются перспективным направлением развития современной высокопроизводительной вычислительной техники, а теория нейронных сетей и нейроматематика представляют собой приоритетные направления российской вычислительной науки, и при соответствующей поддержке, в ближайшее время станут интенсивно развиваться

Основой активного развития нейрокомпьютеров является принципиальное отличие нейросетевых алгоритмов решения задач от однопроцессорных, микропроцессорных, а также транспьютерных. Для данного направления развития вычислительной техники не так важен уровень развития отечественной микроэлектроники, поэтому оно позволяет создать основу построения российской элементной базы суперкомпьютеров.

Сферы применения технологии нейросетей быстро расширяются. Однако в настоящее время не созданы нейросетевые системы, значительно превосходящие по каким-либо параметрам системы, основанные на традиционных принципах информационной обработки. Тем не менее, с дальнейшим развитием работ в области нейросетей и нейрокомпьютеров во многих странах связывают большие научные, технические и экономические перспективы.

Обработка изображений. Наиболее перспективными задачами обработки изображений нейрокомпьютерами являются обработка аэрокосмических изображений (сжатие с восстановлением, сегментация, контрастирование и обработка текстур), выделение на изображении движущихся целей, поиск и распознавание на нем объектов заданной формы, обработка потоков изображений, обработка информации в высокопроизводительных сканерах.

Обработка сигналов. В первую очередь это класс задач,

связанных с прогнозированием временных зависимостей: прогнозирование финансовых показателей, прогнозирование надежности электродвигателей, упреждение мощности АЭС и прогнозирование надежности систем электропитания на самолетах; обработка траекторных измерений.

При решении этих задач сейчас все переходят от простейших регрессионных и других статистических моделей прогноза к существенно нелинейным адаптивным экстраполирующим фильтрам, реализованным в виде сложных нейронных сетей.

При обработке гидролокационных сигналов нейрокомпьютеры применяются при непосредственной обработке сигнала, распознавании типа надводной или подводной цели, определении координат цели. Сейсмические сигналы по структуре весьма близки к гидролокационным. Обработанные нейрокомпьютером позволяют получить с достаточной точностью данные о координатах и мощности землетрясения или ядерного взрыва. Нейрокомпьютеры начали активно использовать при обработке сейсмических сигналов в нефтегазовой разведке. В Международном обществе по нейронным сетям для этого создана специальная группа.

Нейрокомпьютеры в системах управления динамическими объектами. Это одна из самых перспективных, областей применения нейрокомпьютеров. По крайней мере, США и Финляндия ведут работы по использованию нейрокомпьютеров для управления химическими реакторами. В нашей стране им не занимались, в частности, по причине морального устаревания существующих реакторов и нецелесообразности совершенствования их систем управления.

Перспективной считается разработка нейрокомпьютера для управления двигательной установкой гиперзвукового самолета. Фактически единственны вариант реализации высокопараллельной вычислительной системы управления зеркалами (100-400 зеркал) адаптивного составного телескопа сегодня является нейрокомпьютер. Адаптивные режимы управления этим сложным объектом по критерию обеспечения максимального высокого качества изображения и компенсации атмосферных возмущений может обеспечить мощный нейрокомпьютер, в свою очередь реализующий адаптивный режим собственного функционирования.

Весьма адекватной нейрокомпьютеру является задача обучения

нейронной сети выработке точного маневра истребителя. Обучение системы с достаточно слабой нейронной сетью требовало 10 часов на ПК 386. Тоже можно сказать и о задаче управления роботами: прямая, обратная кинематические и динамические задачи, планирование маршрута движения робота. Переход к нейрокомпьютерам здесь связан в первую очередь с ограниченностью объемов размещения вычислительных систем, а также с необходимостью реализации эффективного управления в реальном масштабе времени.

Можно надеяться, что широкий фронт научных исследований и технических разработок и объединенные усилия ученых разных стран приведут, в конечном счете, к созданию принципиально новых разумных систем.

Нейросетевые экспертные системы. Необходимость реализации экспертных систем в нейросетевом логическом базисе возникает при значительном увеличении числа правил и выводов. Примерами реализации конкретных нейросетевых экспертных систем могут служить система выбора воздушных маневров в ходе воздушного боя и медицинская диагностическая экспертная система для оценки состояния летчика.

Нейрочипы и нейрокомпьютеры. В 1995 году была завершена разработка первого отечественного нейрокомпьютера на стандартной микропроцессорной элементной базе, а сегодня проводится разработка на базе отечественных нейрочипов, в том числе супернейрокомпьютера для решения задач, связанных с системами уравнений математической физики: аэро-, гидро-, и газодинамики. Математическая статистика. Нейрокомпьютеры - это системы, позволяющие сформировать описания характеристик случайных процессов и совокупности случайных процессов, имеющих в отличие от общепринятого, сложные, зачастую многомодальные или вообще априори неизвестные функции распределения.

Математическая логика и теория автоматов. Нейрокомпьютеры - это системы, в которых алгоритм решения задачи представлен логической сетью элементов частного вида - нейронов с полным отказом от булевских элементов типа И, ИЛИ, НЕ. Как следствие этого введены специфические связи между элементами, которые являются предметом отдельного рассмотрения.

Теория управления. В качестве объекта управления выбирается частный случай, хорошо формализуемый объект - многослойная нейронная сеть, а динамический процесс ее настройки представляет собой процесс решения. При этом практически весь аппарат синтеза адаптивных систем управления переносится на нейронную сеть как частный вид объекта управления.

Вычислительная математика. В отличие от классических методов решения задач нейрокомпьютеры реализуют алгоритмы решения задач, представленные в виде нейронных сетей. Это ограничение позволяет разрабатывать алгоритмы, потенциально более параллельные, чем любая другая их физическая реализация. Множество нейросетевых алгоритмов решения задач составляет новый перспективный раздел вычислительной математики.

Вычислительная техника. Нейрокомпьютер - это вычислительная система с архитектурой MSrMD, в которой реализованы два принципиальных технических решения: упрощен до уровня нейрона процессорный элемент однородной структуры и резко усложнены связи между элементами; программирование вычислительной структуры перенесено на изменение весовых связей между процессорными элементами.

Нейрокомпьютеры являются перспективным направлением развития современной высокопроизводительной вычислительной техники, а теория нейронных сетей и нейроматематика представляют собой приоритетные направления российской вычислительной науки, и при соответствующей поддержке, в ближайшее время станут интенсивно развиваться

Основой активного развития нейрокомпьютеров является принципиальное отличие нейросетевых алгоритмов решения задач от однопроцессорных, малопроцессорных, а также транспьютерных. Для этого направления развития вычислительной техники не так важен уровень развития отечественной микроэлектроники, поэтому оно позволяет создать основу построения российской элементной базы суперкомпьютеров.

4. Практическая часть

Бытовой нейрокомпьютер (БНК) «Эмбрион».

БНК «Эмбрион» разрабатывается в соответствии со структурной схемой, приведенной на рис.1.

Описание работы нейрокомпьютера

На сенсорную матрицу (СМ) размера $m \times n$, где m - число строк, n - число столбцов (в данном случае $m=n$) через рецепторы поступают входные воздействия из внешней или внутренней среды нейрокомпьютера.

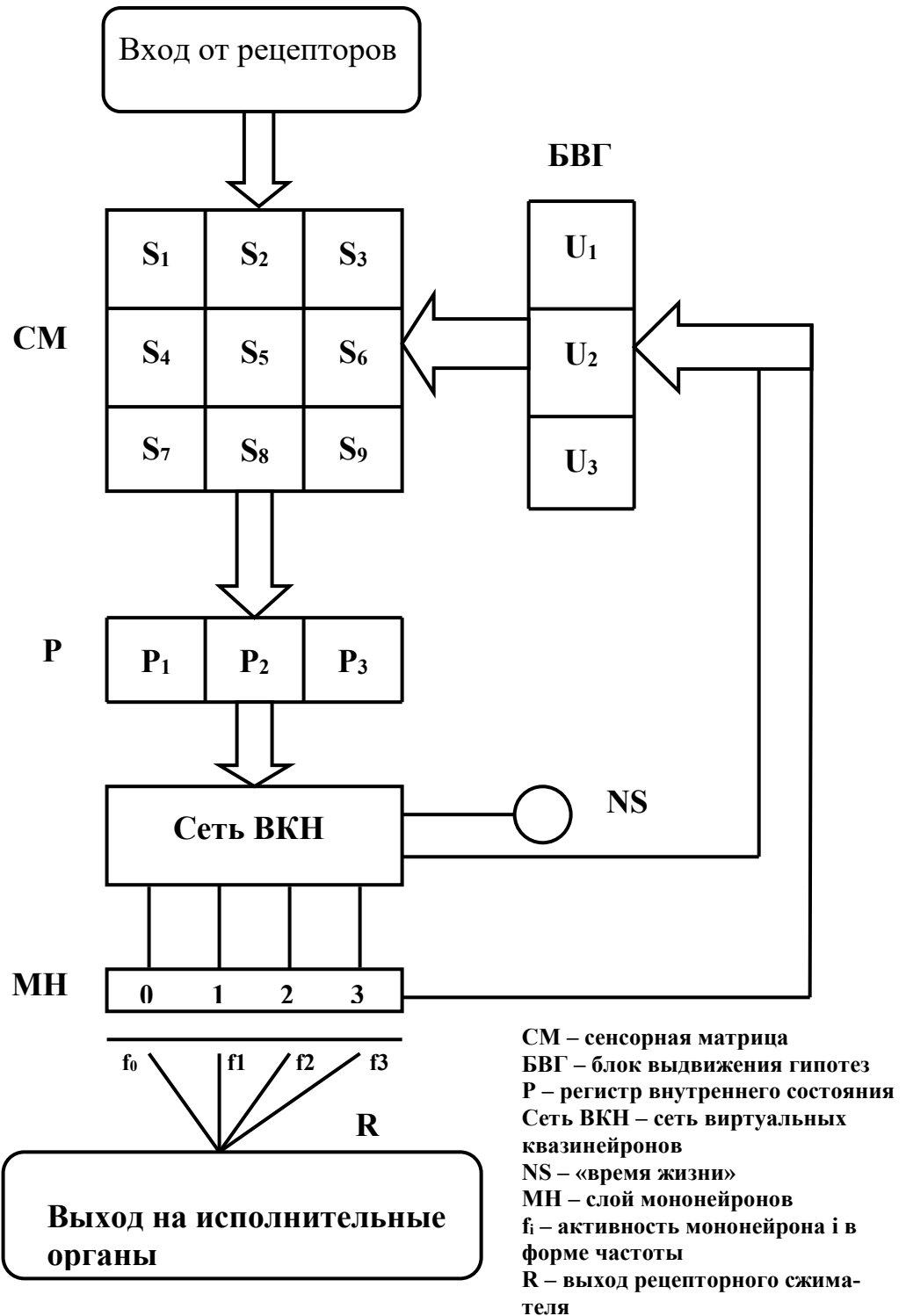


Рис. 1. Структурная схема БНК «Эмбрион»

Блок выдвижения гипотез (БВГ) обеспечивает возможность концентрации и перераспределения внимания при переносе информации из СМ в регистр внутреннего состояния (P), далее в сеть виртуальных квазинейронов (ВКН) к группе (пулу) мотонейронов (МН), которые имеют возможность управлять исполнительными органами: двигателями, реле, искусственными мышцами.

Параметр NS - определяет энергетический потенциал нейронной сети, т.е. общий уровень ее возбуждения или "время жизни". При первых опытах число NS запрашивается, не должно быть очень большим (не более 50).

Нейрокомпьютер (НК) - устройство, над созданием которого работает огромная армия ученых, технологов, инженеров, математиков. На эту научную проблему тратятся огромные ресурсы.

В Японии на восьмилетнюю программу "Нейрокомпьютер" на 1989-1997 годы выделено 231 млн. долларов. Для создания НК объединились крупнейшие фирмы Японии: Фудзицу, Хитачи, Тошиба, Мицубиси денки, Нихон денки, Оки денки.

Эта задача грандиозна и сложна, в ней переплетены многие фундаментальные проблемы, а именно: мозг, психика, квантовая физика, информатика, биоэнергетика, общая теория поля, философия и многие другие. Такая задача требует привлечения ученых и специалистов с широким кругозором и большой эрудицией.

В США в 1984-1988 годах объем финансирования составил 571 млн. долларов, а в ближайшие годы еще превысит 1 миллиард долларов. В Америке проект по созданию НК назывался "Стратегическая компьютерная инициатива" (СКИ), цель которой - создание нового поколения компьютеров.

В США затраты на разработку нейрокомпьютера сравнимы с затратами на программу "Аполлон".

В России разработка НК велась с 1966 по 1979 г. Наш отечественный НК назывался "Эмбрион".

Рассмотрим работу алгоритма по группам операторов.

1. Формирование образа на СМ (ввод $\{S\}$), внутреннего состояния $\{P\}$, задание NS - "времени жизни".

2. Ввод гипотезы восприятия $\{U_j\}$.

3. Возбуждение нейронной сети.

4. Осуществляется равновероятная выборка информации из строки j СМ в течение времени, заданного числом $\{U_j\}$ до момента

$K = 0$.

5. Генерация случайного числа L .

6. В зависимости от того, в каком диапазоне окажется число L реализовывается следующее правило поразрядного переноса информации из каждого разряда строки СМ в соответствующий разряд регистра внутреннего состояния: происходит сравнение состояния i -го элемента регистра P с состоянием i -го элемента строки СМ. Если состояния одинаковы, то изменений не происходит, а если состояния совпадают, то внутренний элемент принимает значение внешнего, то есть происходит «уравновешивание внутреннего состояния состоянием внешней среды».

7. Уменьшение времени, заданного числом $\{U_j\}$ на 1.

8. Условие останова цикла формирования переносов.

9. Определение номера канала или номера возбужденного мотонейрона $\{Y_i\}$ как число "возбужденных" (единичных) элементов регистра внутренней памяти P .

10. Производится последовательный опрос всех строк j сенсорной матрицы. К элементам регистра внутренней памяти подключаются следующей строки.

11. Заканчивается N -ый такт возбуждения сети.

12. Динамическая регистрация импульсации мотонейронов. После окончания цикла равновероятной выборки информации из СМ в регистре P накоплено число $\{Y_3\}$, которое является статистической смесью всей информации СМ, перенесенной во внутреннюю память под воздействием БВГ. Состояние $\{Y_s\}$ представляет собой счетчик-накопитель импульсов N -кратного сканирования образа СМ. каждый накопленный импульс отражается на экране дисплея знаком "*". Если $Y_3 < I$, то переменная SY увеличивается на 1 и на экране на выходе "0" печатается "*" и число "1". Если $Y_3 = I$, то аналогичный процесс происходит на выходе "1". Если $Y_3 > I$, то после сравнения Y_3 с числом 2 выбирается выход либо "1", либо "2", либо "3" и туда заносится информация в виде знака "*" и числа.

13. Проверяется условие $N = 0$: прекращение цикла по N .

14. Вычисление результирующей реакции вектора рецепторного сжимателя по формуле $Z = SY*2 + SJ - SC - SU*2$.

Алгоритм содержит три вложенных друг в друга цикла.

Первый цикл K (вершины 6,7,8,9,10,11).

Осуществляется равновероятная выборка информации из

строки j сенсорной матрицы (СМ) в течение времени, заданного числом U_j , (до момента $K=0$).

Второй цикл m . Производится последовательный опрос всех строк $j=m$ сенсорной матрицы ($m=3$ в нашем примере).

Третий цикл N . Нейронная сеть возбуждается в течение заданного «времени жизни» NS .

Описание алгоритма работы нейрокомпьютера

В блоке 1 происходит запуск работы нейрокомпьютера.

В блоке 2 формируется образ на сенсорной матрице. Задается NS - "время жизни" нейронной сети (возбуждение нейрокомпьютера). Здесь же заносите исходное состояние регистра внутренней памяти P .

В блоке 3 задаются три десятичных числа U_1, U_2, U_3 , фиксирующих время "осмотра" или последовательность переноса информации из строк СМ в n разрядный регистр внутренней памяти. Сумма $U=U_1+U_2+U_3$ - представляет собой многомерный вектор, или гипотезу восприятия.

В блоке 4 вводятся две группы переменных K_1, K_2, K_3 и X_1, X_2, X_3 - которым присваиваются соответственно значения U_j и P_j где j - номер строки ($j=1,2,\dots,m$), a_i - номер столбца СМ ($i=1,2,\dots,n$).

В блоках с 5 по 11 организован цикл K_i - кратного сканирования первой строки СМ и перенос содержимого из S_1, S_2, S_3 в X_1, X_2, X_3 по алгоритму:

$$X_i := (P_i + S_i) - P_i, \text{ где } i - \text{ номер разряда.}$$

Датчик псевдослучайных чисел генерирует абсолютное значение числа в интервале $[0-1,0]$ и его значение присваивается переменной L .

1)если $L \leq 0.34$, то выполняется преобразование над переменной X_1 , в блоке 7.

2)если $L \leq 0.66$, то выполняется преобразование над переменной X_2 в блоке 8.

3)если $L > 0.66$, то выполняется преобразование над переменной X_3 в блоке 9.

В блоках 7,8,9 происходит реализация правила поразрядного переноса информации из каждого разряда строки СМ в соответствующий разряд регистра внутренней памяти: происходит сравнение состояния i -го элемента регистра P с состоянием i -го

элемента строки СМ. Если состояния одинаковы, то изменений не происходит, а если состояния не совпадают, то внутренний элемент принимает значение внешнего.

В блоке 10 происходит уменьшение счетчика цикла K_1 на единицу.

После завершения цикла по K_1 определяется номер канала или номер возбужденного мотонейрона Y_1 .

В блоках 13, 14 к элементам регистра внутренней памяти подключаются соответственно строки 2 и 3 СМ и начинаются такие же циклы K_1 и K_2

Подобным образом определяется номер мотонейронов Y_2 и Y_3 .

В блоке 15 заканчивается первый из N тактов возбуждения сети. После окончания третьего цикла K_3 в регистре P накоплено число U_3 , которое является статистической смесью всей информации СМ, перенесенной во внутреннюю память под воздействием кода БВГ (U_1, U_2, U_3).

В блоке 16 состояние Y_3 переносится в блок динамической регистрации импульсной активности мотонейронов. Он представляет собой счетчик - накопитель импульсов N - кратного сканирования образа СМ. Каждый накопленный импульс отображается на экране дисплея коды знаком (*). Над столбиком звездочек изображается номер мотонейрона и десятичное число, показывающая степень возбуждения.

Если $U_3-1 < 0$, то переменная SY принимает значение 1 и на экране, на выходе "О" не читается знак "*" и число "1".

Если $U_3-1 = 0$, аналитический процесс происходит на выходе "1".

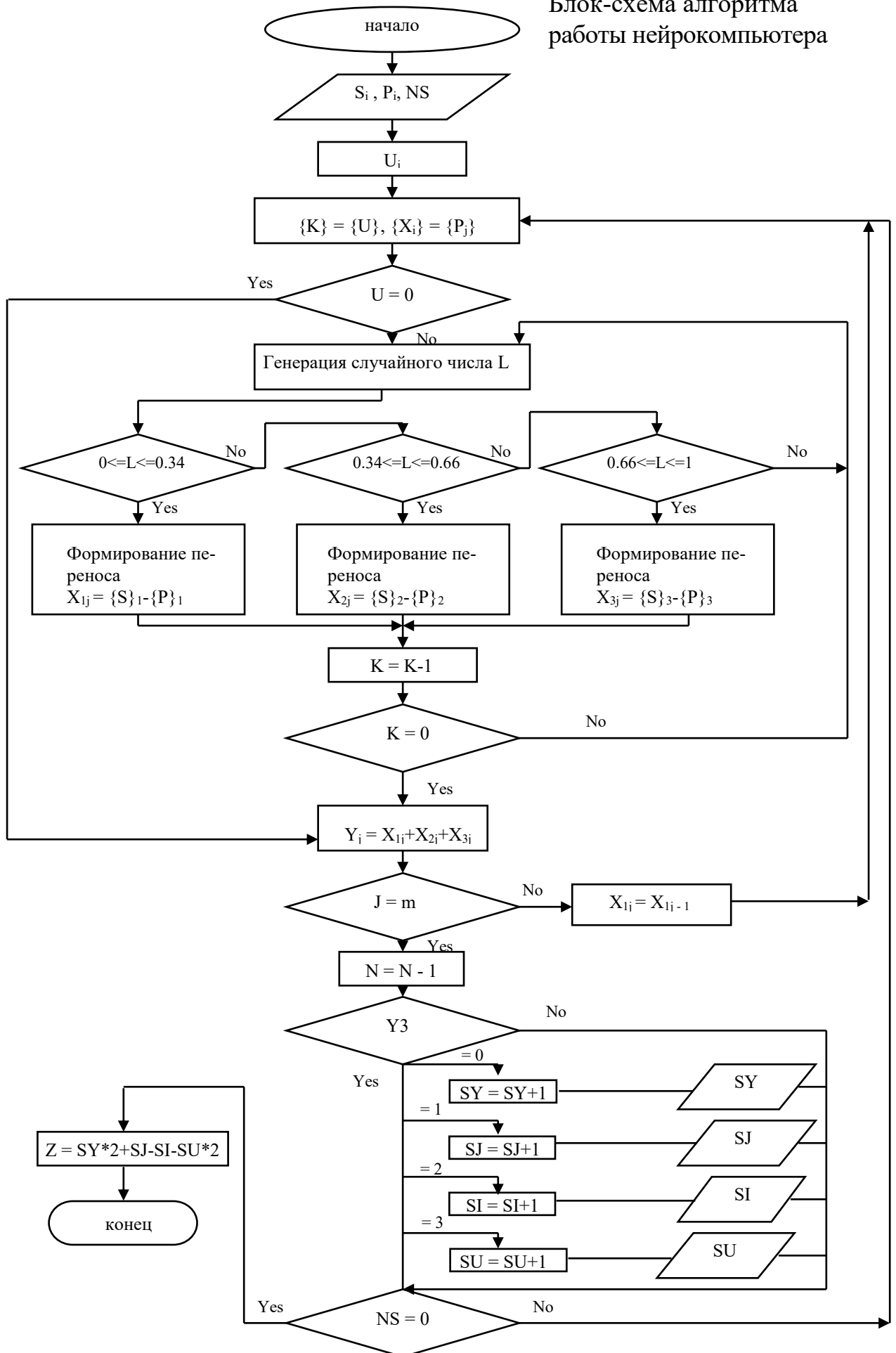
Если $U_3-1 > 0$, то после сравнения U_3 с числом 2, выбирается в выход либо "1" либо "2", либо "3" и туда заносится информация в виде знака "*" и знака.

В блоке 17 проверяется условие $N=0$.

В блоке 18 печатаются исходные данные: образ сенсорной матрицы $[S_1, \dots, S_9]$, код БВГ $[U_1, U_2, U_3]$ и значения NS .

В данной программе сеть нейронов построена так, что на выходе подключено четыре мотонейрона: накопленное количество импульсов на выходе.

Блок-схема алгоритма работы нейрокомпьютера



Иерархия памяти

Память нейрокомпьютера определяется как мультистабильная многомерная среда, которая сохраняет след внешнего воздействия в течение некоторого интервала времени. В этот интервал не входит время, в течение которого пользователь вносит данные и образ на сенсорную матрицу.

В БНК "ЭМБРИОН" имеется несколько видов памяти:

1. Хранение одной буквы "1" или "0" в регистрах P_i , или S_i ;
2. Хранение строки j СМ на время U_j , ее сканирования;
3. Хранение образа СМ на время T_g его анализа и синтеза-формирования выходной реакции мотонейронов - многоканального случайного потока f , импульсов или реакции реципрокного сжимателя R .

У нейрокомпьютера имеется несколько внутренних часов, измеряющих собственные ритмы или собственное время: U_j (длительность цикла K), U (длительность цикла m), T_g (длительность цикла N). В этом масштабе собственного времени и оценивается информационное содержание внешней среды.

4. Суммарный информационный след в регистре P от информации, переносимой из каждой строки СМ.

Глубина этой памяти не постоянна, как в предыдущих трех видах памяти, а зависит еще от информационного содержания образа на СМ то есть от вектора U - гипотезы восприятия. Чем больше вертикальных полос в образе на СМ, тем больше ассоциация и глубже память по координате m (m - число строк СМ), а при поперечных полосах на СМ след резко укорачивается. С помощью блока выдвижения гипотез (БВГ) можно изменять структуру и управлять глубиной памяти, концентрируя или перераспределяя внутреннее "внимание" при "осмотре" СМ.

6. Задания к лабораторной работе

1. Промоделировать работу нейрокомпьютера при исходных условиях.

Параметр NS , запрашиваемой программой в начале ее работы не должен быть очень большим, не более 50.

2. Вводятся следующие данные: состояния разрядов регистра

P : $P_1 = 0, P_2 = 0, P_3 = 0$, т.е. $P = 0 0 0$

образ на СМ:

$$\begin{aligned} S_1 &= 1, S_2 = 1, S_3 = 0, \\ S_4 &= 0, S_5 = 1, S_6 = 1, \\ S_7 &= 0, S_8 = 0, S_9 = 0, \text{ т.е.} \end{aligned}$$

$$S = \begin{pmatrix} 1 & 1 & 0 \\ 0 & 1 & 1 \\ 0 & 0 & 0 \end{pmatrix}$$

- состояние БВГ (гипотезы восприятия) U :

$$U_1 = 3, U_2 = 3, U_3 = 0, \text{ т.е. } U = \begin{pmatrix} 3 & 3 & 0 \end{pmatrix}$$

При таких исходных данных сеть нейронов будет возбуждена. На дисплее появляется приглашение ввода NS. Допустим $NS = 16$. В нашем случае сеть нейронов построена так, что на выходе включено только четыре мотонейрона. На экране появится диаграмма.

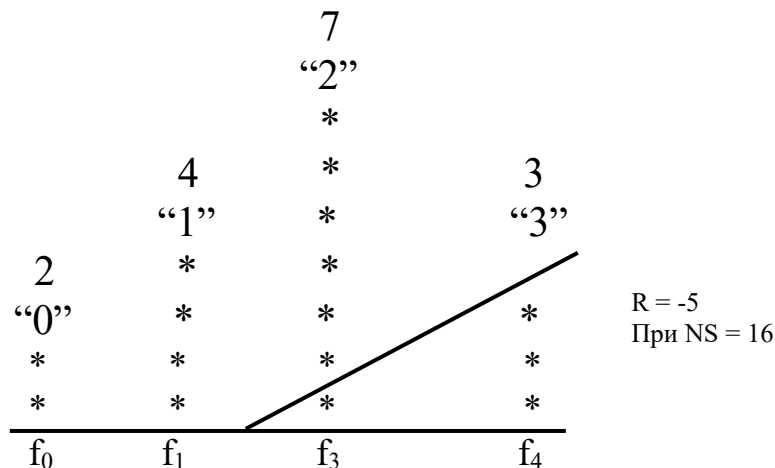


Рис.3 Выходное распределение частот мотонейронов при $NS = 16$: цифрой в кавычках обозначен номер мотонейрона, а расположенное выше число показывает количество накопленных импульсов у данного мотонейрона.

Для тестирования программы следует ввести указанные исходные данные на сенсорной матрице (СМ) для возбуждения нейронной сети.

$$S = \begin{pmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 1 \\ 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 0 \end{pmatrix}$$

при одной и той же гипотезе $U_1 = U_2 = U_3 = 3$.

Затем вводим измененную гипотезу $U_1 = 6$, $U_2 = 2$, $U_3 = 1$ и разряды регистра P : $P_1 = P_2 = P_3 = 0$, а также время работы нейрокомпьютера $NS = 50$.

На дисплее строится вектор Z , который обеспечивает графическое изображение работы рекурсивного сжимателя - результирующей реакции группы мотонейронов на входное воздействие $[S_1 \dots S_9]$, при начальном состоянии $[P_1 P_2 P_3]$, гипотезе $[U_1, U_2, U_3]$ в виде отрезка прямой с началом координат в точке (X_1, Y_1) , концом в точке Z .

7. Содержание отчета.

Отчет должен содержать:

- титульный лист;
- задание;
- блок-схема алгоритма работы нейрокомпьютера;
- текст программы;
- результаты работы программы, графики зависимости

Контрольные вопросы

1. Назовите основные блоки нейрокомпьютера "ЭМБРИОН".
2. Какую функцию выполняет сенсорная матрица (СМ)?
3. Какую функцию выполняет блок выдвижения гипотез (БВГ)?
4. Что мы называем энергетическим потенциалом сети?
5. По какой формуле рассчитывается вектор Z и как он называется?
6. Из каких циклов состоит алгоритм работы бытового нейрокомпьютера (БНК)?
7. Как происходит подсчет количества импульсов и распределение частот мотонейронов при заданном параметре NS ?
8. Какую структуру памяти имеет нейрокомпьютер "ЭМБРИОН".
9. Какие программные реализации выпускаемых нейрокомпьютеров вам известны?
10. Какие основные перспективные направления современного развития нейрокомпьютерных технологий вы знаете?
11. Какие современные направления развития нейрокомпьютерных технологий имеются в России.

Библиографический список

1. Компьютер обретает разум. Стефанюка В.Л., М., Мир, 1990, 240 с.
2. Нейрокомпьютер и интеллектуальные роботы. Амосова Н. Н., Киев, Наука думка, 1994, 272 с.
3. Нейрокомпьютеры и его применение. Цыганков В.Д., М., Сол. Систем, 1993, 117 с.
4. Нейробионика. Соколов Е.Н., Шмелев Л.А., - М., Наука, 1983, 345 с.
5. Фролов А.А., Муравьев И.П. Информационные характеристики нейронных сетей. М., Наука, 1988, 160 с.
6. Минский М., Пейперт С. Перцептроны. Мир, 1971.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности

УТВЕРЖДАЮ
Проректор по учебной работе
О.И. Локтионова
«15» 03 2021 г.

МОДЕЛИРОВАНИЕ РАБОТЫ ОДНОРАЗЯДНОГО СУММАТОРА-ВЫЧИТЕЛЯ НА ЭЛЕМЕНТАХ НЕЙРОННОЙ ЛОГИКИ

Методические рекомендации по выполнению лабораторной
работы № 5 для студентов специальностей 10.03.01, 10.05.02

Курск 2021

УДК 624.042.1

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы одноразрядного сумматора-вычитателя на элементах нейронной логики: методические рекомендации по выполнению лабораторной работы № 5 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2021. – 19 с.: ил. 8, табл. 2. – Библиогр.: с. 16 .

Содержат сведения по вопросам работы элементов нейрокомпьютерных систем. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальностей 10.03.01, 10.05.02 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать *15.03.21*. Формат 60x84/16.
Усл.печ. л. *1,0* Уч.-изд. л. *0,9* Тираж 100 экз. Заказ *493* Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №5

Моделирование работы одноразрядного сумматора-вычитателя на элементах нейронной логики

Цель работы: изучить структурную и функциональную схему одноразрядного сумматора-вычитателя на элементах нейронной логики, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы одноразрядного сумматора-вычитателя на элементах нейронной логики, составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

Основным вычислителем в блоке является одноразрядный сумматор-вычитатель двоичных чисел, который состоит из нейроподобного и пороговых элементов. Пороговые элементы составляют схему двоичного сумматора-вычитателя, а также определяют перенос при сложении или заем при вычитании.

Если сигнал суммирования-вычитания СВ равен нулю, то выполняется арифметическая операция сложения, при равенстве сигнала СВ единице выполняется операция вычитания, вычисляется по формуле

$$СВ = (ЗнР\bar{А} \& ЗнРВ) \vee (ЗнРА \& ЗнР\bar{В}). \quad (1)$$

Сумма S_i старших разрядов, формируемая с учетом значений двоичных разрядов и переноса из соседнего младшего разряда, будет иметь вид

$$S_i = З_{ri}BЧ \cdot З_{ri}MЧ \cdot \bar{P}_i \vee \overline{З_{ri}BЧ} \cdot \overline{З_{ri}MЧ} \cdot P_i \vee \overline{З_{ri}BЧ} \cdot З_{ri}MЧ \cdot \bar{P}_i \vee \overline{З_{ri}BЧ} \cdot \overline{З_{ri}MЧ} \cdot P_i. \quad (2)$$

Перенос P_{i+1} в старший разряд имеет вид

$$P_{i+1} = З_{ri}BЧ \cdot З_{ri}MЧ \vee \overline{З_{ri}BЧ} \cdot P_i \vee \overline{З_{ri}MЧ} \cdot P_i. \quad (3)$$

На выходе одноразрядного сумматора вычисляются сумма S_i чисел и перенос в старший разряд P_{i+1} .

При выполнении операции вычитания формируется разность R_i и заём Z_{i-1} из старших разрядов в младшие.

Разность R_i имеет вид

$$R_i = Z_{iBЧ} \cdot Z_{iMЧ} \cdot Z_i \overline{V Z_{iBЧ}} \cdot \overline{Z_{iMЧ}} \cdot Z_i \overline{V Z_{iBЧ}} \cdot Z_{iMЧ} \cdot \bar{Z}_i \overline{V Z_{iBЧ}} \cdot \overline{Z_{iMЧ}} \cdot \bar{Z}_i \overline{V Z_{iBЧ}} \cdot \overline{Z_{iMЧ}} \cdot \bar{Z}_i \quad (4)$$

Заём из старшего разряда в младший определяется следующим образом:

$$Z_{i-1} = \overline{Z_{iBЧ}} \cdot Z_{iMЧ} \overline{V Z_{iBЧ}} \cdot Z_i \overline{V Z_{iBЧ}} \cdot Z_{iMЧ} \cdot Z_i \quad (5)$$

где $Z_{iBЧ}$ - знаковый разряд большего числа, $Z_{iMЧ}$ - знаковый разряд меньшего числа, Π_i - перенос из младшего разряда, Z_i - заём из младшего разряда.

Функциональная схема одноразрядного сумматора-вычитателя, выполняющего арифметические операции суммирования и вычитания двоичных чисел, представлена на рис. 1.

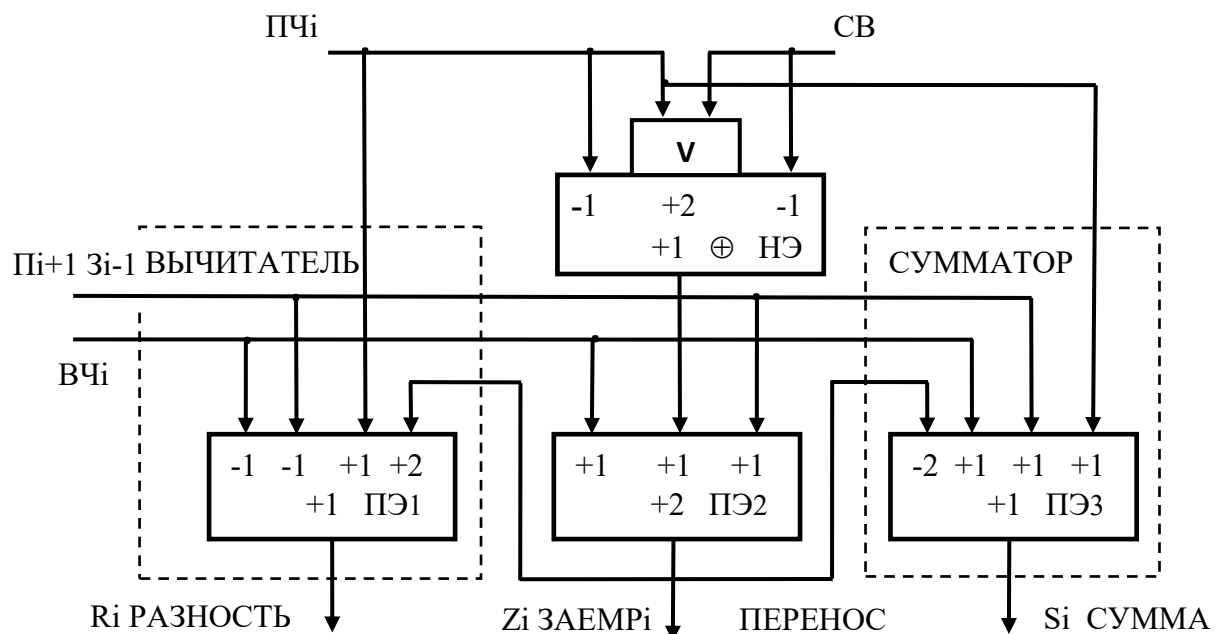


Рис.1. Функциональная схема одноразрядного сумматора-вычитателя

Сигнал ПЧ_і представляет разряд первого двоичного числа. Сигнал ВЧ представляет разряд второго двоичного числа. Сигнал перенос П_{і+1} из младших разрядов в старшие поступает при выполнении операции сложения и заем З_{і-1} из старших разрядов в младшие поступает при выполнении операции вычитания.

На схеме обозначено: нейрорподобный элемент НЭ, пороговые элементы ПЭ1, ПЭ2, ПЭ3, сигнал СВ суммирования–вычитания, сигнал двоичного разряда первого числа ПЧ_і, сигнал двоичного разряда второго числа ВЧ_і, сигналы: перенос П_{і+1} из младших разрядов в старшие, заем З_{і-1}–из старших разрядов в младшие, R_і–разность чисел, S_і–сумма чисел, Z_і–заем, P_і–перенос.

Выходной сигнал ПЧ_іСВ нейрорподобного элемента НЭ определяется системой неравенств

$$ПЧ_иСВ = \begin{cases} 1, & ПЧ_и \cdot (-1) + (ПЧ_и \vee СВ) \cdot 2 + СВ \cdot (-1) \geq 1, \\ 0, & ПЧ_и \cdot (-1) + (ПЧ_и \vee СВ) \cdot 2 + СВ \cdot (-1) < 1. \end{cases} \quad (6)$$

Результаты переноса P_і и заёма Z_і вычисляются по формуле

$$P_и/Z_и = \begin{cases} 1, & ВЧ_и \cdot 1 + ПЧ_иСВ \cdot 1 + П_{и+1}З_{и-1} \cdot 1 \geq 2, \\ 0, & ВЧ_и \cdot 1 + ПЧ_иСВ \cdot 1 + П_{и+1}З_{и-1} \cdot 1 < 2. \end{cases} \quad (7)$$

Сумма двоичных разрядов S_і вычисляется по формуле

$$S_и = \begin{cases} 1, & P_и \cdot (-2) + ВЧ_и \cdot 1 + П_{и+1}З_{и-1} \cdot 1 + ПЧ_и \cdot 1 \geq 1, \\ 0, & P_и \cdot (-2) + ВЧ_и \cdot 1 + П_{и+1}З_{и-1} \cdot 1 + ПЧ_и \cdot 1 < 1. \end{cases} \quad (8)$$

Разность двоичных разрядов R_і вычисляется по формуле

$$R_и = \begin{cases} 1, & Z_и \cdot 2 + ПЧ_и \cdot 1 + П_{и+1}З_{и-1} \cdot (-1) + ВЧ_и \cdot (-1) \geq 1, \\ 0, & Z_и \cdot 2 + ПЧ_и \cdot 1 + П_{и+1}З_{и-1} \cdot (-1) + ВЧ_и \cdot (-1) < 1. \end{cases} \quad (9)$$

2. Практические схемы на элементах нейрокомпьютерных систем

Одним из недостатков существующих алгоритмов вычисления суммы чисел является применение дополнительных кодов, а также применение параллельных сумматоров с последовательным переносом. Эти факторы влияют на аппаратную сложность цифровых устройств, а также значительно снижают скорость вычисления результата. Предлагается алгоритм сложения чисел в прямых кодах, в котором межразрядный перенос формируется сквозным способом с помощью специализированных схем. В функциональных схемах применены мажоритарные, пороговые и нейроподобные элементы, что повышает надежность работы устройства, а также ведет к упрощению комбинационных схем блоков. Структурная схема определения сквозного переноса-заема приведена на рисунке 2, которая содержит n - сумматоров по модулю два, n - мажоритарных элементов, выполняющую функцию по определению переноса в старшие разряды при суммировании или заёме из старших разрядов при вычитании.

На первые входы сумматора по модулю два блока поступают двоичные разряды операнда из блока регистра большего числа. На вторые входы всех сумматоров блока поступает признак операции суммы-вычитания. Если признак равен нулю (выполнение операции сложения), то сумматоры выполняют функцию повторителей. В этом случае все входные разряды в прямом коде поступают на первые входы соответствующих мажоритарных элементов блока. Если признак операции равен единице (выполнение операции вычитания), то все входные двоичные коды поступают на входы мажоритарных элементов в обратном коде.

В этом случае сумматоры по модулю два выполняют функцию инверторов. На вторые входы мажоритарных элементов поступает информация с выходов предыдущих мажоритарных элементов. В этом блоке используются трехвходовые мажоритарные элементы. Единица на выходе мажоритарного элемента будет только тогда, когда будет большинство единиц на входе, в данном случае две или три. На третьи входы мажоритарных элементов поступают двоичные коды из блока регистра меньшего числа в прямом коде. Выходной сигнал «перенос - заём» будет равен единице в том случае, когда возникнет перенос из младших разрядов в старшие при сложении чисел

и при возникновении заёма в младшие разряды из старших при выполнении операции вычитания от большего по модулю числа меньшего.

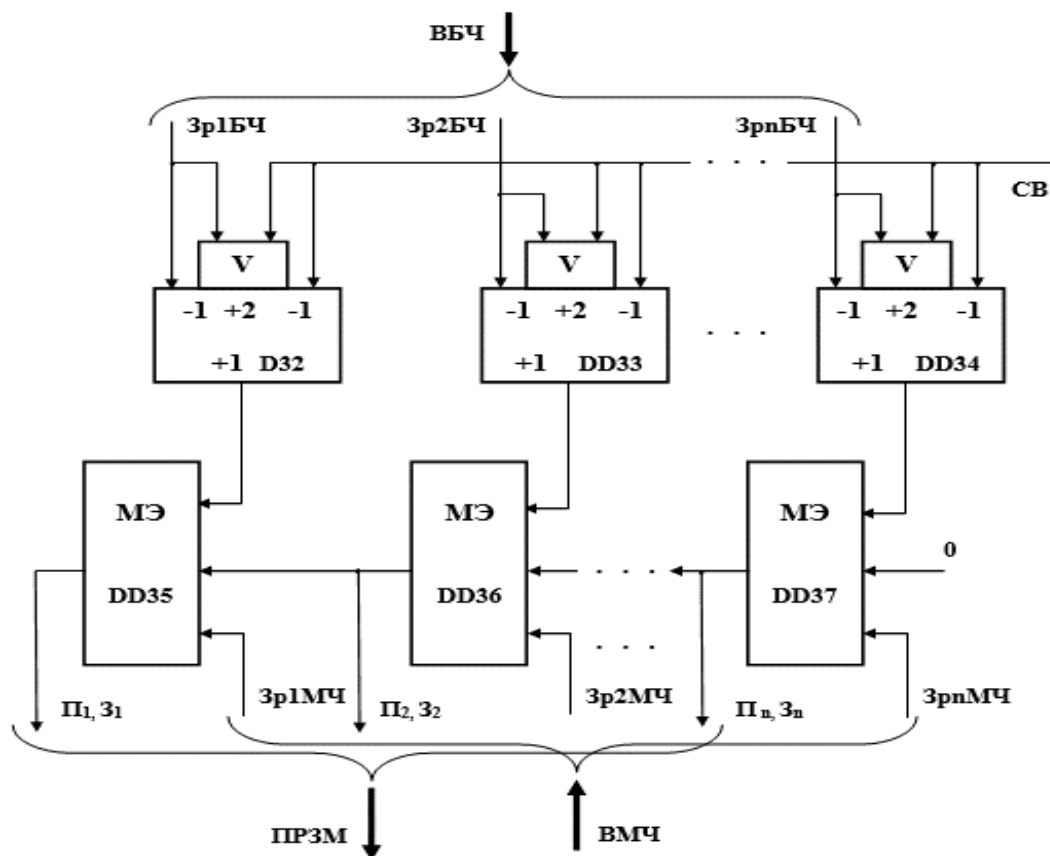


Рис. 2. Схема реализации сквозного переноса-заёма

Структурная схема блока суммирования-вычитания представлена на рис. 3. Этот блок содержит n – одноразрядных сумматоров-вычитателей. На вход каждого одноразрядного сумматора-вычитателя поступает четыре входных двоичных числа: двоичный i -разряд большего по модулю числа, при выполнении операции вычитания, или первого числа, при выполнении операции суммирования, двоичный i -разряд меньшего по модулю числа, при выполнении операции вычитания, или второго числа, при выполнении операции суммирования, перенос из младших разрядов в старшие, заем из старших разрядов в младшие при выполнении операции вычитания, управляющий сигнал суммирования-вычитания из блока ввода чисел.

разряды первого и второго чисел и перенос-заем из младшего разряда в старший и перенос-заем сформированный в i разряде, а также признак суммирования-вычитания СВ.

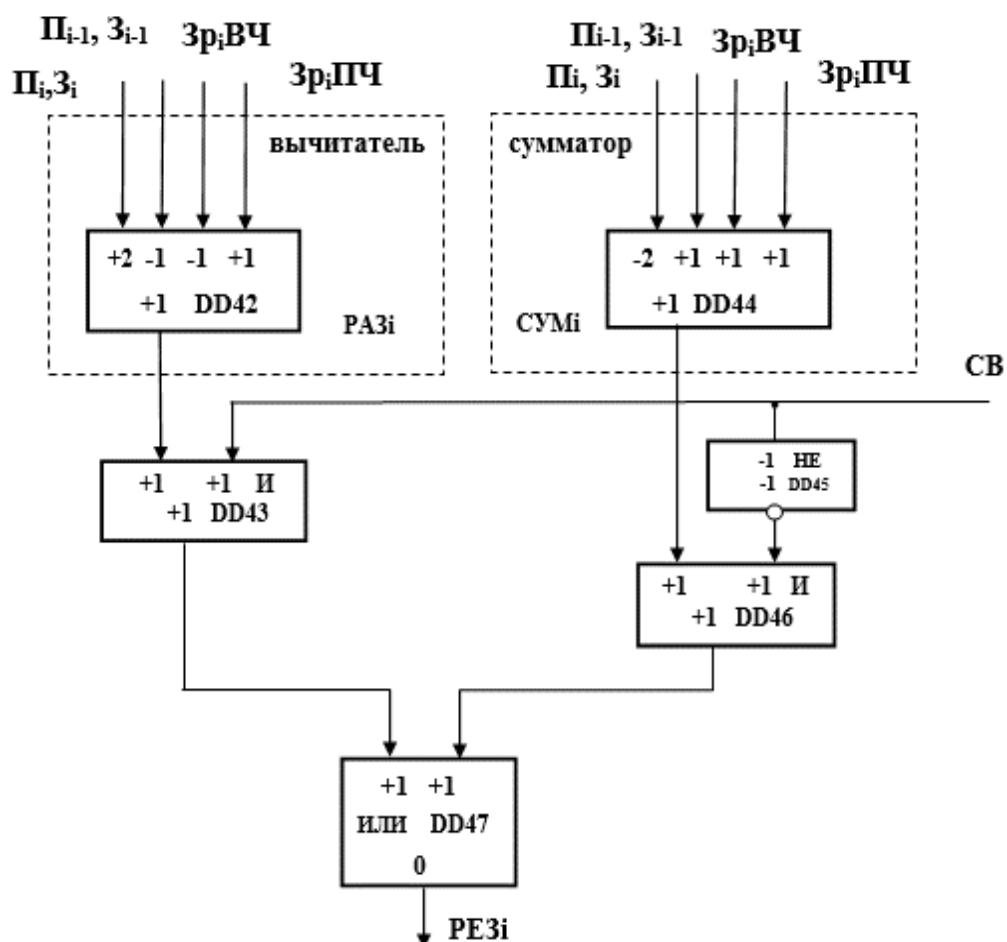


Рис. 4. Одноразрядный сумматор-вычитатель

Пороговый элемент DD42 образует схему одноразрядного вычитателя двоичного числа. Логические элементы выполняют функцию электронных ключей. Управляющим сигналом для них является признак суммирования-вычитания СВ. Если признак операции суммирования-вычитания СВ будет равен нулю, то выполняется операция суммирования. Пороговый элемент DD44 вычисляет сумму одноразрядных двоичных чисел. При суммировании через открытый элемент DD46 и схему ИЛИ DD47 разряд суммы СУМ i поступит на вход блока регистра результата. Если сигнал СВ равен единице, то это означает, что выполняется операция вычитания. Пороговый элемент DD42 образует схему одноразрядного вычитателя. На выходе элемента DD42 вычисляется разность поступивших на вход одноразрядного сумматора-вычитателя двоичных чисел. Через открытый

электронный ключ и логическую схему ИЛИ разряды разности PAZ_i будут поступать на вход блока регистра результата.

Одноразрядный сумматор-вычитатель на элементах нейронной логики

Полный одноразрядный сумматор предназначен для сложения трёх одноразрядных двоичных чисел. Устройство имеет три входа: двоичные разряды A_i , B_i и результат переноса P_{i+1} предыдущего сумматора и два выхода: результата сложения S_i и сигнала переноса в старший разряд P_i .

Таблица 1 истинности отображает функционирования полного одноразрядного сумматора.

Из таблицы 1 сумма S_i чисел определяется формулой

$$S_i = \bar{P}_{i+1}\bar{A}_iB_i \vee \bar{P}_{i+1}A_i\bar{B}_i \vee P_{i+1}\bar{A}_i\bar{B}_i \vee P_{i+1}A_iB_i = P_{i+1} \oplus A_i \oplus B_i. \quad (10)$$

Перенос P_i из младшего разряда в старший при сложении чисел определяется формулой

$$P_i = A_iB_i \vee P_{i+1}A_i \vee P_{i+1}B_i. \quad (11)$$

Работа полного одноразрядного вычитателя описывается таблицей 2 истинности, в которой отображены: заём Z_{i-1} , поступающий из соседнего более младшего разряда, уменьшаемое A_i , вычитаемое B_i , разность R_i , заём Z_i , возникающий в данном i -том разряде.

Таблица 1

P_{i+1}	A_i	B_i	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

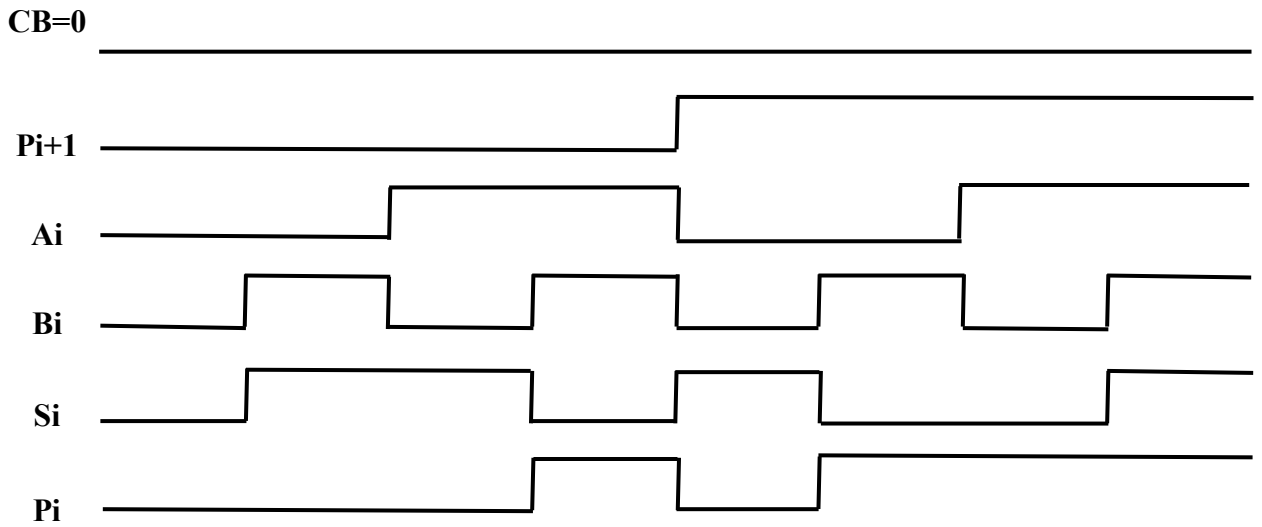


Рис. 5. Временная диаграмма режима работы полного одноразрядного сумматора

Из таблицы 2 разность чисел R_i определяется формулой

$$R_i = \bar{Z}_{i-1}\bar{A}_iB_iV\bar{Z}_{i-1}A_i\bar{B}_iV Z_{i-1}\bar{A}_i\bar{B}_iVZ_{i-1}A_iB_i = Z_{i-1}\oplus A_i\oplus B_i. \quad (12)$$

Заём Z_i из старшего разряда в младший определяется формулой

$$Z_i = \bar{A}_iB_iV\bar{A}_iZ_{i-1}VB_iZ_{i-1}. \quad (13)$$

Таблица 2

Z_{i-1}	A_i	B_i	R_i	Z_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

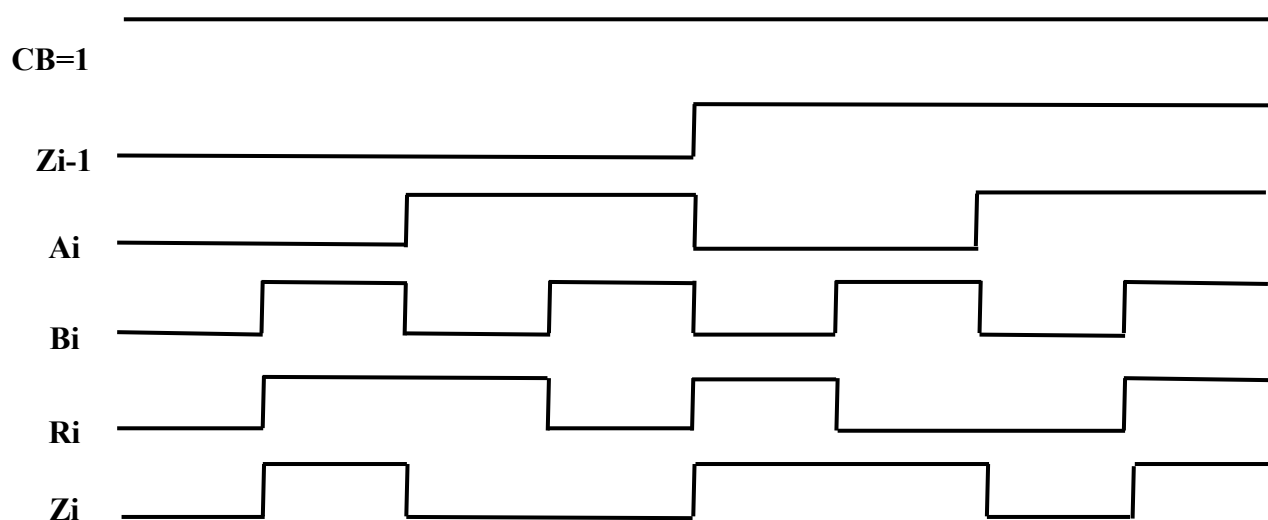


Рис. 6. Временная диаграмма режима работы полного одноразрядного вычитателя

Формулы, по которым вычисляются сумма S_i и разность R_i одинаковые, два сумматора по модулю два, выполнены на нейрорободных элементах 1 и 2 (рис.4). На рис.4 изображена функциональная схема сумматора-вычитателя.

При выполнении операции сложение перенос P_i из младшего разряда в старший выполнен на нейрорободном элементе 3 и пороговом элементе 4. Нейрорободный элемент 3 выполняет функцию повторителя двоичного разряда A_i , который подаётся на первый вход элемента. На второй вход нейрорободного элемента 3 подаётся признак операции СВ. Если выполняется операция суммирование, сигнал СВ равен нулю. На выходе нейрорободного элемента 3 будет значение $A_i \oplus CB = A_i$. Перенос P_i вычисляется пороговым элементом 4. При выполнении операции вычитание двоичных разрядов сигнал СВ равен единице. Нейрорободный элемент 3 выполняет операцию инвертора, на выходе которого выполняется функция $A_i \oplus CB = \bar{A}_i$. Заём Z_i из старшего разряда в младший вычисляется на пороговом элементе 4.

Работа сумматора-вычитателя заключается в следующем.

На входы первого нейрорободного элемента подаются двоичные разряды A_i и B_i . Первый нейрорободный элемент выполняет операцию суммирования входных двоичных разрядов. На выходе

первого сумматора вычисляется сумма двоичных разрядов A_i и B_i . Результат суммы поступает на первый вход второго нейроподобного элемента. На второй вход этого элемента поступает двоичный разряд переноса P_{i+1} из младшего разряда в старший. На выходе второго нейроподобного элемента вычисляется сумма S_i и разность R_i входных двоичных разрядов A_i и B_i по формуле

$$S_i / R_i = P_{i+1} \oplus A_i \oplus B_i . \quad (14)$$

На входы третьего нейроподобного элемента подается двоичный разряд A_i и признак выполнения арифметической операции суммирования или вычитания сигнал CB .

Если сигнал CB равен нулю, то выполняется операция суммирование двоичных чисел. Если сигнал CB равен единице, то выполняется операция вычитания двоичных чисел. При выполнении операции суммирования третий нейроподобный элемент выполняет операцию повторителя, на выходе формируется сигнал A_i по формуле $A_i \oplus 0 = A_i$. При выполнении операции вычитания третий нейроподобный элемент выполняет операцию отрицание, на выходе инвертора формируется сигнал \bar{A}_i по формуле $A_i \oplus 1 = \bar{A}_i$.

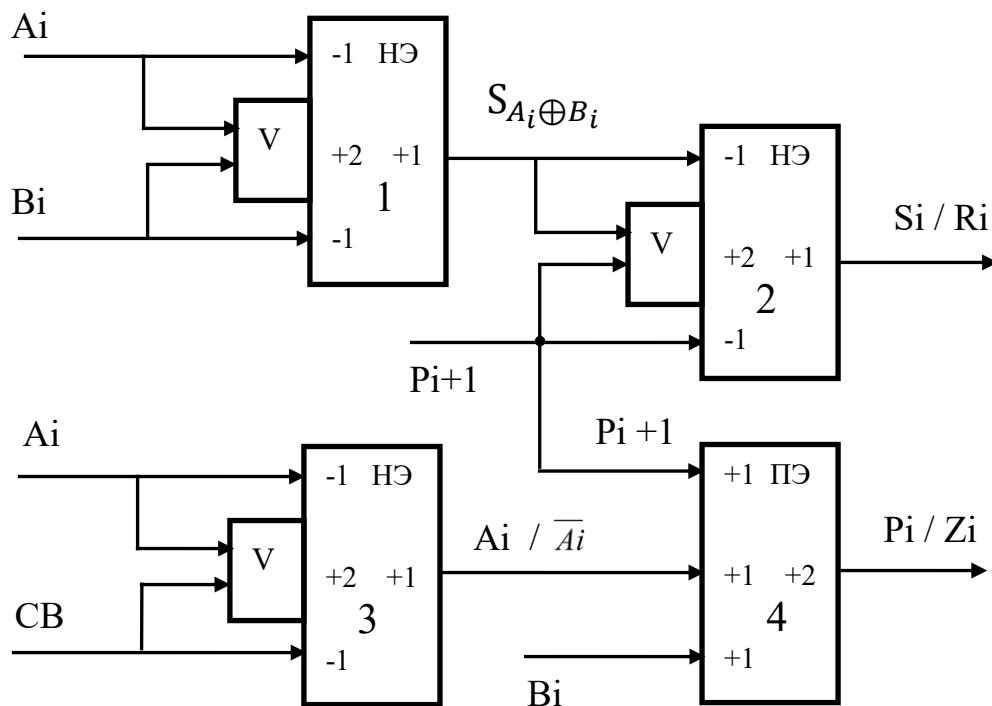


Рис. 7. Структурная схема одноразрядного сумматора-вычитателя на элементах нейронной логики

Нейроподобный элемент 1 выполняет операцию суммирования входных переменных A_i и B_i (рис.4). Обозначим выходную величину с выхода нейроподобного элемента 1 как $S_{A_i \oplus B_i}$, которая вычисляется по формуле

$$S_{A_i \oplus B_i} = \begin{cases} 1, & A_i \cdot (-1) + (A_i \vee B_i) \cdot 2 + B_i \cdot (-1) \geq 1 \\ 0, & A_i \cdot (-1) + (A_i \vee B_i) \cdot 2 + B_i \cdot (-1) < 1 \end{cases} \quad (15)$$

Нейроподобный элемент 2 выполняет операцию суммирования входных переменных $S_{A_i \oplus B_i}$ и P_{i-1} (рис.4). На выходе этого элемента формируется двоичный сигнал S_i / R_i , который вычисляется по формуле

$$S_i / R_i = \begin{cases} 1, & S_{A_i \oplus B_i} \cdot (-1) + (S_{A_i \oplus B_i} \vee P_{i+1}) \cdot 2 + P_{i+1} \cdot (-1) \geq 1 \\ 0, & S_{A_i \oplus B_i} \cdot (-1) + (S_{A_i \oplus B_i} \vee P_{i+1}) \cdot 2 + P_{i+1} \cdot (-1) < 1 \end{cases} \quad (16)$$

Пороговый элемент 4 вычисляет перенос P_i из младшего разряда в старший по формуле

$$P_i = A_i B_i \vee P_{i+1} A_i \vee P_{i+1} B_i. \quad (17)$$

При выполнении операции вычитания на пороговом элементе 4 (рис.4) вычисляется заём Z_i из старшего разряда в младший по формуле

$$Z_i = \bar{A}_i B_i \vee \bar{A}_i Z_{i-1} \vee B_i Z_{i-1} \quad (18)$$

Перенос/заем P_i / Z_i вычисляется на нейроподобном и пороговом элементах (рис.4) по формуле

$$P_i / Z_i = \begin{cases} 1, & P_{i+1} \cdot (1) + (A_i \oplus CB) \cdot 1 + B_i \cdot 1 \geq 2 \\ 0, & P_{i+1} \cdot (1) + (A_i \oplus CB) \cdot 1 + B_i \cdot 1 < 2 \end{cases} \quad (19)$$

На рис.5 представлена содержательная граф-схема алгоритма работы устройства.

Для описания алгоритма работы сумматора-вычитателя используются следующие идентификаторы.

1. A_i – двоичный разряд числа.
2. \bar{A}_i – инверсный разряд числа.
3. B_i – двоичный разряд числа.
4. P_{i+1} – перенос из младшего разряда в старший.
5. Z_{i-1} – заём из старшего разряда в младший.
6. СВ – признак выполнения операций суммирования или вычитания.
7. S_i – сумма двоичных чисел.
8. P_i – перенос в старший разряд.
9. R_i – разность двоичных чисел.
10. Z_i – заём из старшего разряда.

Блок-схема алгоритма работы сумматора-вычитателя.

Содержательная граф схема-алгоритма управления приведена на рис. 5 и она отражает работу сумматора-вычитателя.

Блок 1 алгоритма является начальным. В блоке 2 алгоритма на вход сумматора-вычитателя поступают двоичные разряды чисел по командам: НЭ1: = A_i , НЭ1: = B_i происходит подача двоичного разряда A_i на первый вход первого нейроподобного элемента, на второй вход первого нейроподобного элемента подаётся двоичный разряд числа B_i , НЭ2: = P_{i+1} перенос из младшего разряда в старший подаётся на второй вход второго нейроподобного элемента, НЭ3: = A_i ; НЭ3: = СВ происходит подача двоичного разряда A_i на первый вход третьего нейроподобного элемента, на второй вход третьего нейроподобного элемента подаётся признак выполнения операций суммирования или вычитания сигнал СВ, ПЭ4: = B_i на третий вход четвертого порогового элемента подаётся двоичный разряд числа B_i . В блоке 3 алгоритма вычисляется сумма S_i или разность R_i двоичных чисел по формуле $S_i / R_i := P_{i+1} \oplus A_i \oplus B_i$.

В блоке 4 алгоритма анализируется признак выполнения операций суммирования или вычитания сигнал СВ. Если сигнал СВ равен

нулю, то выполняется операция суммирование двоичных чисел, происходит переход из блока 4 по выходу ДА на блок 5 алгоритма. Если сигнал СВ равен единице, то выполняется операция вычитания двоичных чисел, происходит переход из блока 4 по выходу НЕТ на блок 7 алгоритма.

Блок-схема алгоритма сумматора-вычитателя

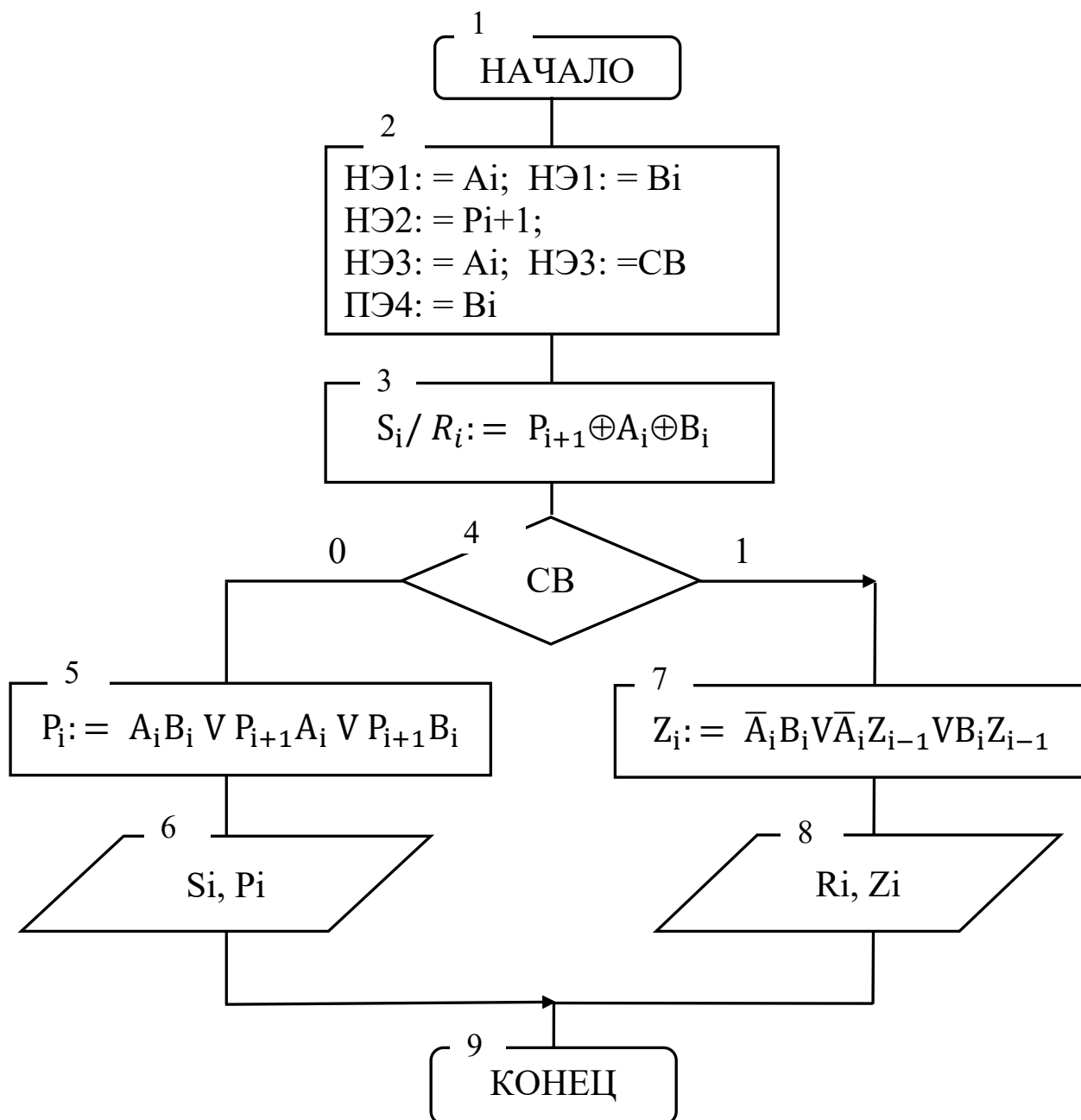


Рис. 8. Блок-схема алгоритма сумматора-вычитателя на элементах нейронной логики

В блоке 5 алгоритма вычисляется перенос в старший разряд чисел по формуле $P_i := A_i B_i \vee P_{i+1} A_i \vee P_{i+1} B_i$.

В блоке 6 алгоритма выдаётся результат сложения S_i и перенос P_i в старший разряд двоичных чисел.

В блоке 7 алгоритма вычисляется заём из старшего разряда чисел по формуле $Z_i := \bar{A}_i B_i \vee \bar{A}_i Z_{i-1} \vee B_i Z_{i-1}$.

В блоке 8 алгоритма выдаётся результат вычитания R_i и заём Z_i в младший разряд двоичных чисел. Блок 9 алгоритма является конечным.

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему сумматора-вычитателя;
- блок-схему алгоритма работы сумматора-вычитателя;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Назовите основные элементы устройства. Какую структуру имеет сумматор-вычитатель.
2. По какой формуле определяется перенос и заем из старшего разряда большего числа.
3. По какой формуле определяется перенос и заем из младшего разряда большего числа.
4. Как определяется сигнал суммы-вычитания СВ.
5. Какую функцию выполняют пороговые и нейроподобные элементы.
6. По какой формуле вычисляется пороговое напряжение нейроподобного элемента, определяющего переносы в старшие разряды при выполнении операции суммирования и заёмы из старших разрядов в младшие при выполнении операции вычитания.
7. Как происходит определение большего и меньшего числа при выполнении операции вычитания.

8. Как определяется пороговое напряжение порогового и нейроподобного элементов.
9. Как реализуются основные булевы функции на пороговых и нейроподобных элементах.
10. Как реализовать сумматор по модулю два на нейроподобном элементе.
11. Укажите основные элементы и функции сумматора-вычитателя на нейронах.
12. Как формируется знаковый разряд результата.
13. В каком блоке устройства хранится результат операции суммирования или вычитания.

Библиографический список

1. Уоссермен Ф. Нейрокомпьютерная техника. – М.: Мир, 1992 г.
2. Шахнов В.А., Власов А.И., Кузнецов А.С., Поляков Ю.А. Нейрокомпьютеры: архитектура и схемотехника. М.: Изд-во Машиностроение, 2000. 64 с.
3. Тадеусевич Рышард, Боровик Барбара, Гончаж Томаш, Леппер Бартош. Элементарное введение в технологию нейронных сетей с примерами программ / Перевод И. Д. Рудинского. — М.: Горячая линия — Телеком, 2011. — 408 с.
4. Хла Вин, Шевелев С.С., Добрица В.П. Вычислители арифметических операций на нейронах. Научно-технический журнал «Известия ЮЗГУ», №4 (43), 2012, Часть 2/ Юго-Западного государственного университета (ЮЗ-ГУ). –Курск, 2012, С. 11-16.
5. Шевелев С.С., Дорошенко Е.Ю., Хла Вин. Arithmetical operation in ternary asymmetrical system of the numeration (reckoning) // Нейрокомпьютеры: разработка, применение. -2014. No 6, С. 59-63.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



УТВЕРЖДАЮ

Проректор по учебной работе

О.Г. Локтионова

2021 г.

**МОДЕЛИРОВАНИЕ РАБОТЫ ПАРАЛЛЕЛЬНОГО СУММАТОРА-
ВЫЧИТАТЕЛЯ НА НЕЙРОНАХ СО СКВОЗНЫМ ПЕРЕНОСОМ**

Методические рекомендации по выполнению лабораторной
работы № 6 для студентов специальностей 10.03.01, 10.05.02

Курск 2021

УДК 004.272.45

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы параллельного сумматора-вычитателя на нейронах со сквозным переносом: методические рекомендации по выполнению лабораторной работы № 6 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2021. – 24 с.: ил. 6, – Библиогр.: с. 24 .

Содержат сведения по вопросам работы элементов нейрокомпьютерных систем. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальностей 10.03.01, 10.05.02 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать *23.11.21* . Формат 60x84/16.
Усл.печ. л. *13* Уч.-изд. л. *12* Тираж 100 экз. Заказ *133* Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №6

Моделирование работы параллельного сумматора-вычитателя на нейронах со сквозным переносом

Цель работы: изучить структурную и функциональную схему параллельного сумматора-вычитателя на нейронах со сквозным переносом, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы параллельного сумматора-вычитателя на нейронах со сквозным переносом, составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

В современных цифровых устройствах операция вычитания выполняется с применением дополнительного или обратного кода. Отрицательные числа представляются в дополнительном или обратном кодах. Если получен отрицательный результат, то осуществляется перевод в дополнительный или обратный код. Если получен положительный результат, то перевода в коды не происходит. Известен алгоритм сложения чисел в прямых кодах. Этот алгоритм позволяет сразу получить правильный результат в прямом коде. В этом случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах. Для получения суммы двух чисел возможны два случая: 1) слагаемые имеют одинаковые знаки; 2) слагаемые имеют разные знаки. Во втором случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах. Если числа имеют одинаковые знаки, то необходимо сложить два числа, а сумме присвоить знак одного из слагаемых. Вычисление суммы двух чисел с разными знаками осуществляется следующим образом: 1) сравниваются знаки слагаемых и, если они одинаковы, то выполняется сложение по первому алгоритму; 2) если знаки слагаемых разные, то сравниваются числа по абсолютной величине; 3) если есть необходимость, переставить числа местами, чтобы вычитать из большего меньшее; 4) произвести

вычитание двух чисел; 5) результату присвоить знак большего слагаемого.

Основным вычислителем в блоке является одноразрядный сумматор-вычитатель двоичных чисел, который состоит из нейроподобного и пороговых элементов. Пороговые элементы составляют схему двоичного сумматор-вычитателя, а также определяют перенос при сложении или заём при вычитании.

Если сигнал суммирования-вычитания СВ равен нулю, то выполняется арифметическая операция сложения, при равенстве сигнала СВ единице выполняется операция вычитания, вычисляется по формуле

$$СВ = (ЗнРА̅ & ЗнРВ) \vee (ЗнРА & ЗнРВ̅). \quad (1)$$

Сумма S_i старших разрядов, формируемая с учетом значений двоичных разрядов и переноса из соседнего младшего разряда, будет иметь вид

$$S_i = Зр_iБЧ \cdot Зр_iМЧ \cdot П_i \vee \overline{Зр_iБЧ} \cdot \overline{Зр_iМЧ} \cdot П_i \vee \overline{Зр_iБЧ} \cdot Зр_iМЧ \cdot \overline{П_i} \vee \overline{Зр_iБЧ} \cdot \overline{Зр_iМЧ} \cdot П_i. \quad (2)$$

Перенос $П_{i+1}$ в старший разряд имеет вид

$$П_{i+1} = Зр_iБЧ \cdot Зр_iМЧ \vee \overline{Зр_iБЧ} \cdot П_i \vee \overline{Зр_iМЧ} \cdot П_i. \quad (3)$$

На выходе одноразрядного сумматора вычисляются сумма S_i чисел и перенос в старший разряд $П_{i+1}$.

При выполнении операции вычитания формируется разность R_i и заём $З_{i-1}$ из старших разрядов в младшие.

Разность R_i имеет вид

$$R_i = Зр_iБЧ \cdot Зр_iМЧ \cdot З_i \vee \overline{Зр_iБЧ} \cdot \overline{Зр_iМЧ} \cdot З_i \vee \overline{Зр_iБЧ} \cdot Зр_iМЧ \cdot \overline{З_i} \vee \overline{Зр_iБЧ} \cdot \overline{Зр_iМЧ} \cdot \overline{З_i}. \quad (4)$$

Заём из старшего разряда в младший определяется следующим образом:

$$Z_{i-1} = \overline{Z_{rBЧ}} \cdot Z_{rMЧ} \vee \overline{Z_{rBЧ}} \cdot Z_i \vee Z_{rMЧ} \cdot Z_i, \quad (5)$$

где $Z_{rBЧ}$ - знаковый разряд большего числа, $Z_{rMЧ}$ - знаковый разряд меньшего числа, Π_i – перенос из младшего разряда, Z_i – заём из младшего разряда.

Функциональная схема одноразрядного сумматора-вычитателя, выполняющего арифметические операции суммирования и вычитания двоичных чисел, представлена на рис. 1.

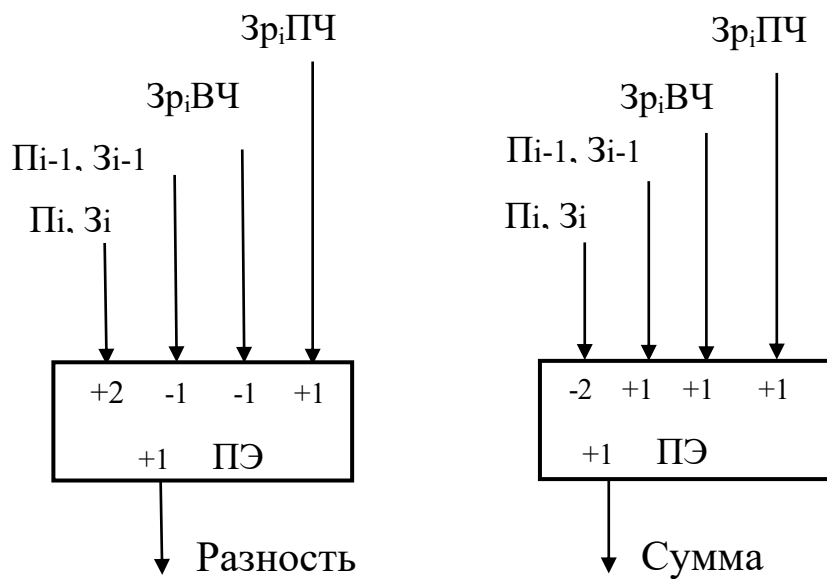


Рис.1. Функциональная схема одноразрядного сумматора-вычитателя

Работа параллельного сумматора-вычитателя на нейронах со сквозным переносом заключается в следующем.

С выхода шифратора поступают в регистры большего числа и меньшего числа двоичные числа A_2 и B_2 . На сумматоре по модулю два определяется знак результата. Если числа имеют одинаковые знаки, то вычисляется сумма чисел. Знак результату присваивается знак любого из слагаемых. Если знаки чисел разные, то выполняется операция вычитания. Из большего по модулю числа вычитается меньшее. Знак результату в этом случае присваивается знак большего по модулю числа. Предлагаемое арифметическое устрой-

ство выполняет операции суммирования и вычитания в параллельной форме. Определяется сквозной перенос в старшие разряды при суммировании, который необходимо учитывать при сложении чисел. Вычисляется сквозной заем из старших разрядов в младшие при вычитании.

Блок 1 ввода чисел содержит шифратор ШФ DD9, сумматор по модулю два DD10, сумматор по модулю два DD11 (рис.2). Этот блок позволяет вводить двоичные числа. С выхода шифратора формируется двоичный код чисел со своими знаками: А2, В2, ЗнР А, ЗнРВ и код операции КОП. Знаковый разряд второго числа ЗнР В и код операции КОП с выхода шифратора поступают на вход нейрона, выполняющего операцию сумматора по модулю два DD10.

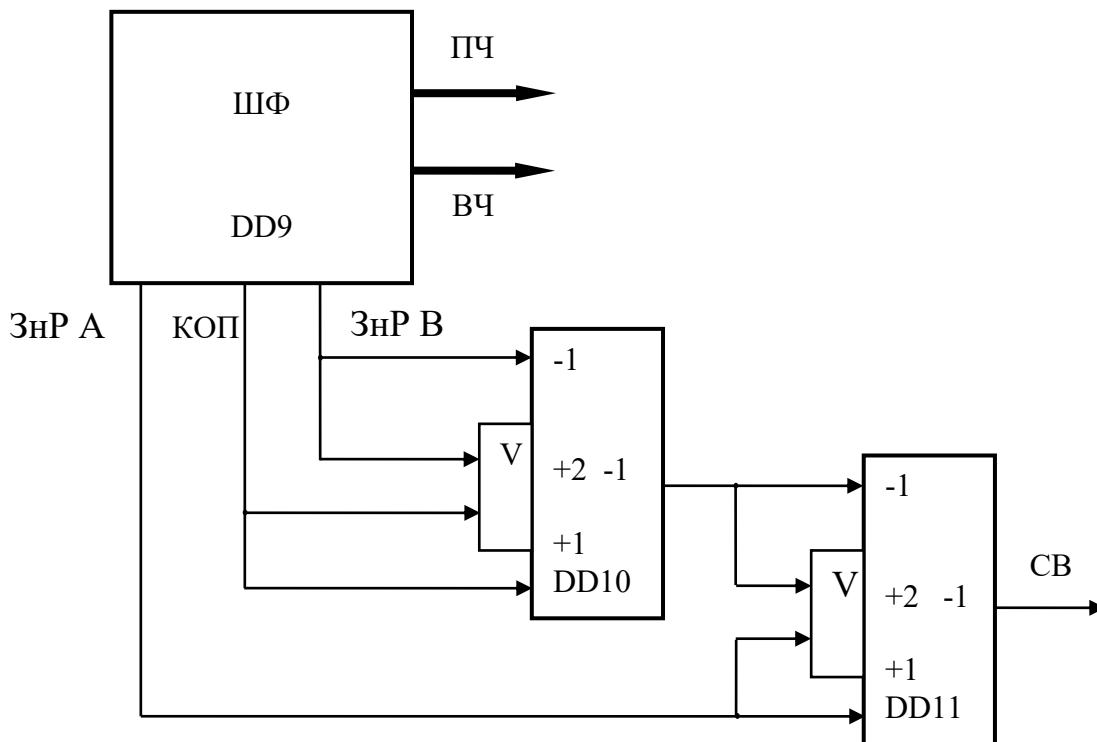


Рис.2. Функциональная схема блок ввода чисел

Выходная функция этого нейрона и знаковый разряд первого числа ЗнР А поступают на вход нейрона, выполняющего также операцию сумматора по модулю два элемент DD11. Выходной сигнал суммирования-вычитания СВ формируется на выходе нейрона двоичного элемента DD11. Сумматоры по модулю два реализуются на

формальных нейронах ФН [1]. Выходной сигнал вычисляется по формуле:

$$СВ = 3нР В \oplus КОП \oplus 3нР А \quad (1)$$

Если СВ равен единице, то необходимо выполнять операцию вычитания, при нечетном количестве знаков минус. Если СВ равен нулю, то осуществляется операция сложения, количество знаков минус является четным числом. Выходными сигналами блока 1 ввода чисел являются двоичные коды первого и второго чисел ПЧ и ВЧ, представленные в прямых кодах и признак операции СВ.

Блок 2 компарации содержит схему управления работой компаратора СУРКОМ DD12, двухвходовую логическую схему ИЛИ DD13 с первым инверсным входом, схему электронных ключей логических элементов И DD14, схему электронных ключей логических элементов с управляющим инверсным входом DD15, двухвходовый логический элемент И DD17, схему электронных ключей логических элементов с управляющим инверсным входом DD18, схему электронных ключей логических элементов И DD19, схему логических элементов ИЛИ DD16, схему логических элементов ИЛИ DD20 (рис.3). Этот блок предназначен для определения большего числа по модулю при выполнении операции вычитания, и передачи большего по модулю числа в блок регистра большего числа, и меньшего по модулю числа в блок регистра меньшего числа. При выполнении операции суммирования этот блок не определяет большего и меньшего из входных чисел, а лишь передает первое число в блок регистра большего числа и второе число в блок регистра меньшего числа. На вход компаратора поступает управляющий сигнал признак суммирования или вычитания СВ. Этот сигнал СВ поступает на: инверсный вход логического элемента ИЛИ DD13, прямой вход схемы электронных ключей логических элементов с управляющим инверсным входом DD15, двухвходовый логический элемент И DD17, прямой вход схемы электронных ключей логических элементов И DD19.

Если сумматор-вычитатель выполняет операцию вычитания, при этом признак суммирования или вычитания СВ равен единич-

ному значению, то в блок регистра большего числа необходимо записать больший по модулю операнд. В блок регистра меньшего числа загружается число меньшее по модулю. Схема управления работой компаратора СУРКОМ DD12 представляет собой схему управления работой компаратора и схему сравнения чисел. Схема сравнения чисел выполнена на формальных нейронах.

Если управляющий сигнал суммирования-вычитания СВ равен нулю, то это означает, что выполняется операция суммирования чисел. В этом случае сравнение по модулю чисел не происходит.

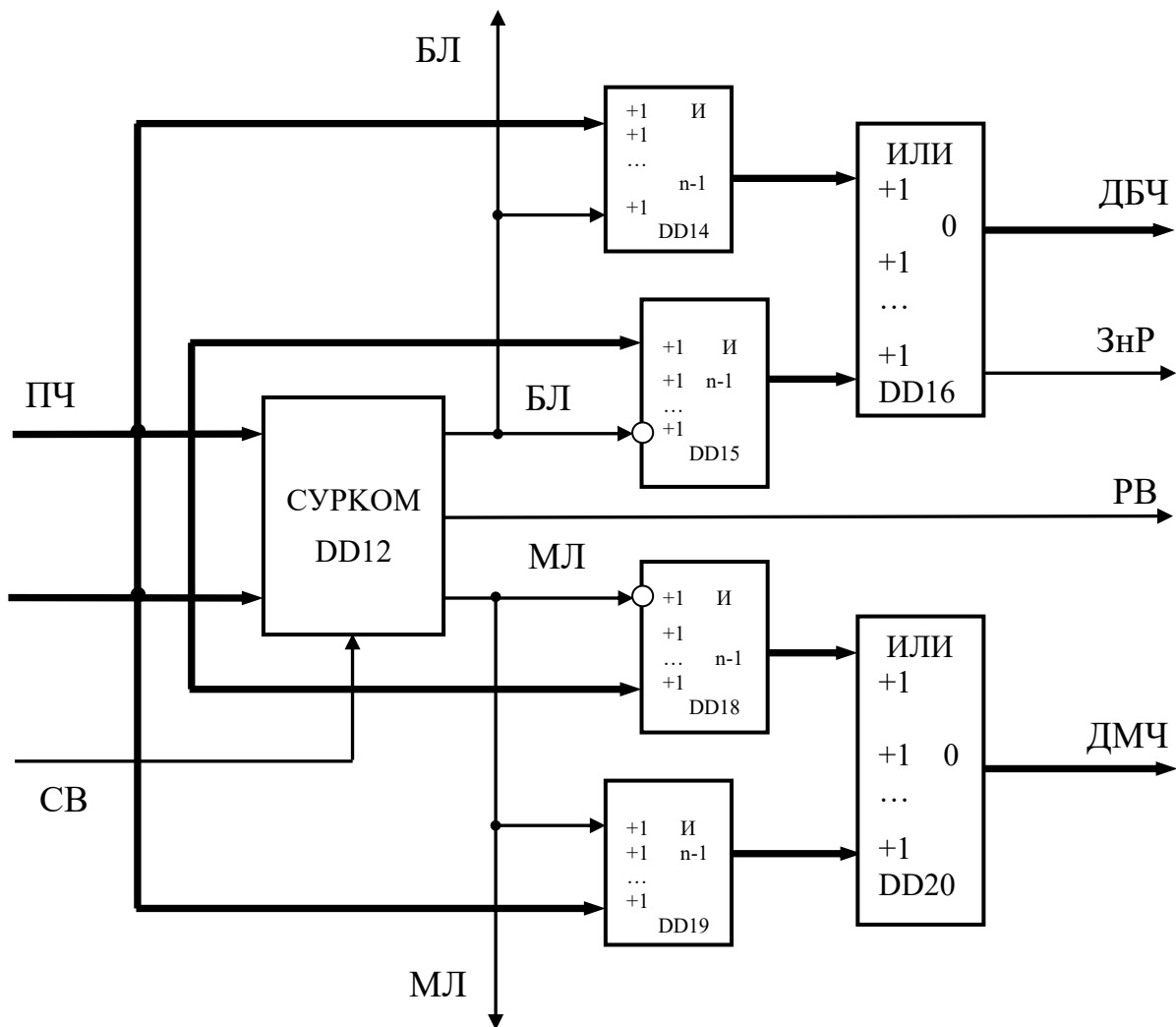


Рис.3. Функциональная схема блока компарации

На вход схемы управления работой компаратора СУРКОМ DD12 подается нулевое значение, который блокирует работу схемы.

Схема электронных ключей логических элементов с управляющим инверсным входом DD15, логический элемент И DD17, схема электронных ключей логических элементов И DD19 будут заперты нулевым управляющим сигналом СВ. На выходе логического элемента с инверсным входом ИЛИ DD13 сформируется единичный уровень, который разрешит работу схемы электронных ключей логических элементов И DD14. Через открытую схему электронных ключей логических элементов И DD14 и схему логических элементов ИЛИ DD16 первое число поступит на вход блока 3 регистра большего числа. Через открытую схему электронных ключей логических элементов И DD19 и схему логических элементов ИЛИ DD20 второе число поступит на вход блока 6 регистра меньшего числа.

Если сигнал СВ равен единице, то в этом случае выполняется операция вычитания чисел. Схема управления работой компаратора СУРКОМ DD12, схема электронных ключей логических элементов с управляющим инверсным входом DD15, схема электронных ключей логических элементов И DD19 будут открыты для работы. Сравнение чисел в этом случае проводить необходимо для определения большего и меньшего по модулю чисел. На вход схемы управления работой компараторов СУРКОМ DD25 поступают n-разрядные двоичные числа ПЧ и ВЧ без знаковых разрядов. Схема управления работой компараторов СУРКОМ DD25 имеет три выхода: БЛ - число ПЧ больше ВЧ, РВ - числа ПЧ и ВЧ равны по модулю, МН - число ПЧ меньше ВЧ.

Схемы электронных ключей логических элементов И DD14, DD15, DD18, DD19, двухвходовая логическая схема И DD17 выполнены на формальных нейронах ФН [1]. Схема логических элементов И описывается с помощью формулы $[w_1=1, w_2=1, \dots, w_n=1; T=n-1]$, где w_1, w_2, \dots, w_n - коэффициенты усиления, а T - пороговое напряжение, n - количество входов. Схемы логических элементов ИЛИ DD16, DD20, двухвходового логического элемента И DD13 с первым инверсным входом, описываются с помощью формулы $[w_1=1, w_2=1, \dots, w_n=1; T=0]$, где w_1, w_2, \dots, w_n - коэффициенты усиления, а T равное нулю - пороговое напряжение, n - количество входов. Логическая операция НЕ описывается формулой $[w=-1; T=-1]$.

На входы схем электронных ключей логических элементов И DD14 и DD19 поступает первое двоичное число ПЧ со своим знаком.

На входы схем электронных ключей логических элементов с управляющими инверсными входами DD15 и DD18 поступает второе двоичное число ВЧ со своим знаком. Выходы схемы электронных ключей логических элементов И DD14 и схемы электронных ключей логических элементов с управляющим инверсным входом DD15 поступают на вход схемы логических элементов ИЛИ DD16. Выходы схемы электронных ключей логических элементов с управляющим инверсным входом DD18 и схемы электронных ключей логических элементов И DD19 поступают на вход схемы логических элементов ИЛИ DD20. Выходная информация двоичные разряды большего числа ДБЧ схемы логических элементов ИЛИ DD16 поступает на вход блока регистра большего числа. Выходная информация двоичные разряды меньшего числа ДМЧ схемы логических элементов ИЛИ DD20 поступает на вход блока регистра меньшего числа. При поступлении первого и второго двоичных чисел ПЧ и ВЧ на вход схемы компаратора, на выходе схемы компаратора СхКОМ формируется отношение операндов. Если на выходе БЛ будет единица, то это означает, что первое число ПЧ больше второго ВЧ по модулю. Остальные выходы схемы компаратора будут равны нулевому значению.

Единичный выход схемы компаратора больше БЛ через двухвходовую логическую схему ИЛИ DD13 с первым инверсным входом откроет схему электронных ключей логических элементов И DD14 и первое двоичное число ПЧ поступит на вход схемы логических элементов ИЛИ DD16. Схема электронных ключей логических элементов с управляющим инверсным входом DD15 будет заперта т.к. управляется инверсным сигналом. С выхода схемы логических элементов ИЛИ DD16 информационный сигнал ДБЧ поступит в блок регистра большего числа. Нулевой выход схемы компаратора меньше МН через двухвходовую логическую схему ИЛИ DD17, поступает на инверсный вход схемы электронных ключей логических элементов с управляющим инверсным входом DD18 и откроет ее, и второе двоичное число ВЧ поступит на вход схемы логических элементов ИЛИ DD20. Схема электронных ключей логических элементов DD19 будет заперта т.к. управляется нулевым сигналом. С выхода схемы логических элементов ИЛИ DD20 информационный сигнал ДМЧ поступит в блок регистра меньшего числа.

Если выходной сигнал схемы компаратора меньше МН будет равен единичному значению, это означает, что второе число ВЧ больше по модулю, чем первое ПЧ. В этом случае необходимо поменять местами входные числа. Единичный выход схемы компаратора через двухвходовую логическую схему ИЛИ DD17, поступает на инверсный вход схемы электронных ключей логических элементов с управляющим инверсным входом DD18 и закрывает ее, и первое двоичное число ПЧ поступит вход схемы логических элементов ИЛИ DD20. Схема электронных ключей логических элементов DD19 будет открыта т.к. управляется единичным сигналом. С выхода схемы логических элементов ИЛИ DD20 информационный сигнал ДМЧ поступит в блок регистра меньшего числа. Нулевой выход схемы компаратора больше БЛ через двухвходовую логическую схему ИЛИ DD13 с первым инверсным входом запрет схему электронных ключей логических элементов И DD14 и второе двоичное число ВЧ поступит вход схемы логических элементов ИЛИ DD16. Схема электронных ключей логических элементов с управляющим инверсным входом DD15 будет открыта т.к. управляется прямым сигналом. С выхода схемы логических элементов ИЛИ DD16 информационный сигнал ДБЧ поступит в блок регистра большего числа. Если первое и второе двоичные числа ПЧ и ВЧ равны по модулю и выполняется операция сложения, то сигнал равенство РВ будет равен единице, а сигналы больше БЛ и меньше МН будут равны нулю. Схемы логических элементов И DD14 и DD19 будут заперты, а схемы логических элементов И DD15 и DD18 будут открыты. На схемы логических элементов ИЛИ DD16 и DD20 поступит второе двоичное число ВЧ. В этом случае, произойдет сложение двух равных по модулю чисел ВЧ и ВЧ. Знак результата ЗнР всегда будет формироваться с выхода схемы логических элементов ИЛИ DD16, т.к. на выходе этой схемы будет большее по модулю число.

Схема управления работой компараторов содержит: схему электронных ключей логических элементов И СхИ, выполненную на элементах DD21, DD22, DD23, DD24, схему компараторов СхКОМ DD25. Схема управления работой компараторов предназначена для блокирования работы компараторов, если устройством выполняется операция сложения двоичных чисел. При сложении чисел схема

компараторов СхКОМ не сравнивает числа. При суммировании чисел, имеющие равные знаковые разряды: оба положительные или оба отрицательные, сравнение чисел не происходит. В этом случае модули двоичных чисел суммируются. Для блокирования работы схем компараторов, на входе схем сравнения применяются электронные ключи, выполненные на логических элементах И DD21, DD22, DD23, DD24. Входной управляющий сигнал признак суммирования-вычитания СВ поступает параллельно на все управляющие входы логических схем И. На вторые информационные входы элементов И поступают двоичные разряды первого ПЧ и второго ВЧ входных чисел. Выходы схем электронных ключей логических элементов И СхИ поступают на входы схем компараторов. Если сигнал суммирования-вычитания СВ равен нулевому значению, то схемы электронных ключей логических элементов И СхИ будут заперты. Двоичные разряды входных чисел на вход схем сравнения не поступают. Сравнение чисел на схеме компараторов не произойдет. Если сигнал суммирования-вычитания СВ равен единичному значению, то схемы электронных ключей логических элементов И СхИ будут открыты, в этом случае входные двоичные разряды чисел через открытые схемы И поступают на входы схем компараторов, для выполнения операции сравнения чисел. Схема компараторов СхКОМ DD25 выполняет операцию сравнения чисел при выполнении операции вычитания. Многоразрядные компараторы строятся на базе одnorазрядных компараторов. При этом применяются логические схемы И, ИЛИ. Выходными сигналами схемы управления работой компараторов являются сигналы, которые являются результатом сравнения входных чисел: больше БЛ, равно РВ, меньше МЛ. Структурные схемы логических элементов ИЛИ, выполненных на микросхемах DD16 и DD20. Принципиальная схема логических элементов ИЛИ, выполненных на микросхемах DD26, DD27. Схемы электронных ключей логических элементов И DD14, DD15, DD18, DD19 имеют аналогичную структуру схемам электронных ключей логических элементов И СхИ.

Блок 3 регистра большего числа содержит n - триггеров Трп, где n - количество разрядов входного числа: DD28, DD29, DD30, DD31. Блок 3 регистра большего числа предназначен для хранения

двоичного кода большего по модулю операнда. Перед началом работы сумматора-вычитателя по приходу из блока 8 управления информационного сигнала СУ происходит обнуление всех триггеров блока. По приходу из блока 2 компарации информационного сигнала ДБЧ - данные большего числа осуществляется загрузка двоичного кода одного из чисел. При поступлении управляющего сигнала ЗП – разрешение записи на входы триггеров Тр1, Тр2, Тр3,..., Трп из блока 8 управления, разрешающего записать информацию в триггера, происходит загрузка поступившего двоичного кода числа в триггера блока. Сигнал ЗП является входным управляющим сигналом для всех элементов памяти блока. В этом блоке хранится большее по модулю число, если необходимо выполнить операцию вычитания, и первое число, поступившее из блока ввода чисел, в случае выполнения операции сложения.

Схема 4 определения сквозного переноса-заема, содержит n - сумматоров по модулю два: DD32, DD33, DD34, выполненных на формальных нейронах ФН, n - мажоритарных элементов (по большинству входов) МЭ DD35, DD36, DD37, выполняющую функцию по определению переноса в старшие разряды при суммировании или заема из старших разрядов при вычитании (рис.4). На первые входы сумматора по модулю два блока поступают двоичные разряды операнда ВБЧ из блока регистра большего числа. На вторые входы всех сумматоров блока поступает признак операции суммы-вычитания СВ. Если признак СВ равен нулю, выполнение операции сложения, то сумматоры выполняют роль повторителей. В этом случае все входные разряды в прямом коде поступают на первые входы соответствующих мажоритарных элементов МЭ блока.

Если признак операции СВ равен единице, выполнение операции вычитания, то все входные двоичные коды поступают на входы мажоритарных элементов в обратном коде. В этом случае сумматоры по модулю два выполняют функцию инверторов. На вторые входы мажоритарных элементов МЭ поступает информация с выходов предыдущих мажоритарных элементов. В этом блоке используются трехвходовые мажоритарные элементы. Единица на выходе МЭ будет только тогда, когда будет большинство единиц на входе, в данном случае две или три. На третьи входы мажоритарных элементов поступают двоичные коды ВМЧ из блока регистра меньшего

каждого сумматора-вычитателя является результат суммы или разности – PEZ_i . Управляющий сигнал CB поступает параллельно на входы всех одноразрядный сумматоров-вычитателей. Если сигнал суммирования-вычитания CB равен нулю, то это означает, что с выхода блока ввода чисел поступили числа с одинаковыми знаками, в этом случае выполняется операция суммирования, во всех блоках СУМ-ВЫЧ $_n$ вычисляется сумма чисел. В случае равенства CB единице выполняется операция вычитания. Все блоки СУМ-ВЫЧ $_n$ вычисляют разность между входными числами. Первый сумматор-вычитатель СУМ-ВЫЧ $_i$ определяет сигнал переполнения разрядной сетки $ПП$. Этот сигнал является выходным управляющим сигналом блока. Выходная информация в виде результата PEZ с выхода блока суммирования-вычитания поступает на вход блока регистра результата.

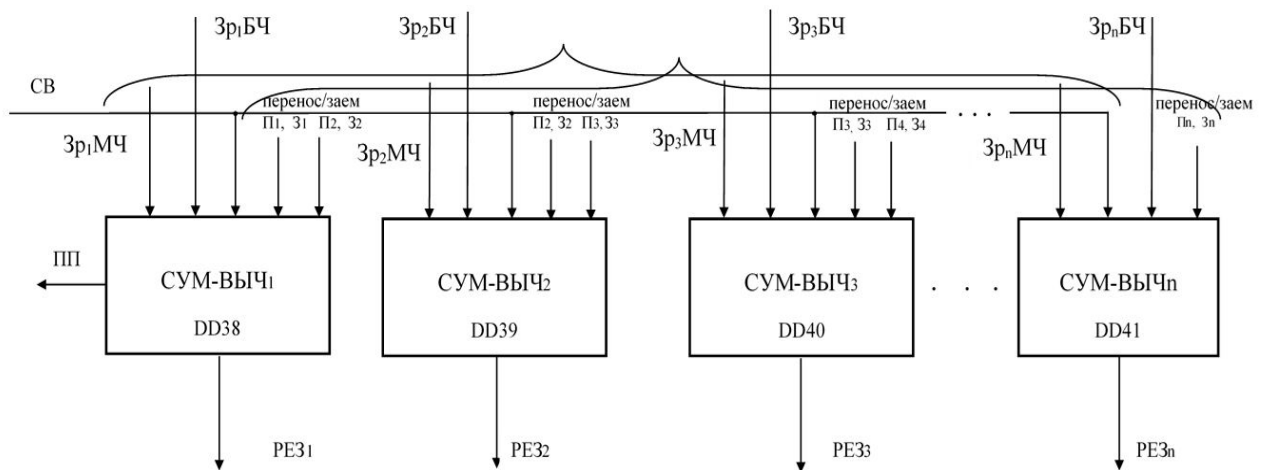


Рис.5. Структурная схема блока суммирования-вычитания

Одноразрядный сумматор-вычитатель СУМ-ВЫЧ $_i$ суммирования-вычитания содержит пороговые элементы DD42, DD44, инвертор DD45, логические схемы И DD43, DD46, логическую схему ИЛИ DD47. Пороговый элемент DD44 составляет сумматор. На входы этого порогового элемента поступают двоичные разряды первого и второго чисел $Z_{r1ПЧ}$ и $Z_{r1ВЧ}$, перенос-заем $П_{i-1}$ Z_{i-1} из младшего разряда в старший и перенос-заем сформированный в i разряде $П_i$ Z_i . Двоичные разряды поступают по разрядно: $Z_{r1ПЧ}$ - разряд

первого числа, $Z_i ВЧ$ - разряд второго числа, перенос-заем $P_{i-1} Z_{i-1}$ из младшего разряда в старший и перенос-заем сформированный в i разряде $P_i Z_i$, а также признак суммирования-вычитания СВ. Пороговый элемент DD42 образует схему одноразрядного вычитателя двоичного числа. Логические элементы DD43 и DD46 выполняют функцию электронных ключей. Управляющим сигналом для них является признак суммирования-вычитания СВ. На пороговый элемент DD46 этот сигнал поступает через инверторы DD45. Если признак операции суммирования-вычитания СВ будет равен нулю, выполнение операции суммирования, то электронный ключ DD46 будет открыт, управляющий сигнал СВ поступает через инверторы DD45, а пороговый элемент DD43 будет заперт. Пороговый элемент DD44 вычисляет сумму одноразрядных двоичных чисел: двоичные разряды первого и второго чисел $Z_i ПЧ$ и $Z_i ВЧ$, перенос-заем $P_{i-1} Z_{i-1}$ из младшего разряда в старший и перенос-заем сформированный в i разряде $P_i Z_i$. При суммировании через открытый элемент DD46 и схему ИЛИ DD47 разряд суммы СУМ $_i$ поступит на вход блока регистра результата. Если сигнал СВ равен единице, что означает выполнение операции вычитания. Пороговый элемент DD42 образует схему одноразрядного вычитателя. На выходе элемента DD42 вычисляется разность, поступивших на вход одноразрядного сумматора-вычитателя двоичных чисел: двоичные разряды первого и второго чисел $Z_i ПЧ$, $Z_i ВЧ$, перенос-заем $P_{i-1} Z_{i-1}$ из старшего разряда в младший и перенос-заем сформированный в i разряде $P_i Z_i$. Через открытый электронный ключ DD43 и логическую схему ИЛИ пороговый элемент DD47 разряды разности РА Z_i будут поступать на вход блока регистра результата.

Блок 6 регистра меньшего числа содержит n - триггеров Trn , где n - количество разрядов меньшего по модулю входного числа: DD48, DD49, DD50, DD51. Блок 6 регистра меньшего числа предназначен для хранения двоичного кода меньшего по модулю числа при выполнении операции вычитания, и второго, введенного из блока 1 ввода числа, если необходимо выполнить операцию сложения. Перед началом работы сумматора-вычитателя по приходу из блока 8 управления информационного сигнала СУП происходит обнуление всех триггеров блока. По приходу из блока 2 компарации

информационного сигнала ДМЧ - данные меньшего числа осуществляется загрузка двоичного кода числа. При поступлении управляющего сигнала ЗАП – разрешение записи на входы триггеров Тр1, Тр2, Тр3,..., Трп из блока 8 управления, разрешающего записать информацию в триггера, происходит загрузка поступившего кода с выходов блока компарации в триггера блока. Сигнал ЗАП является входным управляющим сигналом для всех элементов памяти блока.

Блок 7 регистра результата содержит k - триггеров Трк, где k - количество разрядов необходимое для получения результата заданной точности: DD53, DD54, DD55 для хранения двоичных разрядов результата. А также в состав блока входит триггер Тр1 DD52 предназначенный для хранения знакового разряда результата. В блоке регистра результата формируется результат в параллельном режиме при выполнении операций сложения или вычитания. Перед началом работы сумматора-вычитателя по приходу из блока 8 управления информационного сигнала УП происходит обнуление всех триггеров блока. Информационный сигнал результата РЕЗ, поступающий из блока суммирования-вычитания, поступает на входы триггеров Тк DD53, DD54, DD55 блока регистра результата. Полученный результат будет храниться в триггерах, составляющих регистр блока для хранения суммы или разности. На вход триггера Тр1 DD52 из блока 2 компарации поступит управляющий сигнал ЗНР – знаковый разряд. После этого в триггер Тр1 DD52 запишется знаковый разряд результата – ЗНР.

2. Практические схемы на элементах нейрокомпьютерных систем

Формулы, по которым вычисляются сумма S_i и разность R_i одинаковые, два сумматора по модулю два, выполнены на нейроподобных элементах 1 и 2. На рис.4 изображена функциональная схема сумматора-вычитателя.

При выполнении операции сложение перенос P_i из младшего разряда в старший выполнен на нейроподобном элементе 3 и пороговом элементе 4. Нейроподобный элемент 3 выполняет функцию повторителя двоичного разряда A_i , который подаётся на первый

вход элемента. На второй вход нейрорободного элемента 3 подаётся признак операции СВ. Если выполняется операция суммирование, сигнал СВ равен нулю. На выходе нейрорободного элемента 3 будет значение $A_i \oplus СВ = A_i$. Перенос P_i вычисляется пороговым элементом 4. При выполнении операции вычитание двоичных разрядов сигнал СВ равен единице. Нейрорободный элемент 3 выполняет операцию инвертора, на выходе которого выполняется функция $A_i \oplus СВ = \bar{A}_i$. Заём Z_i из старшего разряда в младший вычисляется на пороговом элементе 4.

Работа сумматора-вычитателя заключается в следующем.

На рис.6 представлена содержательная граф-схема алгоритма работы устройства.

Для описания алгоритма работы сумматора-вычитателя используются следующие идентификаторы.

1. ПЧ - первое число.
2. ВЧ - второе число.
3. ДБЧ – двоичные разряды большего числа.
4. ДМЧ - двоичные разряды меньшего числа.
5. РВ - сигнал равенства чисел, поступивший с выхода компаратора.
6. БЛ - сигнал больше, поступивший с выхода блока компаратора.
7. МН - сигнал меньше, поступивший с выхода блока компаратора.
8. ЗнР - знаковый разряд.
9. СВ - сигнал суммы-вычитания.
10. РЕЗ_i - двоичные разряды результата.

Блок-схема алгоритма работы сумматора-вычитателя.

Содержательная блок-схема алгоритма параллельного сумматора-вычитателя на нейронах со сквозным переносом приведена на рис. 6. В блоке 2 алгоритма осуществляется подача на вход блока компаратора первого и второго чисел, поступивших с выходов блока ввода данных по командам БКО:=ПЧ, БКО:=ВЧ.

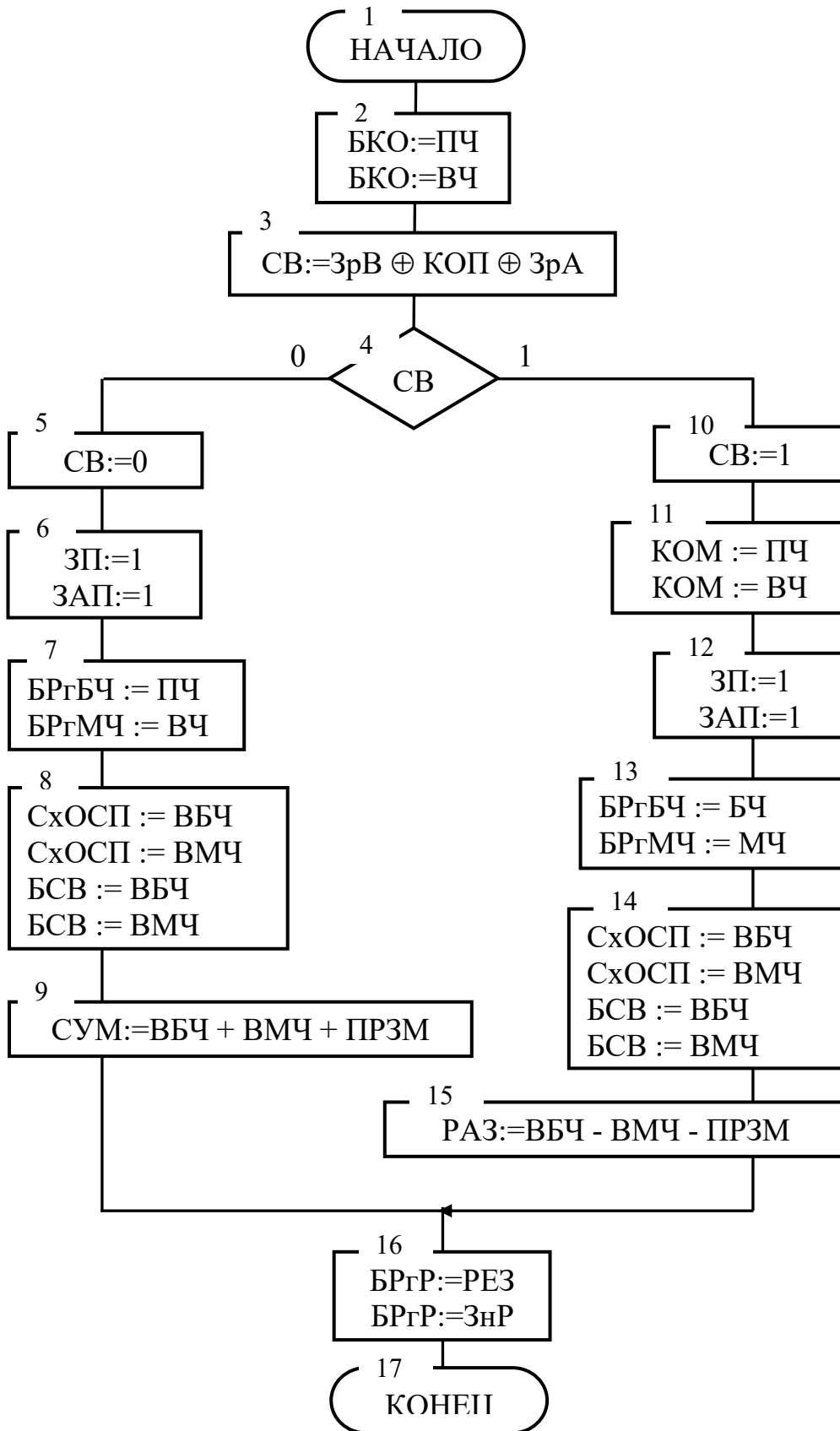


Рис.6. Блок-схема алгоритма параллельного сумматора-вычитателя на нейронах со сквозным переносом

В блоке 3 алгоритма определяется сигнал сумма-вычитание СВ, который определяет какую операцию необходимо выполнять сложение или вычитание, где также учитывается код операции. Этот сигнал определяется по операции сложения по модулю два $СВ := ЗрА \oplus ЗрВ \oplus КОП$. В блоке 4 алгоритма осуществляется анализ сигнала сумма-вычитание СВ. Если сигнал СВ равен нулевому значению, то выполняется операция сложение - выход 0 блока, при этом количество знаков минус равно четному числу, если единичному значению - выход 1 блока, то выполняется операция вычитание, в этом случае количество знаков минус нечетное при вводе знаков чисел и кода операции. В блоке 5 алгоритма сигнал сумма-вычитание СВ принимает значение нуля $СВ := 0$, при этом устройство выполняет операцию сложение, и осуществляется блокировка работы компаратора по приходу сигнала СВ, поступившего из блока ввода чисел. В этом случае на вход сумматора-вычитателя из блока ввода чисел поступают числа с одинаковыми знаками и код операции равен знаку плюс, или с разными знаками и код операции равен знаку минус, при этом сравнение чисел производить не нужно. В блоке 6 алгоритма по командам $ЗП := 1$, $ЗАП := 1$ происходит подача разрешающих сигналов на запись двоичных кодов входных чисел. Эти сигналы поступают на входы блоков регистров большего и меньшего числа из блока управления. После этого происходит запись входной информации в регистры блоков. В блоке 7 алгоритма по командам $БРгБЧ := ПЧ$, $БРгМЧ := ВЧ$ осуществляется загрузка первого и второго числа в регистры блоков большего и меньшего числа. В блоке 8 алгоритма по командам $СхОСП := ВБЧ$, $СхОСП := ВМЧ$ происходит подача входных чисел на входы схемы определения сквозного переноса-заема. По командам $БСВ := ВБЧ$, $БСВ := ВМЧ$ происходит подача чисел на блок сумматора-вычитателя. На входы блоков поступают двоичные коды входных чисел. В блоке 9 алгоритма осуществляется операция суммирование чисел и сквозного переноса-заема по команде $СУМ := ВБЧ + ВМЧ + ПРЗМ$. В блоке 10 алгоритма по команде $СВ := 1$ сигнал суммы-вычитания принимает единичное значение. В этом случае количество знаков минус является нечетным числом. Входные числа с блока ввода данных имеют разные знаки и код операции равен знаку плюс, или числа одинаковые знаки, а код опе-

рации равен знаку минус. В этом случае необходимо выполнить операцию сравнения модулей чисел, для того чтобы определить большее и меньшее из чисел для выполнения операции вычитания. Компаратор отпирается единичным сигналом сумма-вычитание СВ. В блоке 11 алгоритма по командам: КОМ:=ПЧ, КОМ:=ВЧ на вход компаратора поступают первое и второе число с выхода блока ввода данных для выполнения операции сравнения между ними. В блоке 12 алгоритма происходит подача отпирающих сигналов из блока управления на входы блоков регистров большего и меньшего числа по командам: ЗП:=1, ЗАП:=1 для записи информации в регистры. В блоке 13 алгоритма осуществляется загрузка операндов в регистры блоков большего и меньшего числа по командам: БРГБЧ:=БЧ, БРГМЧ:=МЧ. В блоке 14 алгоритма по командам: СхОСП:=ВБЧ, СхОСП:=ВМЧ происходит подача входных чисел на входы схемы определения сквозного переноса-заема. По командам: БСВ:=ВБЧ, БСВ:=ВМЧ на вход блока сумматора-вычитателя поступает первое и второе число для выполнения операции вычитания. В блоке 15 алгоритма по команде РАЗ:=ВБЧ-ВМЧ-ПРЗМ осуществляется операция вычитание между входными числами. Из большего по модулю числа вычитается меньшее. По этой операции вычисляется разность РАЗ чисел. В блоке 16 алгоритма по командам: БРГР:=РЕЗ, БРГР:=ЗнР происходит запись результата и его знака в регистр блока результата. Блок 17 алгоритма является конечным.

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему сумматора-вычитателя;
- блок-схему алгоритма работы сумматора-вычитателя на нейронах со сквозным переносом
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Назовите основные элементы устройства. Какую структуру имеет сумматор-вычитатель на нейронах.
2. По какой формуле определяется заём из старшего разряда большего числа.
3. По какой формуле определяется перенос из младшего разряда большего числа.
4. Как определяется сигнал суммы-вычитания СВ.
5. Какую функцию выполняют пороговые и нейроподобные элементы.
6. По какой формуле вычисляется пороговое напряжение нейроподобного элемента, определяющего переносы в старшие разряды при выполнении операции суммирования и заёмы из старших разрядов в младшие при выполнении операции вычитания.
7. Как происходит определение большего и меньшего числа при выполнении операции вычитания.
8. Как определяется пороговое напряжение порогового и нейроподобного элементов.
9. Как реализуются основные булевы функции на пороговых и нейроподобных элементах.
10. Как реализовать сумматор по модулю два на нейроподобном элементе.
11. Укажите основные элементы и функции сумматора-вычитателя на нейронах.
12. Как формируется знаковый разряд результата.
13. В каком блоке устройства хранится результат операции суммирования или вычитания.

Библиографический список

1. Хорошевский В.Г. Архитектура вычислительных систем.- М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с.
2. Параллельный сумматор-вычитатель на нейронах со сквозным переносом: / пат. 2523942 Рос. Федерация, № 2012141444 / Шевелев С.С., Солодовников Ф.М., Шикунев Д.А., Шикунова Е.С., Хла Вин / заявл. 27.09.2012; опубл. 27.07.2014, Бюл. № 21

3. Устройство поразрядного вычисления логических и арифметических операций: пат. 2739343 Рос. Федерация. № 2020129326 / Шевелев С.С; заявл. 04.09.2020; опубл. 23.12.2020, Бюл. №36.
4. Параллельно-последовательный сумматор-вычитатель старшими разрядами вперед на нейронах: пат. 2708501 Рос. Федерация. № 2019115593 / Шевелев С.С; заявл. 21.05.2019; опубл. 09.12.2019, Бюл. №34.
5. Сумматор-вычитатель на элементах нейронной логики: пат. 2715177 Рос. Федерация. № 2019118282 / Шевелев С.С; заявл. 13.06.2019; опубл. 25.02.2020, Бюл. №6.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



УТВЕРЖДАЮ

Проректор по учебной работе

О.Г. Локтионова

2021 г.

**МОДЕЛИРОВАНИЕ РАБОТЫ ПАРАЛЛЕЛЬНОГО СУММАТОРА-
ВЫЧИТАТЕЛЯ СУММАТОРА-ВЫЧИТАТЕЛЯ НА ЭЛЕМЕНТАХ
НЕЙРОННОЙ ЛОГИКИ**

Методические рекомендации по выполнению лабораторной
работы № 7 для студентов специальностей 10.03.01, 10.05.02

Курск 2021

УДК 004.272.45

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы параллельного сумматора-вычитателя сумматора-вычитателя на элементах нейронной логики: методические рекомендации по выполнению лабораторной работы № 7 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2021. – 23 с.: ил. 6, табл. 2. – Библиогр.: с. 23 .

Содержат сведения по вопросам работы элементов нейрокомпьютерных систем. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальностей 10.03.01, 10.05.02 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать *23.11.21*. Формат 60x84/16.
Усл.печ. л. *1,3* Уч.-изд. л. *1,2* Тираж 100 экз. Заказ. *1311* Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №7

Моделирование работы параллельного сумматора-вычитателя сумматора-вычитателя на элементах нейронной логики

Цель работы: изучить структурную и функциональную схему параллельного сумматора-вычитателя на элементах нейронной логики, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы параллельного сумматора-вычитателя на элементах нейронной логики, составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

Сумматор – это схема, которая предназначена для суммирования двух входных двоичных n - разрядных кодов. Операция вычитания заменяется сложением слов в обратном или дополнительном коде. Операции умножения и деления сводятся к реализации многократных сложений и сдвигов. Поэтому сумматор является важным компонентом любого арифметико-логического устройства.

Сумматор состоит из элементарных подсхем, которые называются одноразрядными сумматорами.

Существуют следующие классификации сумматоров:

- по числу входов:
 - полусумматоры,
 - одноразрядные сумматоры,
 - многоразрядные сумматоры.
- по способу сложения:
 - параллельные – все разряды операндов поступают одновременно на соответствующие входы одноразрядных суммирующих схем,
 - последовательные – значения разрядов операндов и переноса, которые запомнились в предыдущем такте, поступают последовательно в направлении от младших разрядов к старшим на входы одного одноразрядного сумматора,

- параллельно-последовательные – число разбивается на части (например, байты), разряды байтов поступают на входы подсумматоров (в нашем примере – восьмиразрядных сумматоров) параллельно (одновременно), а сами группы разрядов (байтов) – последовательно.
- по организации хранения результатов:
 - комбинационные – результат операции сложения запоминается в регистре результата,
 - накапливающие – процесс сложения объединяется с хранением результата,
 - комбинированные,
- по организации переноса между разрядами:
 - с последовательным переносом,
 - со сквозным переносом,
 - с параллельным переносом,
 - с комбинированным переносом,
- по системе счисления:
 - позиционные (двоичные, десятичные, двоично-десятичные и т.д.),
 - непозиционные,
- по разрядности – в зависимости от того, сколько разрядные числа могут суммироваться,
- по способу представления отрицательных чисел,
 - в обратном коде,
 - в дополнительном коде,
- по времени сложения:
 - синхронные – это сумматоры с постоянным интервалом времени необходимым для сложения,
 - асинхронные – это сумматоры, в которых интервал времени для сложения определяется моментом фактического окончания операции.

Параллельный многоразрядный сумматор содержит n одноразрядных схем сложения. Значения всех разрядов двух чисел A и B поступают на входы соответствующих одноразрядных сумматоров параллельно (одновременно). В параллельных сумматорах с последовательным переносом значение сигнала переноса P_i передается от разряда к разряду асинхронно. При использовании обратного кода

перенос из самого старшего разряда подается на вход переноса младшего разряда по цепи циклического переноса. При использовании дополнительного кода цепь циклического переноса разрывается, а на вход переноса младшего разряда подается логический нуль.

Для повышения быстродействия сумматоров используют n -разрядные сумматоры с параллельными переносами. При этом сумматор разбивается на две части: собственно схему сложения и схему выработки ускоренных переносов. Схема сложения содержит n упрощенных одноразрядных сумматоров SM на три входа и только на один выход суммы S_i . Схема ускоренных переносов вырабатывает сигналы переносов P_i одновременно во всех разрядах на основе уравнений, которые учитывают значение переменных A_i и B_i как в данном разряде, так и в предыдущем младшем.

Известен алгоритм сложения чисел в прямых кодах. Этот алгоритм позволяет сразу получить правильный результат в прямом коде. В этом случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах. Для получения суммы двух чисел возможны два случая: слагаемые имеют одинаковые знаки; слагаемые имеют разные знаки. Во втором случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах. Если числа имеют одинаковые знаки, то необходимо сложить два числа, а сумме присвоить знак одного из слагаемых. Вычисление суммы двух чисел с разными знаками осуществляется следующим образом: сравниваются знаки слагаемых и, если они одинаковы, то выполняется сложение по первому алгоритму; если знаки слагаемых разные, то сравниваются числа по абсолютной величине; если есть необходимость, переставить числа местами, чтобы вычитать из большего меньшее; произвести вычитание двух чисел; результату присвоить знак большего слагаемого

Основным вычислителем в блоке является одноразрядный сумматор-вычитатель двоичных чисел, который состоит из нейроподобных и порогового элементов. Нейроподобные элементы составляют схему двоичного сумматор-вычитателя, а также определяют перенос при сложении или заем при вычитании.

Если сигнал суммирования-вычитания СВ равен нулю, то выполняется арифметическая операция сложения, при равенстве сигнала СВ единице выполняется операция вычитания, вычисляется по формуле

$$СВ = (ЗнР\bar{А} \& ЗнРВ) \vee (ЗнРА \& ЗнР\bar{В}). \quad (1)$$

Сумма S_i старших разрядов, формируемая с учетом значений двоичных разрядов и переноса из соседнего младшего разряда, будет иметь вид

$$S_i = Зр_iБЧ \cdot Зр_iМЧ \cdot \bar{P}_i \vee \overline{Зр_iБЧ \cdot Зр_iМЧ \cdot P_i} \vee \overline{Зр_iБЧ \cdot Зр_iМЧ \cdot \bar{P}_i} \vee \overline{Зр_iБЧ \cdot \overline{Зр_iМЧ \cdot P_i}}. \quad (2)$$

Перенос P_{i+1} в старший разряд имеет вид

$$P_{i+1} = Зр_iБЧ \cdot Зр_iМЧ \vee \overline{Зр_iБЧ \cdot P_i} \vee \overline{Зр_iМЧ \cdot P_i}. \quad (3)$$

На выходе одноразрядного сумматора вычисляются сумма S_i чисел и перенос в старший разряд P_{i+1} .

При выполнении операции вычитания формируется разность R_i и заём Z_{i+1} из старших разрядов в младшие.

Разность R_i имеет вид

$$R_i = Зр_iБЧ \cdot Зр_iМЧ \cdot Z_i \vee \overline{Зр_iБЧ \cdot \overline{Зр_iМЧ \cdot Z_i}} \vee \overline{Зр_iБЧ \cdot Зр_iМЧ \cdot \bar{Z}_i} \vee \overline{Зр_iБЧ \cdot \overline{Зр_iМЧ \cdot \bar{Z}_i}}. \quad (4)$$

Заём из старшего разряда в младший определяется следующим образом:

$$Z_{i+1} = \overline{Зр_iБЧ \cdot Зр_iМЧ} \vee \overline{Зр_iБЧ \cdot Z_i} \vee \overline{Зр_iМЧ \cdot Z_i}, \quad (5)$$

где $Зр_iБЧ$ - знаковый разряд большего числа, $Зр_iМЧ$ - знаковый разряд меньшего числа, P_i – перенос из младшего разряда, Z_i – заём из младшего разряда.

Структурная схема одноразрядного сумматора-вычитателя, выполняющего арифметические операции суммирования и вычитания двоичных чисел, представлена на рис. 1.

Сигнал A_i представляет разряд первого двоичного числа. Сигнал B_i представляет разряд второго двоичного числа. Сигнал перенос P_{i+1} из младших разрядов в старшие поступает при выполнении операции сложения и заем Z_{i+1} из старших разрядов в младшие поступает при выполнении операции вычитания.

На схеме обозначено: пороговый элемент ПЭ, нейроподобные элементы НЭ1, НЭ2, НЭ3, сигнал СВ суммирования-вычитания, сигнал двоичного разряда первого числа A_i , сигнал двоичного разряда второго числа B_i , сигналы: перенос P_{i+1} из младших разрядов в старшие, заем Z_{i+1} из старших разрядов в младшие, R_i —разность чисел, S_i —сумма чисел, Z_i —заем, P_i —перенос.

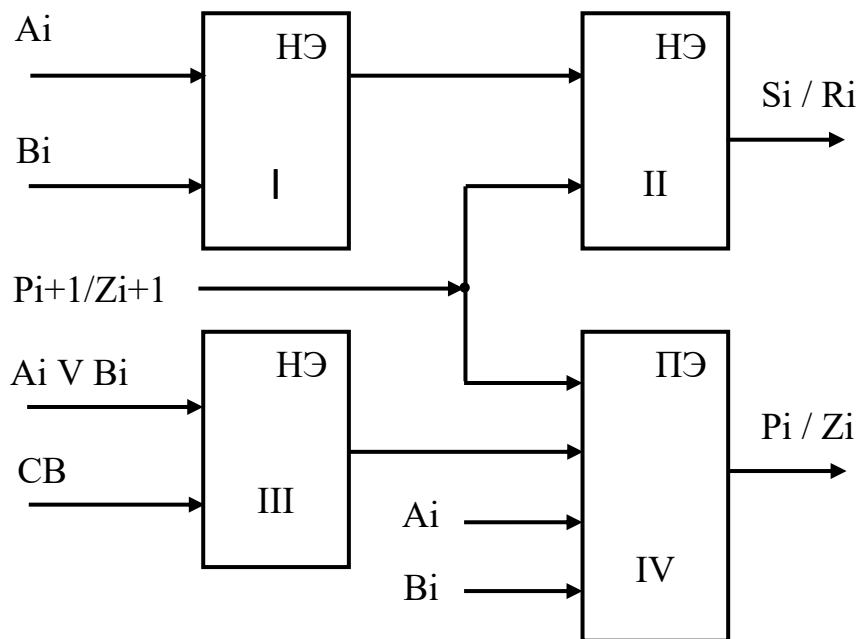


Рис.1. Структурная схема одноразрядного сумматора-вычитателя

Выходной сигнал ПЭ; СВ нейроподобного элемента НЭ определяется системой неравенств

$$A_i CB = \begin{cases} 1, & A_i \cdot (-1) + (A_i \vee CB) \cdot 2 + CB \cdot (-1) \geq 1, \\ 0, & A_i \cdot (-1) + (A_i \vee CB) \cdot 2 + CB \cdot (-1) < 1. \end{cases} \quad (6)$$

Результаты переноса P_i и заёма Z_i вычисляются по формуле

$$P_i/Z_i = \begin{cases} 1, & B_i \cdot 1 + A_i CB \cdot 1 + P_{i+1} Z_{i+1} \cdot 1 \geq 2, \\ 0, & B_i \cdot 1 + A_i CB \cdot 1 + P_{i+1} Z_{i+1} \cdot 1 < 2. \end{cases} \quad (7)$$

Сумма двоичных разрядов S_i вычисляется по формуле

$$S_i = \begin{cases} 1, & P_i \cdot (-2) + B_i \cdot 1 + P_{i+1} Z_{i+1} \cdot 1 + A_i \cdot 1 \geq 1, \\ 0, & P_i \cdot (-2) + B_i \cdot 1 + P_{i+1} Z_{i+1} \cdot 1 + A_i \cdot 1 < 1. \end{cases} \quad (8)$$

Разность двоичных разрядов R_i вычисляется по формуле

$$R_i = \begin{cases} 1, & Z_i \cdot 2 + A_i \cdot 1 + P_{i+1} Z_{i+1} \cdot (-1) + B_i \cdot (-1) \geq 1, \\ 0, & Z_i \cdot 2 + A_i \cdot 1 + P_{i+1} Z_{i+1} \cdot (-1) + B_i \cdot (-1) < 1. \end{cases} \quad (9)$$

2. Практические схемы на элементах нейрокомпьютерных систем

Одним из недостатков существующих алгоритмов вычисления суммы чисел является применение дополнительных кодов, а также применение параллельных сумматоров с последовательным переносом. Эти факторы влияют на аппаратную сложность цифровых устройств, а также значительно снижают скорость вычисления результата.

Структурная схема блока суммирования-вычитания представлена на рис. 2. Этот блок содержит n – одноразрядных сумматоров-вычитателей. На вход каждого одноразрядного сумматора-вычитателя поступает четыре входных двоичных числа: двоичный i -разряд большего по модулю числа, при выполнении операции вычитания,

или первого числа, при выполнении операции суммирования, двоичный i -разряд меньшего по модулю числа, при выполнении операции вычитания, или второго числа, при выполнении операции суммирования, перенос из младших разрядов в старшие, заем из старших разрядов в младшие при выполнении операции вычитания, управляющий сигнал суммирования-вычитания из блока ввода чисел.

Выходом каждого сумматора-вычитателя является результат суммы или разности. Управляющий сигнал поступает параллельно на входы всех одноразрядных сумматоров-вычитателей. Если сигнал суммирования-вычитания равен нулю, то это означает, что с выхода блока ввода чисел поступили числа с одинаковыми знаками, в этом случае выполняется операция суммирования, во всех блоках вычисляется сумма чисел. В случае равенства единице выполняется операция вычитания. Все блоки вычисляют разность между входными числами. Первый сумматор-вычитатель определяет сигнал переполнения разрядной сетки. Этот сигнал является выходным управляющим сигналом блока. Выходная информация в виде результата с выхода блока суммирования-вычитания поступает на вход блока регистра результата.

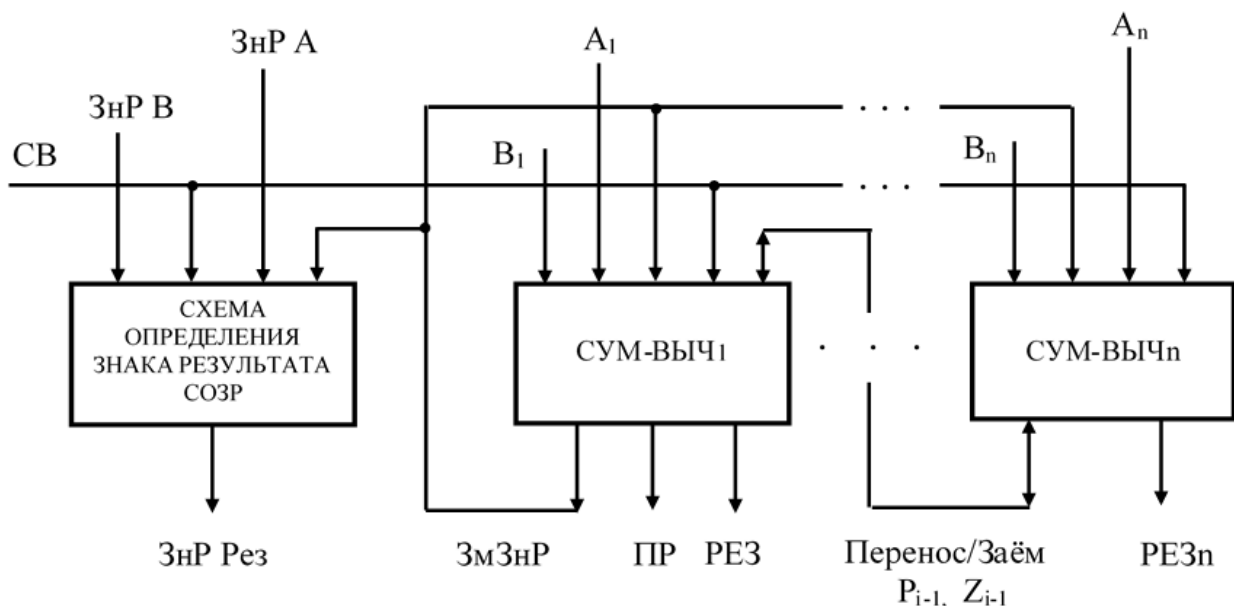


Рис. 2. Структурная схема определения знака результата и параллельных сумматоров-вычитателей

Схема определения знака результата СОЗР определяет знаковый разряд результата представлена на рис.3. В структуру схемы входят пороговые элементы. Входные сигналы: признак операции суммирования-вычитания СВ и заём из знакового разряда первого числа ЗмЗнР поступают на вход порогового элемента ПЭ I, который выполняет функцию логической схемы И. Сигнал с выхода порогового элемента ПЭ I поступает на прямой управляющий вход порогового элемента ПЭ IV, который выполняет функцию логической схемы И и на вход порогового элемента ПЭ II, который выполняет функцию инвертора. Сигнал с выхода инвертора поступает на прямой управляющий вход порогового элемента ПЭ III, который выполняет функцию логической схемы И. Выходные сигналы пороговых элементов ПЭ III и IV поступают на входы порогового элемента ПЭ V, который выполняет функцию логической схемы ИЛИ. Если сигнал суммирования-вычитания СВ равен нулю, то выполняется арифметическая операция суммирование двоичных чисел. Входные числа A_n и B_n суммируются по модулю, знаку суммы присваивается знак первого числа A_n .

Выходной сигнал порогового элемента ПЭ I будет равен нулю. Пороговый элемент ПЭ IV будет заперт, на выходе будет нулевое значение. Пороговый элемент ПЭ III будет открыт, так как сигнал с выхода ПЭ I поступит на управляющий вход через инвертор ПЭ II. Первым входом порогового элемента ПЭ III является знаковый разряд первого числа ЗнР А, который через открытый пороговый элемент ПЭ III поступит на первый вход порогового элемента ПЭ V – схемы ИЛИ. Знаковый разряд результата ЗнР РЕЗ – выход логической схемы ИЛИ порогового элемента ПЭ V, будет равен знаковому разряду первого числа ЗнР А. Если сигнал суммирования-вычитания СВ равен единице, то выполняется арифметическая операция вычитание двоичных чисел. Определяющим сигналом в сравнении модулей чисел является сигнал заём из знакового разряда первого числа ЗмЗнР. Знаку разности присваивается знак большего числа. Если сигнал заём ЗмЗнР равен нулю, то первое число по модулю больше второго, в этом случае вычисляется разность между числами A_n и B_n . Выходной сигнал порогового элемента ПЭ I будет равен нулю. Пороговый элемент ПЭ IV будет заперт, на выходе будет нулевое значение. Пороговый элемент ПЭ III будет открыт, так как сигнал с

выхода ПЭ I поступит на управляющий вход через инвертор ПЭ II. Первым входом порогового элемента ПЭ III является знаковый разряд первого числа ЗнР А, который через открытый пороговый элемент ПЭ III поступит на первый вход порогового элемента ПЭ V – схемы ИЛИ. Знаковый разряд результата ЗнР РЕЗ – выход логической схемы ИЛИ элемента ПЭ V, будет равен знаковому разряду большего числа ЗнРА.

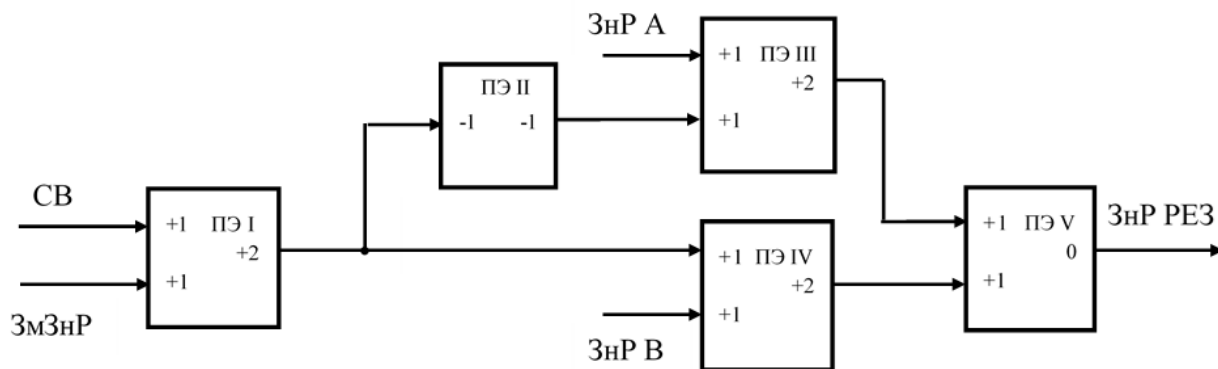


Рис. 3. Схема определения знака результата

Если сигнал заём ЗмЗнР равен единице, то первое число по модулю меньше второго, в этом случае вычисляется разность между числами Вп и Ап. Выходной сигнал порогового элемента ПЭ I будет равен единице. Пороговый элемент ПЭ IV будет открыт, на выходе будет единичное значение. Пороговый элемент ПЭ III будет заперт, так как сигнал с выхода ПЭ I поступит на управляющий вход через инвертор ПЭ II. Вторым входом порогового элемента ПЭ IV является знаковый разряд второго большего числа ЗнР В, который через открытый пороговый элемент ПЭ IV поступит на второй вход порогового элемента ПЭ V – схемы ИЛИ. Знаковый разряд результата ЗнР РЕЗ – выход логической схемы ИЛИ элемента ПЭ V, будет равен знаковому разряду большего второго числа ЗнР В.

Схема коммутации меняет местами входные двоичные разряды при выполнении операции вычитания, если от меньшего по модулю числа вычитается большее, сигнала заём из знакового разряда первого числа ЗмЗнР в этом случае равен единичному значению. После анализа этого сигнала выполняется перестановка чисел вследствие

этого от большего второго числа по модулю вычитается меньшее первое. В структуру схемы входят пороговые элементы ПЭ VI -XII (рис.4). Входные сигналы: заём из знакового разряда первого числа $ЗмЗнР$ и двоичные разряды чисел A_i и B_i поступают на входы схем сумматоров-вычитателей СУМ-ВЫЧ $_i$, где выполняется операция вычитания от большего по модулю числа меньшего одноименных разрядов двоичных чисел. Сигнал заём из знакового разряда $ЗмЗнР$ первого числа параллельно поступает на входы пороговых элементов ПЭ VI и ПЭ X, которые выполняют функции инверторов и на входы пороговых элементов ПЭ VIII и ПЭ XI, которые выполняют функцию логических схем И. Двоичные разряды первого числа A_i поступают на первые входы пороговых элементов ПЭ VII и ПЭ XI, второго числа B_i поступают на вторые входы пороговых элементов ПЭ VIII и ПЭ XII, которые выполняют функцию логических схем И. Пороговый элемент ПЭ IX выполняет функцию логической схемы ИЛИ. Если сигнал заём из знакового разряда $ЗмЗнР$ первого числа равен нулевому значению, то пороговые элементы ПЭ VIII и ПЭ XI будут заперты.

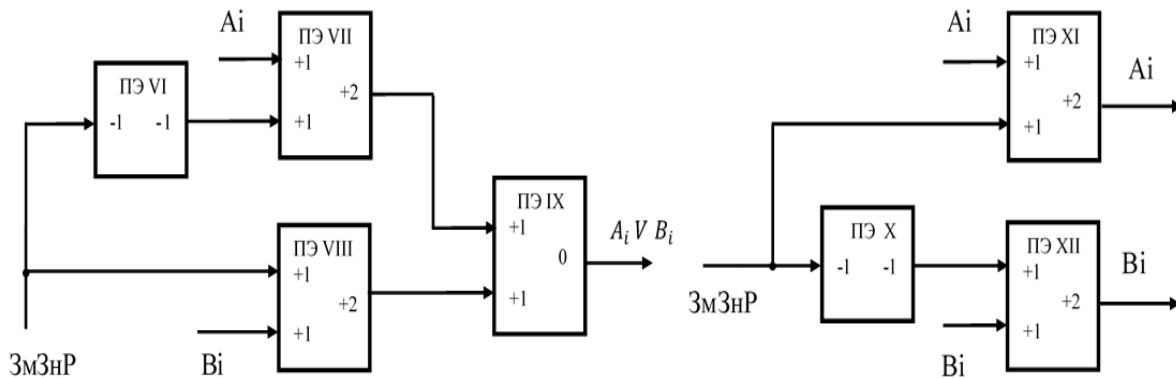


Рис. 4. Схема коммутации

Пороговые элементы ПЭ VII и ПЭ XII будут открыты, т.к. на их входы нулевой управляющий сигнал поступает через инверторы ПЭ VI и ПЭ X. В этом случае двоичный сигнал первого числа A_i через открытый элемент ПЭ VII и пороговый элемент ПЭ IX (логиче-

скую схему ИЛИ) поступит на первый вход нейроподобного элемента НЭ XV, выполняющего логическую функцию суммы по модулю два. Двоичный сигнал второго числа B_i через открытый элемент ПЭ XII поступит на четвертый вход порогового элемента ПЭ XVI, выполняющего логическую функцию И.

Если сигнал заём из знакового разряда ЗмЗнР первого числа равен единичному значению, то пороговые элементы ПЭ VII и ПЭ XII будут заперты, т.к. на их входы единичный управляющий сигнал поступает через инверторы ПЭ VI и ПЭ X. Пороговые элементы ПЭ VIII и ПЭ XI будут открыты, в этом случае двоичный сигнал второго числа B_i через открытый элемент ПЭ VIII и пороговый элемент ПЭ IX поступит на первый вход нейроподобного элемента НЭ XV. Двоичный сигнал первого числа A_i через открытый элемент ПЭ XI поступит на третий вход порогового элемента ПЭ XVI. В итоге происходит перестановка двоичных разрядов первое меньшее становится вторым, второе большее становится первым для выполнения арифметической операции вычитания.

Одноразрядный сумматор-вычитатель на элементах нейронной логики

Полный одноразрядный сумматор предназначен для сложения трёх одноразрядных двоичных чисел. Устройство имеет три входа: двоичные разряды A_i , B_i и результат переноса P_{i+1} предыдущего сумматора и два выхода: результата сложения S_i и сигнала переноса в старший разряд P_i .

Таблица 1 истинности отображает функционирования полного одноразрядного сумматора.

Из таблицы 1 сумма S_i чисел определяется формулой

$$S_i = \bar{P}_{i+1}\bar{A}_iB_i \vee \bar{P}_{i+1}A_i\bar{B}_i \vee P_{i+1}\bar{A}_i\bar{B}_i \vee P_{i+1}A_iB_i = P_{i+1} \oplus A_i \oplus B_i. \quad (10)$$

Перенос P_i из младшего разряда в старший при сложении чисел определяется формулой

$$P_i = A_iB_i \vee P_{i+1}A_i \vee P_{i+1}B_i. \quad (11)$$

Работа полного одноразрядного вычитателя описывается таблицей 2 истинности, в которой отображены: заём Z_{i-1} , поступающий из соседнего более младшего разряда, уменьшаемое A_i , вычитаемое B_i , разность R_i , заём Z_i , возникающий в данном i -том разряде.

Таблица 1

P_{i+1}	A_i	B_i	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

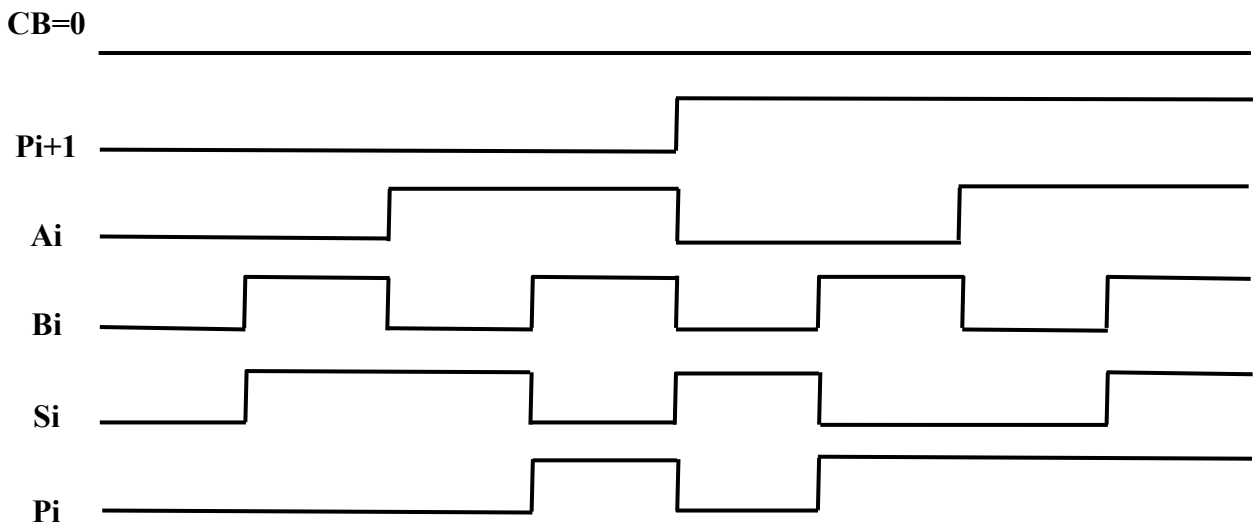


Рис. 5. Временная диаграмма режима работы полного одноразрядного сумматора

Из таблицы 2 разность чисел R_i определяется формулой

$$R_i = \bar{Z}_{i-1}\bar{A}_iB_iV\bar{Z}_{i-1}A_i\bar{B}_iV Z_{i-1}\bar{A}_i\bar{B}_iVZ_{i-1}A_iB_i = Z_{i-1}\oplus A_i\oplus B_i. \quad (12)$$

Заём Z_i из старшего разряда в младший определяется формулой

$$Z_i = \bar{A}_i B_i \vee \bar{A}_i Z_{i-1} \vee B_i Z_{i-1}. \quad (13)$$

Таблица 2

Z_{i-1}	A_i	B_i	R_i	Z_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

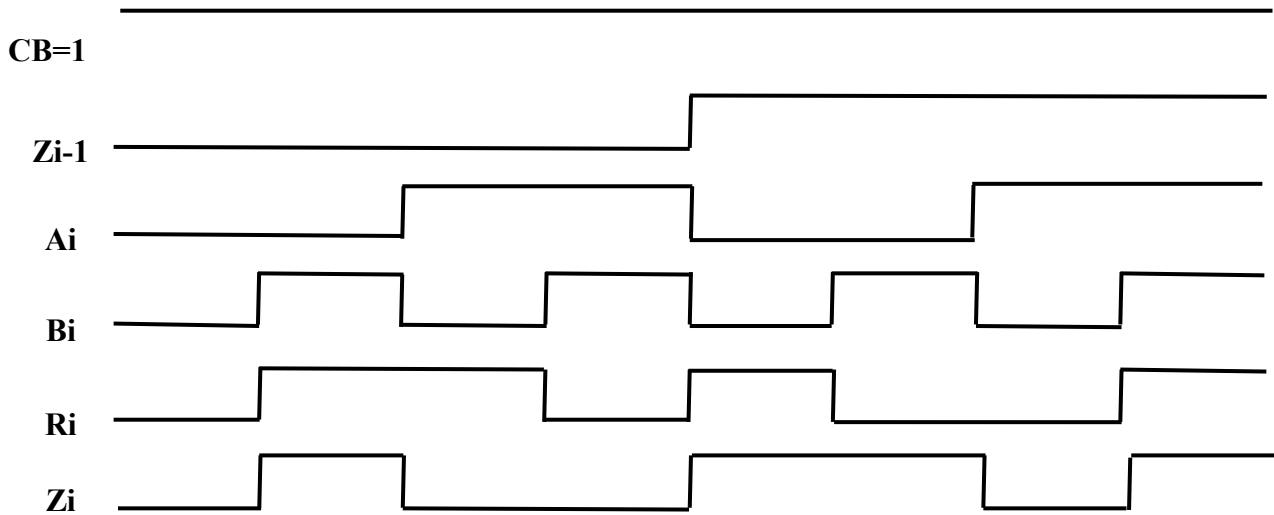


Рис. 6. Временная диаграмма режима работы полного одnorазрядного вычитателя

Функциональная схема одноразрядного сумматора-вычитателя на элементах нейронной логики представлена на рис.7. Нейроподобный элемент НЭ XII выполняет операцию суммирования входных переменных A_i и B_i . Обозначим выходную величину с выхода нейроподобного элемента как $S_{A_i \oplus B_i}$, которая вычисляется по формуле

$$S_{A_i \oplus B_i} = \begin{cases} 1, & A_i \cdot (-1) + (A_i \vee B_i) \cdot 2 + B_i \cdot (-1) \geq 1 \\ 0, & A_i \cdot (-1) + (A_i \vee B_i) \cdot 2 + B_i \cdot (-1) < 1 \end{cases} \quad (15)$$

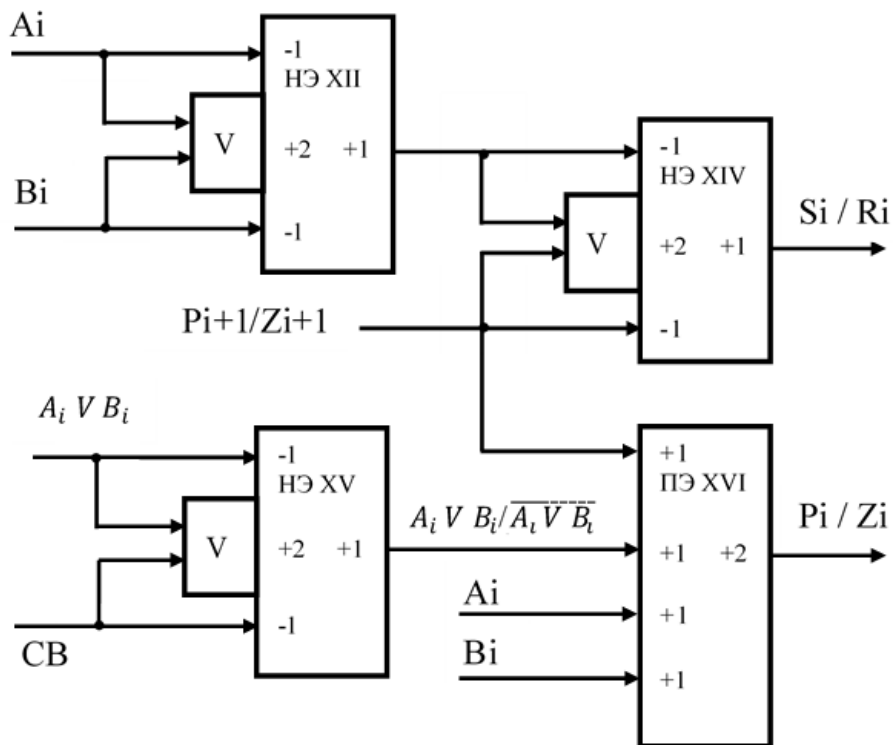


Рис. 7. Функциональная схема одноразрядного сумматора-вычитателя на элементах нейронной логики

Нейроподобный элемент НЭ XIV выполняет операцию суммирования входных переменных $S_{A_i \oplus B_i}$ и P_{i-1} . На выходе этого элемента формируется двоичный сигнал S_i / R_i , который вычисляется по формуле

$$S_i/R_i = \begin{cases} 1, & S_{A_i \oplus B_i} \cdot (-1) + (S_{A_i \oplus B_i} \vee P_{i+1}) \cdot 2 + P_{i+1} \cdot (-1) \geq 1 \\ 0, & S_{A_i \oplus B_i} \cdot (-1) + (S_{A_i \oplus B_i} \vee P_{i+1}) \cdot 2 + P_{i+1} \cdot (-1) < 1 \end{cases} \quad (16)$$

При выполнении операции суммировании перенос P_i из младшего разряда в старший и заём Z_i из старшего разряда в младший при вычитании вычисляется на пороговом элементе ПЭ XVI. Нейроподобный элемент НЭ XV выполняет функцию повторителя двоичного разряда A_i , который подаётся на первый вход элемента, на второй вход которого подаётся признак операции СВ. Если выполняется операция суммирования, то сигнал СВ равен нулю. На выходе нейроподобного элемента НЭ XV вычисляется функция:

$$A_i \oplus СВ = A_i. \quad (17)$$

При выполнении операции вычитания двоичных разрядов сигнал СВ равен единице. Нейроподобный элемент НЭ XV выполняет операцию инвертора, на выходе которого вычисляется функция:

$$A_i \oplus СВ = \bar{A}_i. \quad (18)$$

На входы нейроподобного элемента НЭ XII подаются двоичные разряды A_i и B_i . Этот нейроподобный элемент выполняет операцию суммирования входных двоичных разрядов A_i и B_i . Результат суммы поступает на первый вход нейроподобного элемента НЭ XIV. На второй вход этого элемента поступает двоичный разряд переноса P_{i+1} из младшего разряда в старший. На выходе нейроподобного элемента НЭ XIV вычисляется сумма S_i и разность R_i входных двоичных разрядов A_i и B_i по формуле:

$$S_i/R_i = P_{i+1} \oplus A_i \oplus B_i. \quad (19)$$

На входы нейроподобного элемента НЭ XV поступают двоичные разряды A_i или B_i и признак выполнения арифметической операции суммирования или вычитания сигнал СВ.

При выполнении операции суммирования нейроподобный элемент НЭ XV выполняет операцию повторителя, на выходе формируется сигнал A_i или B_i по формуле:

$$(A_i \vee B_i) \oplus 0 = A_i \vee B_i. \quad (20)$$

При выполнении операции вычитания нейророботный элемент НЭ XV выполняет операцию инвертирования, на выходе инвертора формируется сигнал $\overline{A_i \vee B_i}$ по формуле:

$$(A_i \vee B_i) \oplus 1 = \overline{A_i \vee B_i}. \quad (21)$$

Пороговый элемент ПЭ XVI вычисляет перенос P_i из младшего разряда в старший по формуле:

$$P_i = A_i B_i \vee P_{i+1} A_i \vee P_{i+1} B_i. \quad (22)$$

При выполнении операции вычитания на пороговом элементе ПЭ XVI вычисляется заём Z_i из старшего разряда в младший по формуле:

$$Z_i = \bar{A}_i B_i \vee \bar{A}_i Z_{i+1} \vee B_i Z_{i+1}. \quad (23)$$

Для описания алгоритма работы сумматора-вычитателя используются следующие идентификаторы.

1. A_i – двоичный разряд числа.
2. \bar{A}_i – инверсный разряд числа.
3. B_i – двоичный разряд числа.
4. P_{i+1} – перенос из младшего разряда в старший.
5. Z_{i-1} – заём из старшего разряда в младший.
6. СВ – признак выполнения операций суммирования или вычитания.
7. S_i – сумма двоичных чисел.
8. P_i – перенос в старший разряд.
9. R_i – разность двоичных чисел.
10. Z_i – заём из старшего разряда.

Блок-схема алгоритма работы параллельного сумматора-вычитателя на элементах нейронной логики.

Содержательная блок-схема алгоритма параллельного сумматора-вычитателя на элементах нейронной логики приведена на рис. 8. В блоке 2 алгоритма осуществляется ввод в сумматор-вычитатель десятичных чисел A_{10} , B_{10} со своими знаками $Z_{нА}$, $Z_{нВ}$. В блоке 3 алгоритма по операции $СВ := Z_{нР В} \oplus КОП \oplus Z_{нР А}$ суммы по модулю два знаковых разрядов чисел $Z_{нР В}$, $Z_{нР А}$ и кода операции КОП определяется признак операции сигнал суммирование или вычитание СВ. Если сигнал $СВ=0$, то вычисляется сумма чисел, если $СВ=1$, то это выполняется операция вычитания чисел. В блоке 4 алгоритма по командам: $СУМ-ВЫЧ:=A_n$, $СУМ-ВЫЧ:=B_n$, $СУМ-ВЫЧ:=СВ$ на входы схемы сумматора-вычитателя СУМ-ВЫЧ осуществляется подача двоичных разрядов первого A_n и второго B_n чисел, и сигнала признака операции суммирования или вычитания СВ. В блоке 5 алгоритма по командам: $СОЗР:=Z_{нР А}$, $СОЗР:=Z_{нР В}$, $СОЗР:=СВ$, $СОЗР:=Z_{мЗнР}$ на входы схемы определения знака результата СОЗР поступают знаковые разряды первого $Z_{нР А}$ числа, второго $Z_{нР В}$ числа, сигнала признака операции суммирования или вычитания СВ, сигнал заём $Z_{мЗнР}$ из знакового разряда. В блоке 6 алгоритма анализируется признак операции сигнал суммирование или вычитание СВ. Если признак операции СВ равен нулю, то выполняется операция сложение по модулю двоичных чисел. При этом осуществляется переход на блок 8 алгоритма. Если признак СВ равен единице, то выполняется операция вычитания из первого A_n числа второе B_n . В блоке 7 алгоритма анализируется сигнал заём $Z_{мЗнР}$ из знакового разряда. Этот сигнал формируется при выполнении операции вычитании, от меньшего по модулю числа вычитается большее. В этом случае сигнал заём из знакового разряда $Z_{мЗнР}$ равен единице при этом осуществляется переход на 10 алгоритма. Если сигнал заём $Z_{мЗнР}$ из знакового разряда равен нулю, то выполняется операция вычитание от большего числа по модулю вычитается меньшее, в этом случае осуществляется переход на блок 9 алгоритма.

Блок-схема алгоритма

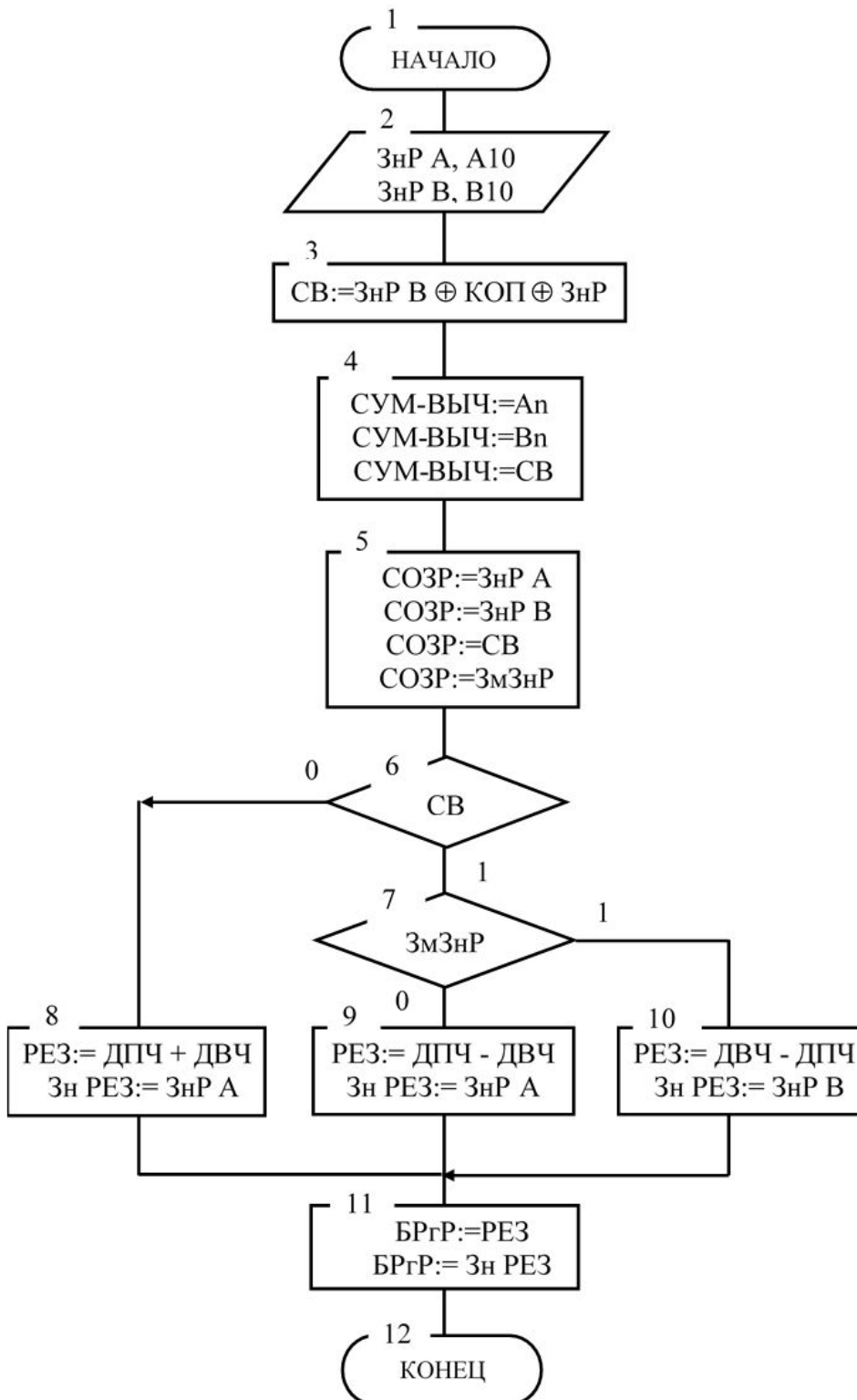


Рис.8. Блок-схема алгоритма параллельного сумматора-вычитателя на элементах нейронной логики

В блоке 8 алгоритма по команде $PE3 := ДПЧ + ДВЧ$ выполняется операция сложение первого ДПЧ и второго ДВЧ двоичных чисел. По команде $3н PE3 := 3нР А$ знаковому разряду результата присваивается знаковый разряд первого числа.

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему сумматора-вычитателя;
- блок-схему алгоритма работы сумматора-вычитателя;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Назовите основные элементы устройства. Какую структуру имеет сумматор-вычитатель.
2. По какой формуле определяется перенос и заем из старшего разряда большего числа.
3. По какой формуле определяется перенос и заем из младшего разряда большего числа.
4. Как определяется сигнал суммы-вычитания СВ.
5. Какую функцию выполняют пороговые и нейроподобные элементы.
6. По какой формуле вычисляется пороговое напряжение нейроподобного элемента, определяющего переносы в старшие разряды при выполнении операции суммирования и заёмы из старших разрядов в младшие при выполнении операции вычитания.
7. Как происходит определение большего и меньшего числа при выполнении операции вычитания.
8. Как определяется пороговое напряжение порогового и нейроподобного элементов.

9. Как реализуются основные булевы функции на пороговых и нейроподобных элементах.
10. Как реализовать сумматор по модулю два на нейроподобном элементе.
11. Укажите основные элементы и функции сумматора-вычитателя на нейронах.
12. Как формируется знаковый разряд результата.
13. В каком блоке устройства хранится результат операции суммирования или вычитания.

Библиографический список

1. Хорошевский В.Г. Архитектура вычислительных систем.- М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с.
2. Параллельный сумматор-вычитатель на нейронах со сквозным переносом: / пат. 2523942 Рос. Федерация, № 2012141444 / Шевелев С.С., Солодовников Ф.М., Шикунов Д.А., Шикунова Е.С., Хла Вин / заявл. 27.09.2012; опубл. 27.07.2014, Бюл. № 21
3. Устройство поразрядного вычисления логических и арифметических операций: пат. 2739343 Рос. Федерация. № 2020129326 / Шевелев С.С; заявл. 04.09.2020; опубл. 23.12.2020, Бюл. №36.
4. Параллельно-последовательный сумматор-вычитатель старшими разрядами вперед на нейронах: пат. 2708501 Рос. Федерация. № 2019115593 / Шевелев С.С; заявл. 21.05.2019; опубл. 09.12.2019, Бюл. №34.
5. Сумматор-вычитатель на элементах нейронной логики: пат. 2715177 Рос. Федерация. № 2019118282 / Шевелев С.С; заявл. 13.06.2019; опубл. 25.02.2020, Бюл. №6.
6. Хла Вин, Шевелев С.С., Добрица В.П. Вычислители арифметических операций на нейронах. Научно-технический журнал «Известия ЮЗГУ», №4 (43), 2012, Часть 2/ Юго-Западного государственного университета (ЮЗ-ГУ). –Курск, 2012, С. 11-16.
7. Шевелев С.С., Дорошенко Е.Ю., Хла Вин. Arithmetical operation in ternary asymmetrical system of the numeration (reckoning) // Нейрокомпьютеры: разработка, применение. -2014. № 6, С. 59-63.

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности

УТВЕРЖДАЮ
Проректор по учебной работе
О.Г. Локтионова
« 20 » 08 2022 г.



МОДЕЛИРОВАНИЕ РАБОТЫ УСТРОЙСТВА ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНОГО ПОИСКА И ЗАМЕНЫ ВХОЖДЕНИЙ В ОБРАБАТЫВАЕМЫХ СЛОВАХ

Методические рекомендации по выполнению лабораторной
работы № 8 для студентов специальностей 10.03.01, 10.05.02

Курск 2022

УДК 004.272.45

Составитель: С.С. Шевелев

Рецензент

Кандидат биологических наук, доцент М.В. Артеменко

Моделирование работы устройства параллельно-последовательного поиска и замены вхождений в обрабатываемых словах: методические рекомендации по выполнению лабораторной работы № 8 / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев. – Курск, 2022. – 31 с.: ил. 5, – Библиогр.: с. 31 .

Содержат сведения по вопросам работы элементов нейрокомпьютерных систем. Указывается порядок выполнения лабораторной работы, подходы к решению различных задач и правила оформления лабораторной работы.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности информационная безопасность (УМО ИБ).

Предназначены для студентов специальностей 10.03.01, 10.05.02 очной формы обучения.

Текст печатается в авторской редакции

Подписано в печать . Формат 60x84/16.
Усл.печ. л. Уч.-изд. л. Тираж 100 экз. Заказ 1906 Бесплатно
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

Лабораторная работа №8

Моделирование работы устройства параллельно-последовательного поиска и замены вхождений в обрабатываемых словах

Цель работы: изучить структурную и функциональную схему устройства параллельно-последовательного поиска и замены вхождений в обрабатываемых словах на элементах нейронной логики, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы устройства параллельно-последовательного поиска и замены вхождений в обрабатываемых словах на элементах нейронной логики, составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

Процессы поиска вхождений в обрабатываемом слове можно выполнить как в последовательном, так и в параллельном режимах. Формировать новое слово возможно с помощью операций замены, а так же левой или правой конкатенаций. При выполнении операций поиска вхождений в обрабатываемом слове необходимо достигнуть высокой скорости поиска и замены. Поиск вхождений в обрабатываемом слове может быть осуществлен в двух форматах работы устройства: 1) определение вхождений, имеющих общие части, это означает что предыдущие вхождение и последующие имеют общую часть, состоящую из одной буквы или цепочки символов. 2) определение вхождения без общих частей, это означает, что предыдущие вхождение и последующие не имеют общих частей. Такая процедура поиска, которая удовлетворяет поставленным требованиям, называется корректной.

В устройстве применяются оперативные запоминающие устройства, в которых хранится информация. Вхождение, обрабатываемое слово и замена переписываются из памяти в сдвигающие регистры. Процессы записи и считывание информации в регистры могут быть следующие: параллельно-последовательный ввод – параллельно-последовательный вывод, используется в регистре для хранения вхождений, последовательный ввод - последовательный вывод, используется для в регистре для хранения замены, а также параллельно-последовательный ввод – параллельно-последовательный вывод, используется для хранения в

регистре обрабатываемого слова. В устройстве применяются элементы нейронной и пороговой логики.

В предлагаемом устройстве поиск вхождения в обрабатываемом слове выполняется в параллельном режиме. Все символы вхождения параллельно поступают на первые входы компаратора. На вторые входы, также параллельно, узла сравнения поступают символы обрабатываемого слова. В устройстве параллельного поиска и замены применены три регистра – регистр вхождения, регистр обрабатываемого слова и регистр замены. Длина регистров, в которых хранятся вхождение и обрабатываемое слово, а также количество компараторов, в которых происходит сравнение символов, одинаковая. Если произошло положительное сравнение, то на выходе компаратора формируется единичное значение. В этом случае в обрабатываемом слове найдено вхождение. В случае работы устройства в режиме поиска определяется адрес вхождения. Если устройство работает в режиме поиска и замены, то в регистр замены записывается цепочка символов – замена. Обрабатываемое слово не изменяется в процессе замены. Если произошло отрицательное сравнение, то необходимо сдвинуть обрабатываемое слово на один или несколько разрядов влево и сравнить следующую серию символов, равную по количеству символам вхождения. Процесс сдвига обрабатываемого слова в регистре выполняется до определения признака конца обрабатываемого слова. Символ в результате левого сдвига записывается в регистр замены. В регистр замены записываются символы обрабатываемого слова в результате операции левого сдвига регистра или буквы замены в режиме работы устройства поиска и замены. В устройстве осуществляются операции левой и правой конкатенаций. Если длина обрабатываемого слова больше длины вхождения по количеству символов, то необходимо выключить в устройстве сравнения – компараторы от шины к которой подключены не рабочие схемы. «Выключено» — состояние выхода цифровой микросхемы при котором он «отключается» от сигнальной шины. В устройстве применены логические микросхемы с высокоимпедансным логическим состоянием, при котором микросхемы обладают высоким сопротивлением (импедансом), то есть фактически отключены от не рабочих схем устройства. Сравняются символы вхождений и обрабатываемых слов равной длины. Остальные логические элементы – не рабочие в устройстве выключены от поиска.

Последовательный поиск вхождений в обрабатываемом слове выполняется следующим образом. В регистре слов записано обрабатываемое слово. В регистре вхождений записывается вхождение – цепочка символов. Задача устройства заключается в определении вхождения в обрабатываемом слове. Если вхождение найдено, то ее адрес записывается в память устройства. Если вхождение не найдено, то в регистр обрабатываемого слова записывается новое слово для проведения поисковой операции. Сравнение в компараторе символов происходит по-буквенно. В начале работы сигналом режима работы из блока управления устанавливается режим функционирования поискового устройства. На вход компаратора поступают по одной букве из регистра обрабатываемого слова и из регистра вхождения. Если результат сравнения положительный, то происходит сдвиг влево на один разряд информации в обоих регистрах и на вход компаратора поступают очередные символы из регистров. Возможно возникнет ситуация когда положительное сравнение произойдет на первой букве, на второй, на третьей и т.д., но на k букве результат сравнения будет отрицательным и при этом конца слово-образца не будет обнаружено. Двоично-десятичные счетчики устройства подсчитывают количество положительных сравнений. Предположим их произошло k совпадений, а на $k+1$ получен отрицательный результат. В этом случае осуществляется сдвиг вправо на $k-1$ разрядов регистра в котором хранится обрабатываемое слово. Происходит "вычеркивание" первой буквы из серии где произошли положительные сравнения. Дальнейшее сравнение будет происходить уже начиная со второй буквы обрабатываемого слова и с первой буквой вхождения. Вхождение будет переписано заново из памяти вхождений. Процедуры сдвига возможны при применении реверсивных регистров, которые осуществляют сдвиг информации как влево, так и вправо. Поисковое устройство работает в двух режимах.

Устройство параллельно-последовательного поиска и замены вхождений в обрабатываемых словах содержит блок 1 памяти обрабатываемых слов и блок памяти вхождений, блок 2 параллельно-последовательный поиск, блок 3 памяти замены, блок 4 замены, блок 5 хранения результата, блок 6 управления.

Для описания алгоритма работы блока 6 управления используются следующие идентификаторы.

1. УВХ – сигналы управления оперативным запоминающим устройством блока памяти вхождений: обнуление, выбор кристалла, режим записи/считывания.

2. АдВХ – адреса столбцов и строк оперативного запоминающего устройства блока памяти вхождений.

3. ДВХ – данные, записанные в оперативное запоминающее устройство блока памяти вхождений.

4. УПРВ – управляющие сигналы: обнуления, синхроимпульсы, сигналы, формирующие режимы работы регистров блока памяти вхождений.

5. ВХ – выходные данные из оперативного запоминающего устройства блока памяти вхождений.

6. УОС – сигналы управления оперативным запоминающим устройством блока памяти обрабатываемых слов: обнуление, выбор кристалла, режим записи/считывания.

7. АдОС – адреса столбцов и строк оперативного запоминающего устройства блока памяти обрабатываемых слов.

8. ДОС – данные, записанные в оперативное запоминающее устройство блока памяти обрабатываемых слов.

9. УПРС – управляющие сигналы: обнуления, синхроимпульсы, сигналы, формирующие режимы работы регистров, блока регистров обрабатываемых слов.

10. ОС – выходные данные из оперативного запоминающего устройства блока памяти обрабатываемых слов.

11. УЗМ – сигналы управления оперативным запоминающим устройством блока памяти замен: обнуление, выбор кристалла, режим записи/считывания.

12. АдЗМ – адреса столбцов и строк оперативного запоминающего устройства блока памяти замен.

13. ДЗМ – данные, записанные в оперативное запоминающее устройство блока памяти замен.

14. ППО – признак работы последовательного поиска двоичных кодов символов вхождения в обрабатываемых словах.

15. ППА – признак работы параллельного поиска двоичных кодов символов вхождения в обрабатываемых словах.

16. РСР1 – выходной двоичный сигнал блока параллельно-последовательного поиска, который определяет результат сравнения двоичных кодов символов вхождения и обрабатываемого слова первых регистров блока.

17. СИД1 – сигнал высокоимпедансного состояния логической схемы первого регистра блока регистров вхождений.

18. OC1 – входные данные первого регистра блока регистров обрабатываемых слов.

19. УПРВ1 – управляющие сигналы первого регистра: обнуления, синхроимпульсы, сигналы, формирующие режимы работы регистров блока регистров вхождений.

20. УПРС1 – управляющие сигналы первого регистра: обнуления, синхроимпульсы, сигналы, формирующие режимы работы регистров, блока регистров обрабатываемых слов.

21. ПСПР – команда формата работы устройства последовательном или параллельном режимах поиска вхождений в обрабатываемых словах.

22. ДОС – двоичные коды символов обрабатываемых слов.

23. СППА – управляющие сигналы: обнуления, управления работой логических схем, режима работы блока параллельного поиска вхождений в обрабатываемых словах устройства.

24. СППО – управляющие сигналы работы блока последовательного поиска вхождений в обрабатываемых словах устройства.

25. СО1 – сигнал сдвига влево на один разряд двоичного кода первого регистра в блоке регистров обрабатываемых слов.

26. ВХ1 – входные данные первого регистра блока регистров вхождений.

27. СИМ1 – выходной информационный сигнал первого регистра блока регистров вхождений.

28. СИМ2 – выходной информационный сигнал второго регистра блока регистров вхождений.

29. ЗМ – выходные данные из оперативного запоминающего устройства блока памяти замен.

30. СВ – сигнал сдвига влево на один разряд двоичного кода в блоке регистров вхождений.

31. СО – сигнал сдвига влево на один разряд двоичного кода в блоке регистров обрабатываемых слов.

32. ОСБ – сигнал сдвига влево на один разряд двоичного кода регистра буфера в блоке регистров обрабатываемых слов.

33. УПБ – управляющие сигналы: обнуления, синхроимпульсы, сдвигов, сигналы, формирующие режимы работы регистров буферов блока регистров обрабатываемых слов.

34. РСР – выходной двоичный сигнал блока параллельно-последовательного поиска, который определяет результат сравнения символов вхождения и обрабатываемого слова.

35. ОТИ – сигнал управления логической схемой И для подсчета сигналов сдвига при определении адресов вхождений в обрабатываемом слове.

36. ПОЧ – признак работы устройства с общими частями, определяющий режим работы устройства: 1) поиск вхождений с общими частями, 2) поиск вхождений без общих частей в обрабатываемом слове.

37. ОБС – информационный сигнал установки в нулевое состояние двоичных счетчиков блока параллельно-последовательного поиска.

38. АВПР – выходной информационный сигнал блока параллельно-последовательного поиска, определяющий адреса вхождений в обрабатываемом слове.

39. БОЧ – двоичный сигнал блока параллельно-последовательного поиска, определяющий режим работы устройства поиска вхождений в обрабатываемом слове без общих частей.

40. СИН - команда синхронизации, поступающая на вход двоичного счетчика Сч1 блока параллельно-последовательного поиска.

41. СВП - команда, определяющая количество сдвигов вправо регистров блока регистров обрабатываемых слов.

42. ДШЕ - команда, определяющая двоичный код 0001 на выходе двоичного счетчика Сч1 блока параллельно-последовательного поиска.

43. ОБН - команда обнуления двоичного счетчика Сч1 блока параллельно-последовательного поиска.

44. СВА - команда выдачи адреса вхождения из блока параллельно-последовательного поиска в блок хранения адреса вхождений.

45. СЗЩ - команда разрешения записи в триггер Тр блока параллельно-последовательного поиска выходного сигнала компаратора.

46. СДЛ – команда управления работой электронного ключа блока параллельно-последовательного поиска.

47. СН - команда синхронизации двоичного счетчика Сч2 блока параллельно-последовательного поиска.

48. СБР - команда обнуления двоичного счетчика Сч2 блока параллельно-последовательного поиска.

49. ПИМ - прямоугольные импульсы, поступающие на информационный вход электронного ключа блока параллельно-последовательного поиска.

50. РР - команда признака режима работы устройства.

51. ПКВХ - признак конца вхождения.

52. ПРИ - прямоугольные импульсы, поступающие из бока управления на информационный вход логического элемента И блока параллельно-последовательного поиска.

53. ТАК - тактовые прямоугольные импульсы, поступающие на информационный вход логического элемента И блока параллельно-последовательного поиска.

54. СМ_і - входной информационный сигнал - символ вхождения блока регистров вхождений.

55. СИМ_і – выходной информационный сигнал блока регистров вхождений.

56. ОС₁ – символ обрабатываемого слова первого регистра R_{г1} блока регистров обрабатываемого слова.

57. ОС_і - выходные символы обрабатываемого слова блока регистров обрабатываемого слова.

58. ПКОС – признак конца символов обрабатываемого слова.

59. УКЛ – управляющий сигнал блока управления, поступающий на управляющие входы логических схем И блока замены.

60. УЗАМ – информационный сигнал: обнуления, синхроимпульсы, разрешение записи и выдачи информации, поступающий на управляющие входы блока регистров замены.

61. УРЗМ - информационный сигнал: обнуления, синхроимпульсы, разрешение записи и выдачи информации, поступающий на управляющие входы блока регистров результата замены.

62. ОСЗМ – информационный сигнал символов обрабатываемого слова или замены, поступающий на информационный вход блока регистров результата замены.

63. РЗ – выходной информационный сигнал результат замены, поступающий с выхода блока регистров результата замены.

64. АДВ – информационный сигнал адреса вхождения в обрабатываемом слове, поступающий на вход блока хранения результата.

65. УЗАМ – информационный сигнал блока управления: обнуление, синхроимпульсы, разрешение записи и выдачи информации, поступающий на управляющие входы регистров блока регистров замены.

66. РЕЗ – информационный сигнал результат замены или адрес вхождения в обрабатываемом слове, поступающий на информационный вход оперативного запоминающего устройства блока хранения результата.

67. АД СТЛ - адреса столбцов оперативного запоминающего устройства для записи результата замены или адреса вхождения в блок хранения результата.

68. АД СТР - адреса строк оперативного запоминающего устройства для записи результата замены или адреса вхождения в блок хранения результата.

69. ГИ - генератор импульсов, поступающий из блока управления на суммирующий вход (+) двоичного счетчика Сч1 блока хранения результата.

70. ТИ - тактовые импульсы, поступающие из блока управления на суммирующий вход (+) двоичного счетчика Сч2 блока хранения результата.

71. ОБ - команда обнуления двоичного счетчика Сч1 блока хранения результата.

72. УС "0" - команда обнуления двоичного счетчика Сч2 блока хранения результата.

73. ВК - команда выбора кристалла оперативного запоминающего устройства ОЗУ блока хранения результата.

74. Сч/Зп - команда считывания/записи оперативного запоминающего устройства ОЗУ блока хранения результата.

75. РЕПЗ – выходные данные оперативного запоминающего устройства блока хранения результата – результаты замен или адресов вхождений в обрабатываемом слове.

76. СБРОС - сигнал сброса - обнуление элементов памяти устройства выполнения параллельного поиска и замены.

77. ПУСК - сигнал начало работы устройства.

Блок параллельно-последовательный поиск БППП содержит: блок параллельного поиска БППА и блок последовательного поиска БППО. Блок параллельного поиска выполняет операцию если в регистре вхождений записано от двух и более символов. Поиск в обрабатываемом слове осуществляется параллельно, на схему сравнения поступают сразу все символы вхождения.

Блок последовательного поиска выполняет операцию если в регистре вхождений записан только один символ. Поиск в обрабатываемом слове осуществляется последовательно, посимвольно, на схему сравнения поступают по очереди по одному символу вхождения. Каждый последующий символ поступает на компаратор только после обнаружения в слове предыдущего.

Блок параллельного поиска БППА содержит: блок регистров вхождений, блок регистров обрабатываемых слов, логическую схему ИЛИ,

выполненную на пороговом элементе, логическую схему И, выполненную на пороговом элементе, двоичные компараторы выполненные на формальных нейронах, комбинационную схему формирования адреса вхождения КСхФА, комбинационную схему КСхОЧ, определяющую режим работы устройства без общих частей БОЧ. Функции блока параллельного поиска заключаются в записи, хранении и выдачи символов вхождений и обрабатываемых слов, в поразрядном сравнении символов вхождений и обрабатываемых слов в компараторах, определении адресов вхождений в обрабатываемых словах, а так же определении режима работы устройства. Входным информационным сигналом, формирующим режим работы блока регистров вхождений устройства является сигнал управления вхождениями УПРВ. Этот сигнал поступает на управляющие входы блока регистров вхождений из блока 6 управления. В состав этого сигнала входят управляющие сигналы, которые определяют режим работы блока: разрешение записи, хранения и выдача двоичных разрядов вхождений, сигнал обнуления регистров, сигнал сдвига влево информации, синхроимпульсы. На информационные входы регистров блока поступают данные – вхождения ВХ из блока памяти вхождений. Выходной информационный сигнал блока регистров вхождений поступает на входы схем сравнений – компараторов и на входы логической схемы ИЛИ, определяющая высокоимпедансное состояние выключено. Входным информационным сигналом блока регистров обрабатываемого слова является сигнал управления обрабатываемыми словами УПРС, который поступает на управляющие входы регистра блока регистров обрабатываемых слов из блока 6 управления. Этот сигнал состоит из управляющих сигналов, формирующих режимы работы регистров: разрешения записи, хранения и выдачи информации из регистров блока, сигнал сдвига влево информации на один разряд, синхроимпульсы, сигналы обнуления регистров. На информационные входы регистров блока регистров обрабатываемых слов поступает информационный сигнал обрабатываемого слова ОС из блока памяти. Выходной информационный сигнал регистров блока регистров обрабатываемых слов поступает на входы схем сравнений – компараторов, выполненные на формальных нейронных элементах. На входы компараторов поступают символы вхождений и обрабатываемых слов в двоичном коде. Выходные сигналы компараторов поступают на входы схемы И пороговых элементов. Компараторы работают в режиме равенства входных величин операции эквиваленции. Выходной сигнал результат сравнения РСР блока параллельно-последо-

вательного поиска будет равен единичному значению только в том случае, когда двоичные коды символов вхождения и обрабатываемого слова будут равны между собой. Это означает равенство символов вхождения с фрагментом обрабатываемого слова. Единичное значение сигнала РСР означает то, вхождение найдено в обрабатываемом слове. В этом случае формируется адрес вхождения в обрабатываемом слове в режиме поиска работы устройства или записывается замена в регистры блока результата замены в режиме поиска и замены работы устройства. Если сигнал результат сравнений РСР равен нулевому значению, то равенство входных величин на входе компаратора не произошло, в этом случае необходимо сдвинуть обрабатываемое слово на один разряд влево, затем анализировать результат сравнения символов вхождения и следующего фрагмента обрабатываемого слова. Выходным управляющим сигналом блока является сигнал признак конца символов ПКОС обрабатываемого слова, который поступает на управляющий вход блока б управления. Если признак конца обрабатываемого слова равен единичному значению, то это означает, что не все символы обрабатываемого слова просмотрены, в регистрах блока регистров обрабатываемого слова еще имеется двоичная информация. В случае равенства этого сигнала нулевому значению, это означает, что все символы обрабатываемого слова просмотрены. В регистрах блока регистров обрабатываемого слова информации нет – регистры “пустые”. Выходным информационным сигналом блока является символ обрабатываемого слова ОС1, поступающий с выхода первого регистра Rг1 блока регистров обрабатываемого слова, который поступает на вход блока замены. Этот символ будет записан в регистр блока регистров результата замены в случае отрицательного сравнения входных величин в компараторах блока. В состав блока анализа поиска входит комбинационная схема формирования адреса вхождения КСхФА. На выходе этой комбинационной схемы определяется информационный сигнал адреса вхождения АДВ в обрабатываемом слове, который поступает на вход блока хранения результата. Управляющим сигналом, поступающим на вход комбинационной схемы формирования адреса блока параллельно-последовательного поиска из блока б управления является сигнал отпирающий импульс ОТИ. Этот сигнал поступает на управляющие входы схем И, выполненных на пороговых элементах. Схема И на элементе имеет инверсный управляющий вход, схема И на элементе имеет прямой управляющий вход. На информационный вход схемы И элемента поступает сигнал сдвига СО влево на один разряд с входов регистров блока регистров обрабатываемого слова. На информационный вход

схемы И элемента поступает сигнал сдвига СВ влево на один разряд с входов регистров блока регистров вхождений. Выходные сигналы схем И поступают на входы логической схемы ИЛИ элемента. Выходной сигнал логической схемы ИЛИ поступает на суммирующий вход двоичного счетчика адреса СчА. На выходе счетчика СчА будет определен адрес вхождения в обрабатываемом слове. Адрес формируется из суммы сигналов сдвига влево, вначале при загрузке в регистр вхождения, затем при поиске, регистра обрабатываемого слова. Предварительно двоичный счетчик адреса СчА будет обнулен сигналом установки в нуль ОБС, поступающим из блока 6 управления на вход R1 установки в нулевое состояние двоичного счетчика. Вначале сигнал отпирающий импульс ОТИ равен единичному значению. В этом случае схема И будет заперта – сигнал поступает на инверсный управляющий вход, а схема И будет открыта, так как сигнал поступает на прямой управляющий вход. Количество сигналов сдвига влево регистра вхождения через открытую схему И, схему ИЛИ поступают на суммирующий вход двоичного счетчика СчА. Количество сигналов сдвига СВ будет соответствовать количеству символов вхождения. После этого отпирающий импульс ОТИ устанавливается в нулевое состояния. В результате этого схема И будет открыта, так как сигнал подается на инверсный вход схемы, а схема И будет заперта, сигнал подается на прямой вход схемы. В этом случае сигналы сдвига влево регистра обрабатываемого слова через открытую схему И, схему ИЛИ поступают на суммирующий вход двоичного счетчика СчА. В счетчике происходит подсчет количества сигналов сдвига влево регистра обрабатываемого слова. В результате этих процедур на выходе двоичного счетчика будет сформирован адрес вхождения в обрабатываемом слове, то есть местоположения определенного фрагмента в полной цепочке символов обрабатываемого слова. Комбинационная схема, определяющая режим работы устройства без общих частей КСХОЧ содержит: схему И, суммирующий двоичный счетчик СчС, вычитающий счетчик СчВ, схему ИЛИ. Режим работы устройства без общих частей производит поиск в обрабатываемых словах, не имеющих общих символов между предыдущим и последующим вхождениями. Для формирования этого режима работы в случае обнаружения вхождения в обрабатываемом слове, необходимо сдвинуть обрабатываемое слова влево на m разрядов влево, где m – количество букв вхождения. Предварительно двоичные счетчики СчС и СчВ будут обнулены сигналами ОБС, поступившими из блока 6 управления. На входы обнуления R2 и R3 счетчиков

соответственно поступают сигналы установки в нулевое состояние элементов. Если устройство работает в режиме поиска вхождений без общих частей, то сигнал из блока 6 управления признак работы с общими частями ПОЧ принимает значение единице. Управляющий сигнал ПОЧ поступает на прямой управляющий вход электронного ключа схемы И для отпираания. Через открытую схему И сигналы сдвига влево СВ вхождений поступают на суммирующий вход двоичного счетчика СчС. В счетчике СчС будет подсчитано количество символов вхождения. Выходы суммирующего счетчика СчС поступают на входы D1- Dх вычитающего счетчика СчВ. В результате этой операции происходит предварительная установка вычитающего счетчика СчВ в двоичное значение равное количеству символов вхождения. На вычитающий вход счетчика СчВ поступают сигналы сдвига влево СО обрабатываемого слова. На выходе вычитающего счетчика СчВ вычисляется разность между количеством символов вхождения и поступившими сигналами сдвига обрабатываемого слова. Логическая схема ИЛИ определяет нулевое значение сигнала признака работы устройства без общих частей БОЧ. Если сигнал БОЧ равен нулевому значению, то это означает, что обрабатываемое слово сдвинуто на m разрядов влево, где m – количество символов вхождения. В результате этой операции необходимо продолжить операцию сравнения символов вхождения и обрабатываемого слова. Выходной управляющий сигнал признак работы без общих частей БОЧ блока параллельно-последовательного поиска поступает на управляющий вход блока 6 управления.

Блок последовательного поиска БППО содержит: триггер Тр, двухвходовый логический элемент И с инверсным входом, двухвходовый логический элемент И, двухвходовый логический элемент И, трехвходовый логический элемент И с инверсным входом, четырехвходовый элемент И с инверсными входами, трехвходовый элемент И с инверсным входом, электронный ключ, двоичный счетчик СЧ1, двоичный счетчик СЧ2, двухвходовый элемент ИЛИ с инверсными входами, двухвходовый элемент И. Перед началом работы устройства двоичные счетчики, триггер Тр установлены в нулевое состояние. На вход блока последовательного поиска БППО поступает входной сигнал результат сравнения РСР с выхода логической схемы И. Если сигнал ССР равен единице, то это означает что произошло совпадение двоичных кодов символов вхождения и обрабатываемого слова. В этом случае триггер Тр по приходу из блока 6 управления разрешающего сигнала СЗЩ, равного единице, уста-

навливается в единичное состояние. Логический элемент И, выполняющий функцию электронного ключа, отпирается, тактовые импульсы ТАК из блока 6 управления поступают на суммирующий вход двоичного счетчика СЧ1, в котором происходит суммирование тактовых импульсов, количество которых соответствует количеству совпадений в компараторе. На выходе двоичного счетчика СЧ1 формируется двоичный код, соответствующий количеству положительных совпадений на входе компаратора. При каждом положительном совпадении в компараторе происходит формирование сигналов сдвига влево СВ и СО равных нулю и осуществляется сдвиг на один символ влево в регистрах вхождения и обрабатываемом слове. В случае отрицательного сравнения входных величин в компараторе символ обрабатываемого слова ОС1, поступающий с выхода первого регистра Рг1, записывается в регистр буфер Ргn+1 блока обрабатываемого слова. В случае обнаружения признака конца вхождения ПРКВ равным единице логический элемент И в регистре вхождений происходит определение адреса вхождения и запись по соответствующему адресу в оперативное запоминающее устройство блока 5 хранения адреса вхождений. Если признак конца слова ПРКС равного нулю не обнаружен, то предыдущее вхождение восстанавливается, т.е. переписывается заново из памяти вхождений и процесс поиска вхождений в слове продолжается для обнаружения очередного вхождения. Если совпадений в компараторе не происходит, выходной сигнал РСР равен нулю, то формируется только сигнал СО равным нулю и происходит сдвиг влево на одну позицию обрабатываемого слова. При каждом сдвиге влево и отрицательном результате совпадения в компараторе, из памяти слов ПОС дописывается очередной символ слова в регистр блока регистров обрабатываемых слов БРГОС 7. Возможна ситуация в поисковой операции, когда был получен положительный результат сравнения символов, тогда формируется сдвиг влево на один разряд регистров вхождений и обрабатываемых слов. После сдвига получен второй раз положительный результат, третий и так далее, но признака конца вхождения еще нет. Допустим на *n* шаге получен отрицательный результат сравнения, а вхождение полностью не обнаружено. В этом случае триггер Тр был установлен в единичное состояние. На следующем этапе сравнение на равенство не произошло, сигнал результата на сравнения РСР равен нулю. На выходе логического элемента И будет сформирован единичный сигнал. Логический элемент И также будет открыт, прямоугольные импульсы из блока 6 управления ПРИ будут поступать на вычитающий вход двоичного счетчика СЧ1. Вычитание происходит до тех пор пока на выходе

счетчика не будет двоичный код равный единице. На положительный вход счетчика СЧ1 прямоугольные импульсы из блока 6 управления поступать не будут т.к. логический элемент И, выполняющий функцию электронного ключа будет заперт, установившимся в нулевое состояние триггером Тр. Логический элемент И выполняет роль дешифратора единицы. Выход этого элемента равен единице в случае получения на выходе счетчика СЧ1 двоичного кода 0001. При всех других входных комбинациях на выходе логического элемента И будет нулевое состояние. При единице на выходе схемы И логический элемент И запирается т.к. единица поступает на инверсный вход. Прямоугольные импульсы на вычитающий вход счетчика СЧ1 не поступают. Счетчик СЧ1 обнуляется командой ОБН, поступающей из блока 6 управления. Логический элемент И формирует количества сдвигов вправо регистра блока регистров обрабатываемых слов БРГОС. При вычитании единицы из состояния счетчика СЧ1, происходит запись информации из регистра буфера РГБФ в регистр блока регистров обрабатываемых слов БРГОС. Количество сдвигов вправо будет на один меньше, чем количество сдвигов влево $n-1$. Вторая буква из полученной серии положительных сдвигов будет первой в регистре блока регистров обрабатываемых слов БРГОС. Вхождение будет заново переписано из памяти вхождений в регистр блока регистров вхождений БРГВХ. Процесс поиска будет продолжен. Логический элемент ИЛИ определяет режим работы: 1) вхождения с общими частями; 2) без общих частей. В первом случае признак режима работы РР будет равен нулю, во втором случае признак РР равен единице. Если признак работы РР устройства равен нулю, на выходе элемента ИЛИ будет единица. Электронный ключ И будет открыт. Прямоугольные импульсы ПРИ из блока 6 управления через открытый ключ поступают на третий вход логического элемента И. Этот режим характеризуется перемещением информации из регистра буферов блока регистра обрабатываемых слов в регистры блока регистров обрабатываемых слов на $n-1$ разрядов, т.е. будет сформирован возврат информации, где n - количество положительных сдвигов, всякий раз, когда будет обнаружено вхождение в обрабатываемом слове при этом признак конца вхождения ПРКВ будет равен единице. Если режим работы устройства будет установлен на поиск вхождений без общих частей, то в этом случае признак работы РР равен единице. В случае обнаружения вхождения, при этом признак конца вхождения ПРКВ равен единице. На выходе логического элемента ИЛИ установить нулевое значение. Электронный ключ И будет заперт. Прямоугольные импульсы ПРИ из блока 6 управления не будут поступать на

вход элемента И. Информация из регистра буфера РгБФ в регистр блока регистров обрабатываемых слов БРГОС 7 не записывается. В этом случае будет сформирован сдвиг влево символов из регистра блока регистров обрабатываемых слов БРГОС 7 в регистр буфера РгБФ блока.

2. Практические схемы на элементах нейрокомпьютерных систем

Блок параллельно-последовательного поиска

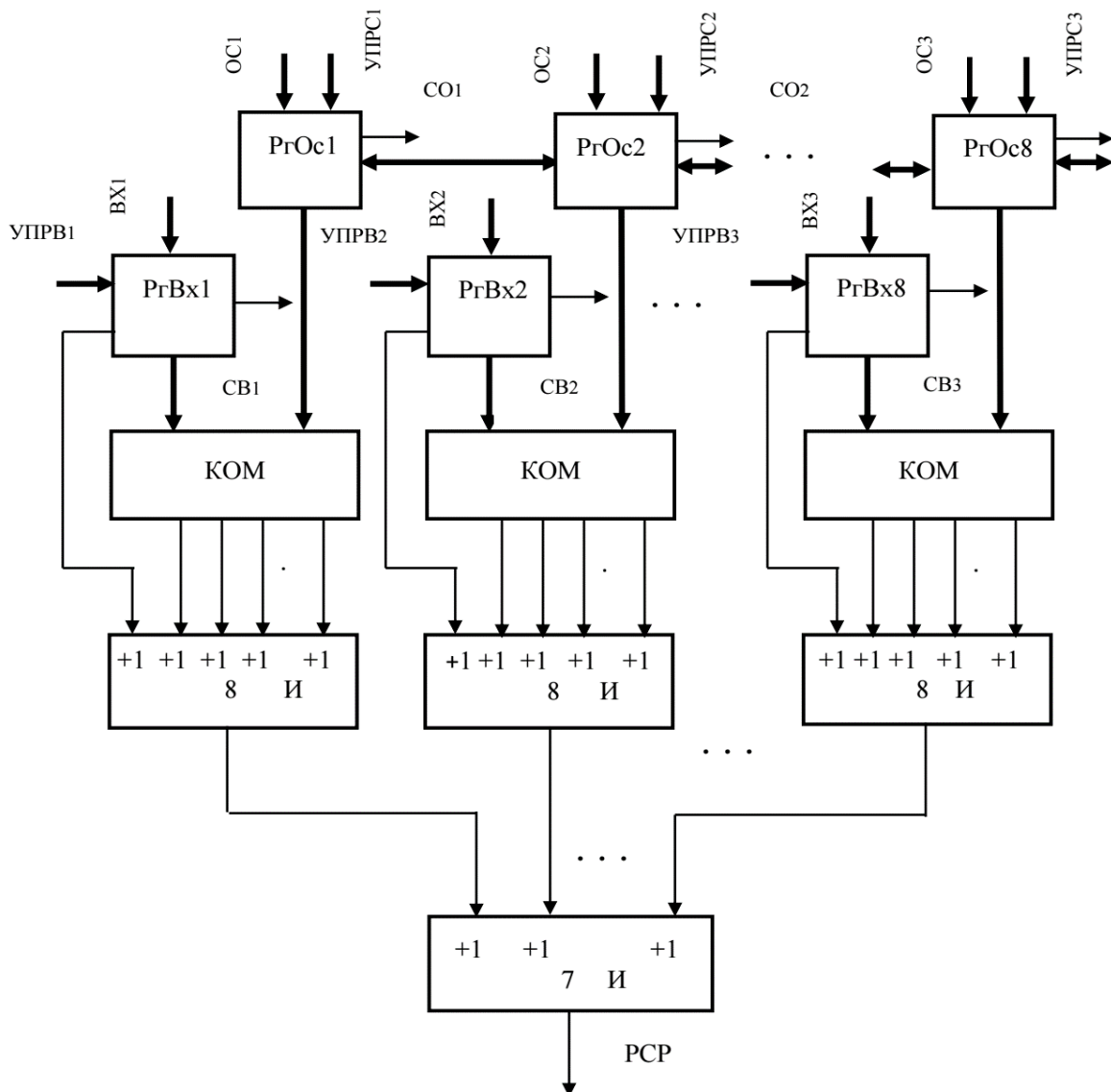


Рис.1

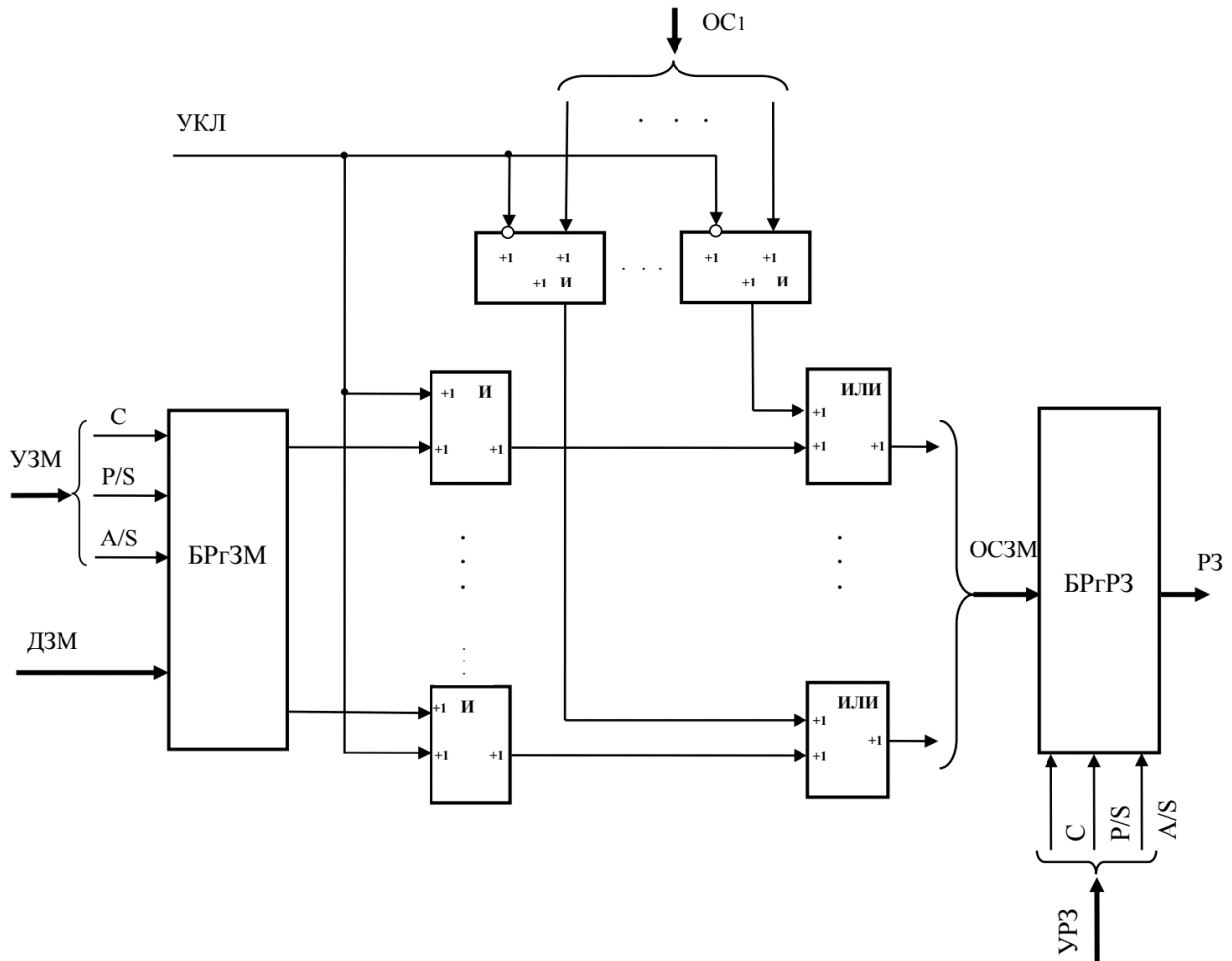


Рис.2

Блок схема-алгоритма устройства параллельно-последовательного поиска и замены вхождений в обрабатываемых словах.

Содержательная граф-схема алгоритма управления приведена на рис. 3, 4, 5. В блоке 2 алгоритма по сигналу "СБРОС" происходит установка в нуль всех элементов памяти устройства. В блоке 3 алгоритма по команде "СБРОС:=1" происходит установка в единичное состояние сигнала СБРОС. В блоке 4 алгоритма анализируется признак работы устройства "ПУСК". По выходу блока "единица" начинается работа устройства параллельно-последовательного поиска и замены вхождений в обрабатываемых словах. В блоке 5 алгоритма по команде ПВХ:=ДВХ на информационный вход оперативного запоминающего устройства блока памяти вхождений поступают данные вхождений, представляющие собой цепочки символов, которые необходимо обнаружить в обрабатываемых словах. По команде ПОС:=ДОС в оперативное запоминающее устройство записываются данные обрабатываемых слов. По команде ПЗМ:=ДЗМ в оперативное запоминающее устройство записываются

данные замен. Блок 5 это операция загрузки вхождений, обрабатываемых слов и замен в оперативные запоминающие устройства блока памяти обрабатываемых слов и вхождений: памяти вхождений, памяти обрабатываемых слов и памяти замены. В блоке 6 алгоритма анализируется признак работы устройства поиска и замены РПЗ. По выходу НЕТ осуществляется переход на б1 конечный блок алгоритма работы устройства. По выходу ДА выполняется переход на блок 7 алгоритма. В блоке 7 алгоритма анализируется признак левой конкатенации ЛЕК, операция присоединения вхождения к обрабатываемому слову слева. Такая операция имеет вид $\{S\}P$, где S – вхождение, а P – обрабатываемое слово. По выходу НЕТ осуществляется переход на блок 11 алгоритма. По выходу ДА выполняется переход на блок 8 алгоритма. Блоки 7, 8, 9, 10, и 15 организуют цикл в котором выполняется операция левой конкатенации. Цикл позволят получить одно или неоднократное присоединение вхождения к обрабатываемому слову слева, это можно записать как $\{\{S1\} \dots \{Sn\}\}P$. В блоке 8 алгоритма по команде УКЛ:=1 на управляющий вход блока замены БЗАМ из блока управления подается управляющий сигнал УКЛ равный единице. В результате этой операции данные блока регистра замены через открытые электронные ключи с прямыми управляющими входами и логических схем ИЛИ поступают на вход блока регистра результата замены. При этом осуществляется операция левой конкатенации. В блоке 9 алгоритма по команде ОСЗМ:=ЗМ на вход данных блока регистров результата замены поступают данные из блока регистров замены. В блоке 10 алгоритма по команде БРГРЗ:=ЗМ в блок регистров результата замены записывается вхождение из блока регистров замены. В блоке 11 алгоритма анализируется признак правой конкатенации ПРК, операция присоединения вхождения к обрабатываемому слову справа. Такая операция имеет вид $P\{S\}$, где, P – обрабатываемое слово а S – вхождение. По выходу НЕТ осуществляется переход на блок 16 алгоритма. По выходу ДА выполняется переход на блок 12 алгоритма. Блоки 11, 12, 13, 14, и 15 организуют цикл в результате, которого выполняется операция правой конкатенации. Цикл позволят получить одно или неоднократное присоединение к обрабатываемому слову вхождение справа, это можно записать как $P\{\{S1\} \dots \{Sm\}\}$. В блоке 12 алгоритма по команде УКЛ:=0 на управляющий вход системы электронных ключей блока замены БЗАМ из блока управления подается управляющий сигнал УКЛ равный нулю. В результате этой операции данные блока регистров обрабатываемого слова через открытые электронные ключи с инверсными управляющими входами и логических схем ИЛИ поступают на

вход блока регистра результата замены. При этом осуществляется операция записи символов обрабатываемого слова в блок регистров результата замены. В блоке 13 алгоритма по команде ОСЗМ:=ОС на вход данных блока регистров результата замены поступают данные из блока регистров обрабатываемого слова. В блоке 14 алгоритма по команде БРГРЗ:=ОСЗМ в блок регистров результата замены записываются символы обрабатываемого слова из блока регистров обрабатываемого слова. В блоке 15 алгоритма анализируется признак присоединения - конкатенация КОН левая или правая. По выходу ДА блока осуществляется переход на блок 7 алгоритма, в этом случае процесс присоединений слева или справа продолжается, в противном случае осуществляется переход на блок 16 алгоритма. По выходу НЕТ происходит переход на блок 33 алгоритма для записи результата конкатенаций в оперативное запоминающее устройство блока хранения результатов. В результате выполнения этих циклов возможны следующие композиции вхождения и обрабатываемого слова: $\{S\}P$ – одна левая конкатенация, $\{\{S1\} \dots \{Sn\}\}P$ – n левых конкатенаций, а также $P\{S\}$ – правая конкатенация и $P\{\{S1\} \dots \{Sm\}\}$ – m правых конкатенаций. В блоке 16 алгоритма анализируется формат работы устройства в последовательном или параллельном ПСПР режиме происходит поиск вхождений в обрабатываемых словах. Если устройство осуществляет поиск вхождений в параллельном режиме, формат работы ПСПР равен единице, то осуществляется переход на блок 17 алгоритма. Иначе при последовательном поиске вхождений осуществляется переход на блок 39 алгоритма. В блоке 17 алгоритма по команде БРГВХ:=ВХ на информационные входы регистров блока регистров вхождения в параллельном режиме из блока памяти вхождений поступают символы вхождения ВХ. По команде БРГОС:=ОС на информационные входы регистров блока регистров обрабатываемого слова в последовательном режиме – посимвольно из блока памяти обрабатываемых слов поступают символы обрабатываемого слова для проведения поисковых операций. В блоке 18 алгоритма анализируется признак конца обрабатываемого слова ПКОС. В случае управляющего сигнала ПКОС равного нулевому значению, это означает, что все символы обрабатываемого слова просмотрены и регистр обрабатываемого слова пуст. В этом случае осуществляется переход на блок 33 алгоритма. Если сигнал ПКОС равен единичному значению, то поиск в обрабатываемом слове продолжается. В этом случае осуществляется переход на блок 19 алгоритма. В 19 алгоритма по команде КОМ:=ВХ на первые входы компара-

тора поступают символы вхождения ВХ. По команде КОМ:=ОС на вторые входы компаратора поступают символы обрабатываемого слова ОС. В компараторе выполняется операция сравнение символов вхождения и обрабатываемого слова. Операция сравнения в блоке параллельно-последовательного поиска осуществляется в параллельном режиме. В блоке 20 алгоритма анализируется признак результата сравнения на равенство РСР символов вхождения и обрабатываемого слова. Если сравнение произошло положительно, сигнал при этом РСР равен единичному значению, то осуществляется переход на блок 24 алгоритма. В случае отрицательного сравнения на равенство входных величин, сигнал РСР равен нулевому значению, при этом выполняется переход на блок 21 алгоритма. В блоках 21, 22, 23 выполняется операция записи символа обрабатываемого слова в регистр блока регистров результата замены, если произошло отрицательное сравнение символов обрабатываемого слова и вхождения. В блоке 21 алгоритма по команде УКЛ:=0 управляющий сигнал из блока управления поступает на входы электронных ключей с инверсными управляющими входами, тем самым, отпирая электронные ключи. В результате этого на входы логических схем ИЛИ поступает символ обрабатываемого слова, который запишется в регистр блока регистров результата замены. Этот характеризуется отрицательным сравнением символов вхождения и обрабатываемого слова. В блоке 22 алгоритма по команде ОСЗМ:=ОС на информационные входы регистра блока регистров результата замены поступает символ обрабатываемого слова ОС для дальнейшей записи его в регистр блока. В блоке 23 алгоритма по команде ОТИ:=0 из блока управления поступает управляющий сигнал ОТИ равный нулевому значению. Сигнал поступает на инверсный вход логических схем И – электронного ключа. В результате этого электронный ключ будет открыт, через него и схему ИЛИ сигнал сдвига влево поступит на суммирующий вход двоичного сумматора СЧА. По команде СЧА:=СО на суммирующий вход счетчика поступает сигнал сдвига влево СО для подсчета количества сигналов сдвига влево обрабатываемого слова для формирования адреса вхождения в обрабатываемом слове. По выходу из блока 23 алгоритма осуществляется переход на блок 18 алгоритма для определения признака конца обрабатываемого слова ПКОС, затем для выполнения операции сравнения символов вхождения и сдвинутым влево на один разряд обрабатываемом словом. В результате образуется цикл, в котором будут просмотрены все символы обрабатываемого слова. Циклическая операция будут продолжаться до обнаруже-

ния признака конца обрабатываемого слова ПКОС. В блоке 24 алгоритма анализируется признак операций ПЗ: 1) поиск, 2) поиска и замены. Если устройство работает в режиме только поиска – выход НЕТ, то в этом случае осуществляется переход на блок 33 алгоритма. В случае работы в режиме поиска и замена – выход ДА алгоритма, то выполняется переход на блок 29 алгоритма. В блоках алгоритма 29, 30, 31, и 32 определяется способ обработки информации: 1) поиск, 2) поиск и замена. Существуют два вида комбинаций вхождений в обрабатываемом слове: 1) с общими частями символов вхождений, 2) без общих частей символов вхождений. Первый вид это когда между предыдущим вхождением в обрабатываемом слове и последующим есть общие части – символы. В этом случае поиск вхождения в обрабатываемом слове осуществляется сразу же на следующем сдвиге обрабатываемого слова, после положительного сравнения символов вхождения и обрабатываемого слова. Второй вид это когда сравнение символов осуществляется через n сигналов сдвига влево обрабатываемого слова, где n – количество символов вхождения. В блоке 25 анализируется признак работы устройства ПОЧ с общими частями - выход ДА и без общих частей – выход НЕТ. В случае выбора режима работы устройства с общими частями осуществляется переход на блок 18 алгоритма. Если устройство работает в режиме поиска без общих частей, то выполняется переход на блок 26 алгоритма. Блоки 26, 27 и 28 формируют цикл, в котором выполняется сдвиг влево обрабатываемого слова на один разряд до тех пор, пока признак работы устройства без общих частей БОЧ не будет равен нулевому значению. В блоке 26 алгоритма анализируется двоичный сигнал - признак поиска вхождений без общих частей БОЧ. Если сигнал равен нулевому значению, то осуществляется переход на блок 18 алгоритма. В случае равенства сигнала единичному значению, то выполняется переход на блок 27 алгоритма. В блоке 27 алгоритма по команде БРГОС:=СО на управляющие входы регистров блока регистров обрабатываемого слова поступают сигналы сдвига влево на один разряд для выполнения операции сдвига данных обрабатываемого слова влево. В блоке 28 алгоритма по команде по команде СЧВ:=СО на вычитающий вход двоичного счетчика СЧВ поступают сигналы сдвига влево регистров блока регистров обрабатываемого слова. В счетчике СЧВ выполняется операция вычитание. От количества символов вхождения вычитается поступившее на вычитающий вход число сигналов сдвига влево на один разряд обрабатываемого слова. Предварительно при загрузке символов вхождения в регистры

блока регистров вхождения в суммирующий двоичный счетчик СчС будет записана информация в двоичном коде, соответствующая количеству символов вхождения. Будет проведена предварительная установка вычитающего счетчика СчВ. Если результата на выходе счетчика равен нулю, то это означает обрабатываемое слово сдвинуто на определенное количество разрядов влево, равное количеству символов вхождения. Блоки 29, 30, 31, 32 алгоритма выполняют операцию записи замены в регистры блока регистров результата замены. Если устройство работает в режиме поиска и замены и при этом обнаружено вхождение в обрабатываемом слове, то в регистры блока регистров результата замены записывается цепочка символов замены. В блоке 29 алгоритма по команде БРГЗМ:=ЗМ в блок регистров замены записывается замена из блока памяти замены. В блоке 30 по команде УКЛ:=1 на управляющий вход блока замены БЗАМ из блока управления подается управляющий сигнал УКЛ равный единице. По выполнению этой операции данные блока регистра замены через открытые электронные ключи с прямыми управляющими входами и логических схем ИЛИ поступают на вход блока регистров результата замены. В блоке 31 алгоритма по команде ОСЗМ:=ЗМ на информационный вход данных блока регистров результата замены поступают данные из блока регистров замены. В блоке 32 алгоритма по команде БРГРЗ:=ОСЗМ выполняется запись замены в регистры блока регистров результата замены. В блоке 33 алгоритма анализируется выполнение устройством операций: 1) поиска, 2) поиска и замены, 3) конкатенаций левой или правой (П) или (ПЗ) или (КОН). Результат выполнения функций определяется с помощью логической операции ИЛИ. Если не выполнялось ни одной из этих операции устройством - выход НЕТ блока, то осуществляется переход на блок 6 алгоритма. В случае выполнения хотя бы одной из этих операций - выход ДА блока, то осуществляется переход на блок 34 алгоритма. В блоке 34 алгоритма по команде АВД:=СчА определяется позиция адреса вхождения в обрабатываемом слове, которая вычисляется с помощью двоичного счетчика СчА блока параллельного поиска. Адрес вхождения формируется по количеству сигналов сдвига влево, поступивших на суммирующий вход счетчика СчА, вначале вхождения, затем обрабатываемого слова. В блоке 35 алгоритма по команде РЕЗ:=(АДВ) или (РЗ) определяется результат РЕЗ с помощью логической операции ИЛИ. Результат поиска - местоположение вхождения, или в результате поиска и замены или после неоднократных замен, полученное новое слово из блока регистров результата замены, поступает на информационный вход оперативного запоминающего

устройства блока хранения результата. В блоке 36 алгоритма по команде $OZY:=PEZ$ на входные информационные входы оперативного запоминающего устройства блока хранения результата поступает результат PEZ - выполнение операций: поиска или поиска и замены или конкатенаций. В блоке 37 алгоритма по команде $BRGOC:=CO$ на управляющий вход регистров блока регистров обрабатываемого слова из блока управления поступает сигнал сдвига CO. Обрабатываемое слово при этом сдвигается на один разряд влево для дальнейшего выполнения поисковой операции. В блоке 38 алгоритма по команде $OTI:=0$ из блока управления поступает управляющий сигнал OTI равный нулю. Сигнал поступает на инверсный вход схемы И – электронного ключа, который открывается, через него и логическую схему ИЛИ сигнал сдвига влево поступит на суммирующий вход двоичного сумматора СчА. По команде $СчА:=CO$ на суммирующий вход счетчика поступает сигнал сдвига влево CO для подсчета количества сигналов сдвига влево обрабатываемого слова для формирования адреса вхождения в обрабатываемом слове. По выходу из блока 38 алгоритма осуществляется переход на блок 25 алгоритма для анализа способа поиска вхождений в обрабатываемом слове: поиск с общими частями или без общих частей. В блоке 39 алгоритма по команде По команде $RgOc1:=OC1$ на информационные входы регистров блока регистров обрабатываемого слова в последовательном режиме – посимвольно из блока памяти обрабатываемых слов поступают символы обрабатываемого слова для проведения поисковых операций. По команде $RgVx1:=Vx1$ на информационные входы регистров блока регистров вхождения в в последовательном режиме – посимвольно из блока памяти вхождений поступают символы вхождения Vx1. В блоке 40 алгоритма происходит анализ сигнала сравнения РСР, поступившего с выхода компаратора КОМ. Если сигнал сравнения равен единице $PCP=1$, то это означает, что произошло совпадение буквы вхождения с буквой слова. В этом случае осуществляется переход на блок 51 алгоритма. Если сигнал сравнения равен нулю $PCP=0$, то совпадения символов не произошло, в этом случае осуществляется переход на блок 41 алгоритма. В блоке 41 алгоритма анализируется состояние двоичного триггера ТР. Если триггер находится в нулевом состоянии $TR=0$, то это означает, что совпадения символов вхождения и обрабатываемого слова не произошло, в этом случае формируется сигнал сдвига влево на один разряд в регистре блока обрабатываемых слов. Если триггер находится в единичном состоянии $TR=1$, то это означает, что совпадения символов вхождения и обрабаты-

ваемого слова произошло, то осуществляется переход на блок 42 алгоритма. В блоке 42 алгоритма по команде $RгБФ:=БРгОС$ в регистр буфера блока регистров обрабатываемых слов записывается символ обрабатываемого слова с выхода регистра блока. В блоке 43 анализируется состояние двоичного счетчика $СЧ1$ блока последовательного поиска. Если состояние счетчика $СЧ1$ равно единице - выход ДА, то происходит переход на блок 46 алгоритма. Если состояние счетчика не равно единице - выход НЕТ, то осуществляется переход на блок 44 алгоритма. В блоке 44 алгоритма выполняется подача прямоугольных импульсов ПРИ из блока 6 управления на вычитающий вход двоичного счетчика $СЧ1$ блока последовательного поиска до получения единичного значения. В блоке 45 алгоритма по команде $БРгСО:=RгБФ$ в регистр обрабатываемого слова будут переписаны символы из регистра буфера $RгБФ$. По этой команде выполняется запись информации из регистра буфера в регистр блока регистров обрабатываемого слова. Блоки 43, 44, 45 алгоритма формируют цикл, в котором из регистра буфера символы обрабатываемого слова переписываются обратно в регистр обрабатываемого слова, осуществляется сдвиг вправо символов обрабатываемого слова. Выходом из цикла является условие при котором значение счетчика $СЧ1$ будет равно единицы. По выходу из блока осуществляется переход на блок 46 алгоритма. В блоке 46 алгоритма по команде $БРгОС:=СО$ на блок регистров обрабатываемого слова подается сигнал сдвига влево. По команде $RгВХ1:=ВХ1$ на вход регистра вхождения подаются символы вхождения. В блоке 47 алгоритма по команде $СО:=0$ сигнал сдвига влево подается на вход регистра обрабатываемого слова. В блоке 48 по команде $БРгОС:=ОС$ на регистр блок регистров обрабатываемого слова подаются символы обрабатываемого слова. По команде $RгВХ:=ВХ$ на вход регистра вхождения подаются символы вхождения. В блоке 49 алгоритма анализируется признака конца вхождения $ПКВХ$. Если признак конца вхождения равен единице $ПКВХ=1$, то в регистре вхождения обнаружен двоичный код символа, регистр не пустой. В этом случае осуществляется переход на блок 50 алгоритма. В обратном случае при равенстве признака конца вхождения нулевому значению осуществляется переход на блок 40 алгоритма. В блоке 50 алгоритма по команде $RгОС1:=ОС1$ на регистр обрабатываемого слова подаются символы для сравнения с символами вхождения. По команде $RгВХ:=ВХ$ на вход регистра вхождения подаются символы вхождения. В блоке 51 алгоритма по команде $ТР:=1$ на вход двоичного триггера подается единица, триггер устанавливается в единичное состояние. На суммирующий вход двоичного счетчика $СЧ1$

поступают тактовые импульсы $СЧ1:=ТАК$. Счетчик подсчитывает количество совпадений на входе компаратора. В блоке 52 алгоритма по команде $СВ:=0$ сигнал сдвига влево подается на вход регистра вхождения. По команде $СО:=0$ сигнал сдвига влево подаются на вход регистра обрабатываемого слова. В блоке 53 по команде $РгБФ:=БРгОС$ на вход регистра буфера поступают символы обрабатываемого слова для сравнения очередных символов вхождения и обрабатываемого слова. В блоке 54 алгоритма анализируется признака конца вхождения ПКВХ. Если признак конца вхождения равен единице $ПКВХ=1$, то в регистре вхождения обнаружен двоичный код символа, регистр не пустой. В этом случае осуществляется переход на блок 55 алгоритма. В обратном случае при равенстве признака конца вхождения нулевому значению, регистр пустой, осуществляется переход на блок 40 алгоритма. В блоке 55 алгоритма анализируется признак операций ПЗ: 1) поиск, 2) поиска и замены. Если устройство работает в режиме только поиска – выход НЕТ, то в этом случае осуществляется переход на блок 33 алгоритма. В случае работы в режиме поиска и замена – выход ДА алгоритма, то выполняется переход на блок 56 алгоритма. В блоке 56 алгоритма по команде $БРгЗМ:=ЗМ$ в блок регистров замены записывается замена из блока памяти замены. В блоке 57 по команде $УКЛ:=1$ на управляющий вход блока замены БЗАМ из блока управления подается управляющий сигнал УКЛ равный единице. По выполнению этой операции данные блока регистра замены через открытые электронные ключи с прямыми управляющими входами и логических схем ИЛИ поступают на вход блока регистров результата замены. В блоке 58 алгоритма по команде $ОСЗМ:=ЗМ$ на информационный вход данных блока регистров результата замены поступают данные из блока регистров замены. В блоке 59 алгоритма по команде $БРгРЗ:=ОСЗМ$ выполняется запись замены в регистры блока регистров результата замены. В блок 60 алгоритма по команде $БРгОС:=СО$ на блок регистров обрабатываемого слова подается сигнал сдвига влево. По команде $РгВХ1:=ВХ1$ на вход регистра вхождения подаются символы вхождения. По выходу блока 60 осуществляется переход на блок 40 алгоритма. Блок 61 алгоритма является конечным.

Блок-схема алгоритма

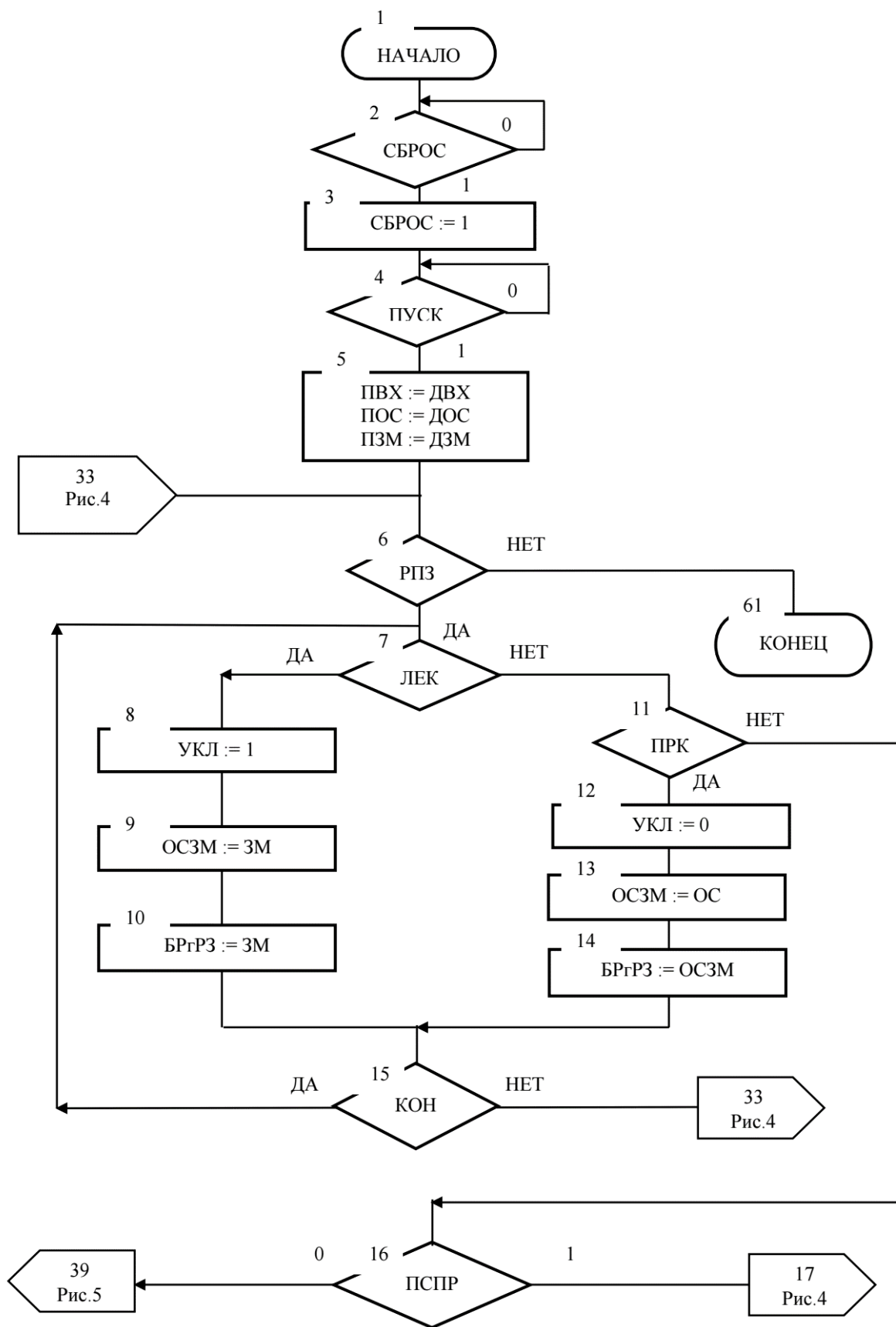


Рис.3

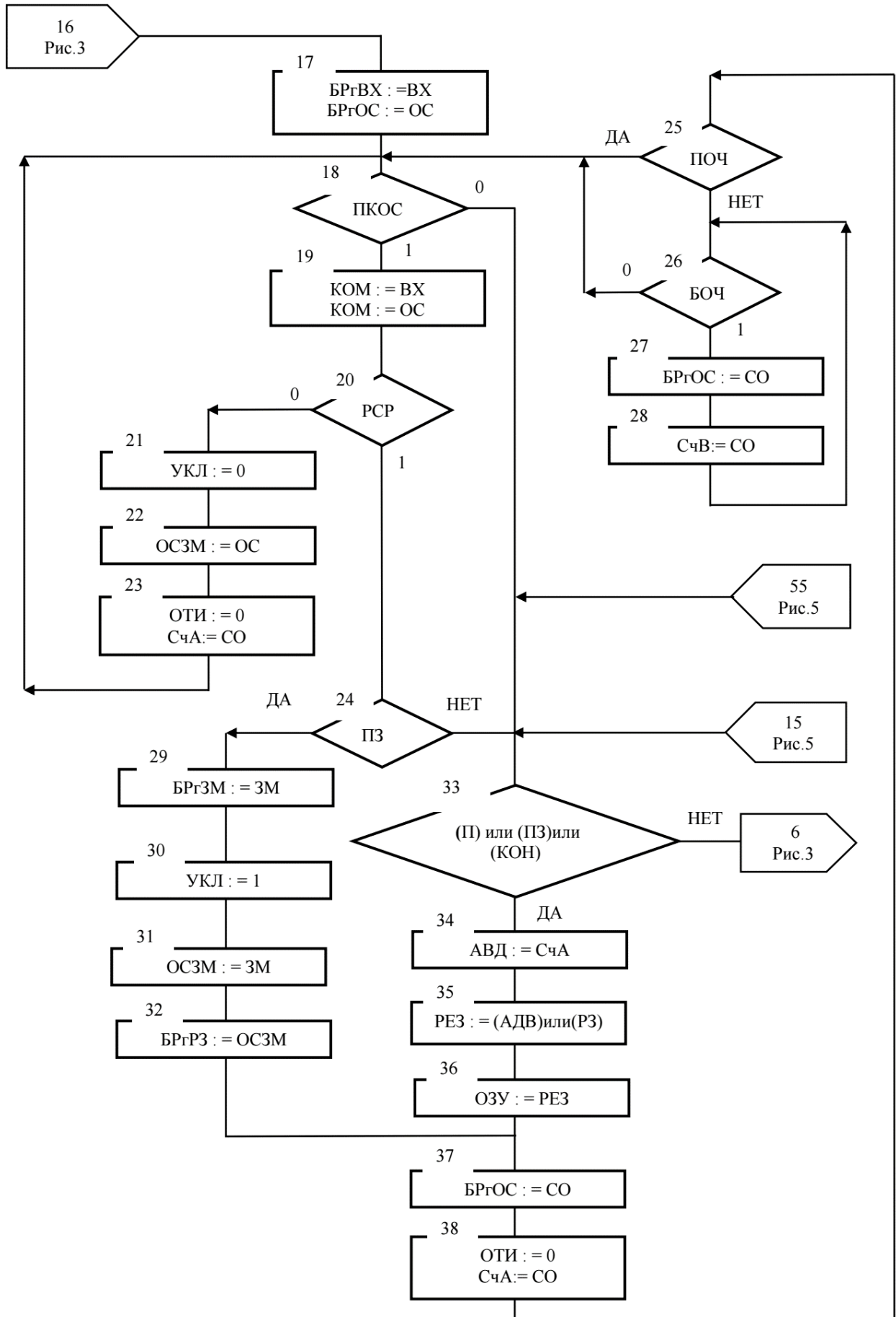


Рис.4

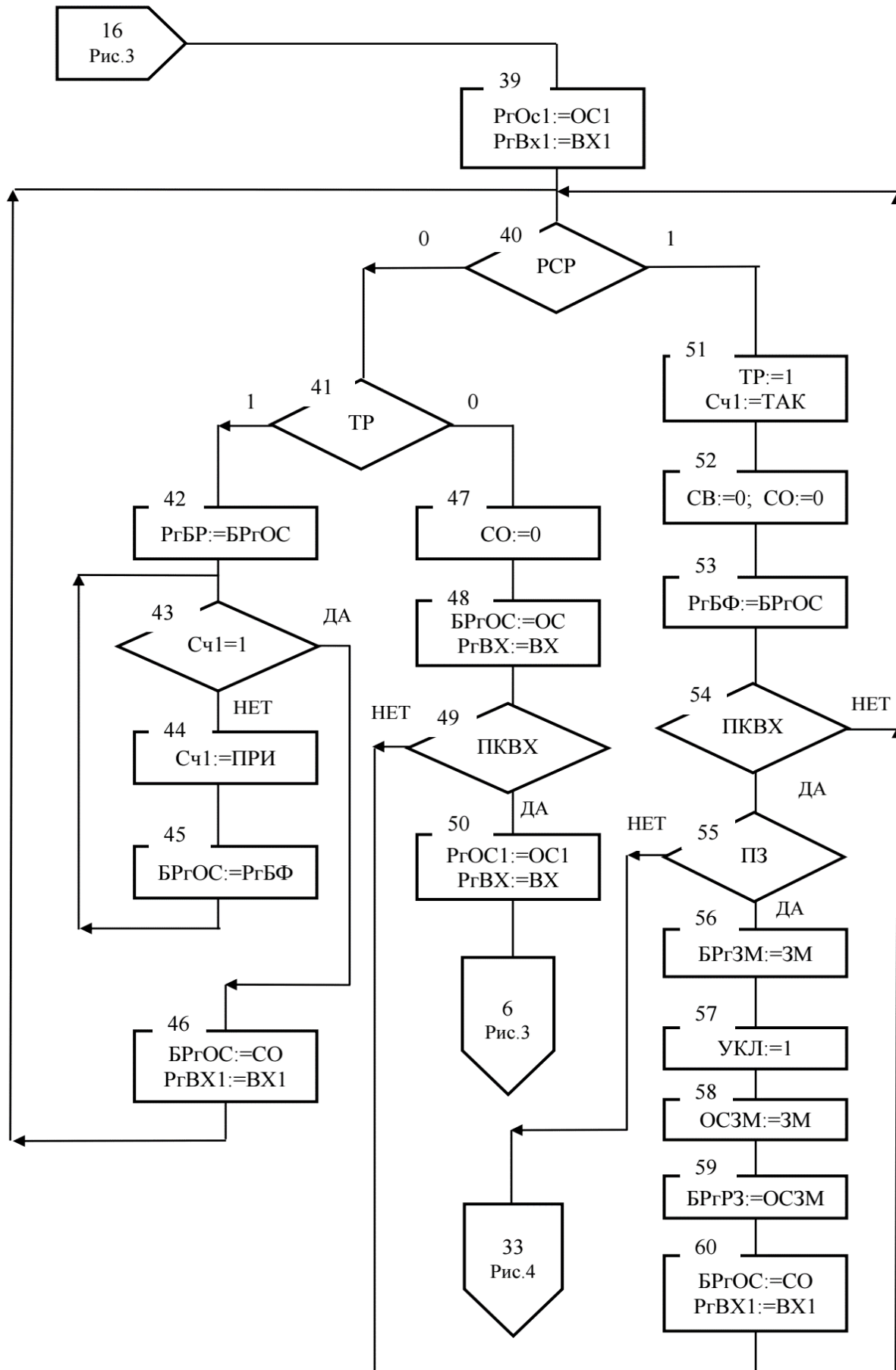


Рис.5

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему устройства;
- блок-схему алгоритма работы устройства;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Назовите основные блоки устройства. Какую структуру имеет блок параллельно-последовательного поиска.
2. Как происходит реализация сигналов сдвига вхождения и обрабатываемого слова в устройстве.
3. Как происходит запись символов обрабатываемого слова в регистр результата замены.
4. Как определяется сигнал равенства входных сигналов.
5. Какую функцию выполняют пороговые и нейроподобные элементы.
6. Какую функцию выполняют электронные ключи.
7. На каких электронных элементах выполнены логические схемы И, ИЛИ.
8. Как происходит определение режима работы устройства с общими частями и без общих частей.
9. Как определяется пороговое напряжение порогового и нейроподобного элементов.
10. Как реализуются основные булевы функции на пороговых и нейроподобных элементах.
11. Как реализовать компаратор на сумматоре по модулю два на нейроподобных элементах.
12. Укажите основные элементы и функции схемы сравнения на нейронах.
13. Как формируется замена в обрабатываемом слове.
14. В каком блоке устройства хранится результат замены вхождений в обрабатываемых словах.

Библиографический список

1. Хорошевский В.Г. Архитектура вычислительных систем.- М.: Изд-во МГТУ им. Н.Э. Баумана, 2008. – 520 с.
2. Параллельная система поиска и замены: пат. 2245579/ Рос. Федерация, . № 2003104072/09; / Шевелев С.С; заявл. 11.02.2003; опубл. 27.01.2005,
3. 3. Шевелев С.С. Система поиска вхождений в тексте / С.С. Шевелев, В.Н. Лопин, Е.В. Фетисова // Известия Курского государственного технического университета.– 2006. – №2. – С. 109–111.
4. Устройство сортировки информации методом дешифрации данных: пат. 2319197 Рос. Федерация, . № 2006139614/09/ Шевелев С.С., Кобелев В.Н., Шевелева Е.С., Карпов А.А.; заявл. 08.11.2006; опубл. 10.03.2008, Бюл. № 7.
5. Хла Вин, Шевелев С.С., Добрица В.П. Вычислители арифметических операций на нейронах. Научно-технический журнал «Известия ЮЗГУ», №4 (43), 2012, Часть 2/ Юго-Западного государственного университета (ЮЗ-ГУ). –Курск, 2012, С. 11-16.