

УДК 681.3.049.77

Составители: И.Е. Чернецкая, В.И. Иванов

Рецензент

Кандидат технических наук *Халин Ю.А.*

Преобразователи кодов: методические указания по выполнению лабораторной работы для студентов направления подготовки 09.03.01 / Юго-Зап.гос.ун-т; сост.: И.Е. Чернецкая, В.И. Иванов. – Курск, 2021. – 13 с. Библ. 13с.

Содержат материал, необходимый для формирования у студентов знаний о методах синтеза комбинационных схем, в частности, принципах организации схем преобразования кодов. Приведены рекомендации по применению программы моделирования электронных схем для выполнения исследований преобразователя кодов.

Предназначены для студентов направления подготовки 09.03.01 очной и заочной форм обучения.

Текст печатается в авторской редакции

Подписано в печать 15.01.21 . Формат 60*84 1/16.
Усл. печ.л. 0,76. Уч.-изд.л. 0,68. Тираж 50 экз. Заказ 228 Бесплатно.
Юго-Западный государственный университет
305040, г. Курск, ул. 50 лет Октября, 94.

СОДЕРЖАНИЕ

1 Цель работы	4
2 Порядок синтеза и исследования преобразователя кода	4
3 Программа исследований	6
4 Содержание отчета	12
5 Контрольные вопросы	13
Библиографический список	13

1 Цель работы

Изучение методов синтеза комбинационных схем, в частности, принципов организации схем преобразования кодов, и приобретение навыков в сборке и экспериментальном исследовании синтезируемых схем.

2 Порядок синтеза и исследования преобразователя кода

Схемы, работа которых однозначно определяется лишь комбинацией входных сигналов в текущий момент времени и не зависит от состояния входных переменных в предыдущие моменты времени, называют *комбинационными*. Каждая комбинационная схема описывается системой уравнений.

Задача синтеза комбинационной схемы заключается в построении реальной схемы на основе заданных законов ее функционирования. Причем при синтезе схем чаще всего необходимо построить схему с использованием минимального числа элементов. Процесс синтеза от исходного описания до готовой схемы состоит из нескольких основных этапов:

1. Составление таблиц или карт функционирования схем.
2. Минимизация.
3. Выбор функционального состава логических элементов и переход к соответствующему базису в полученных в п.2 выражениях.

Минимизация может производиться либо аналитически, путем преобразования математических выражений, либо графически на основе специальных карт, например, карт Карно (диаграмм Вейча).

Полученная минимальная функция выражена в дизъюнктивной или в конъюнктивной нормальной форме (МДНФ или МКНФ), то есть через логический базис И, ИЛИ, НЕ. Вместе с тем, практически используемые серии элементов представляют проектировщику иной логический базис (очень часто это элементы, реализующие операции И-НЕ либо ИЛИ-НЕ). Следовательно, для реализации схемы необходимо перейти к тому логическому базису, который отвечает выбранным элементам. К базису И-НЕ можно перейти от дизъюнктивной нормальной формы взятием от функции двойной инверсии с последующим применением правила де-

Моргана. Аналогично можно перейти к базису ИЛИ–НЕ от конъюнктивной нормальной формы.

В данной работе в качестве устройств комбинационного типа исследуются преобразователи кодов. *Преобразователем кодов* называется логическое устройство, предназначенное для изменения кодов информации, передаваемой и обрабатываемой цифровыми устройствами.

Существует множество кодов, предназначенных для обеспечения удобства перевода чисел из десятичной системы в двоичную, простоты выполнения арифметических операций и контроля результатов вычислений. Выбор кода влияет также на аппаратные затраты реализуемых схем цифровых устройств и на надежность выполнения ими заданных алгоритмов функционирования.

Входным кодом является четырехразрядный двоичный код десятичной цифры типа “8-4-2-1”. Значения кода определены на десяти комбинациях входных переменных $\{x_3, x_2, x_1, x_0\}$, начиная от набора 0000 и заканчивая набором 1001. Остальные шесть комбинаций от 1010 до 1111 в работе не принимают участия и при синтезе преобразователя могут использоваться произвольно. Выходной код десятичной цифры представляет собой четырех- или пятиразрядную комбинацию $\{y_3, y_2, y_1, y_0\}$ или $\{y_4, y_3, y_2, y_1, y_0\}$ соответственно.

Преобразователь реализуется как система булевых функций y_j группы аргументов x_i . Простейшим способом построения схемы, реализующей систему функции с n выходами, является синтез обычными методами n независимых одновыходных функций. Однако экономичное решение обычно получается при подходе к системе функций с учетом их взаимосвязанности и часто удаётся выявить общие логические фрагменты, входящие в выражения нескольких выходов. Эти фрагменты достаточно реализовать схемно один раз.

На рисунке 1 приведена схема, которую необходимо собрать на рабочем поле программы электронного моделирования, например, **Electronics Workbench**. Комбинации входного кода генерирует десятичный счетчик (модель 7490), который выбирается из магазина **Digital** в секции **CNT**. На вход СКА счетчика подаются тактовые сигналы от генератора прямоугольных импульсов. Выходы счетчика QA, QB, QC, QD служат источником двоичного

кода: x_0, x_1, x_2, x_3 соответственно. Если установить частоту тактовых импульсов 1кГц, то длительность одного такта составляет 1мс, а полный цикл – 10мс.

Схема преобразователя кода, который необходимо синтезировать согласно заданному в таблице 1 варианту, на рисунке 1 представлена стандартным условным графическим обозначением.

Исследование работы преобразователя кода производится с помощью логического анализатора **Logic Analyzer** из магазина инструментов **Instruments**, который функционирует как шестнадцатиканальный осциллограф. Анализатор развертывает на своем экране временные диаграммы прямоугольных логических сигналов: входных переменных x_0, x_1, x_2, x_3 и выходных сигналов преобразователя y_0, y_1, y_2, y_3, y_4 .

3 Программа исследований

Разработка схемы преобразователя кода

Схема установки для исследования преобразователя кода представлена на рисунке 1.

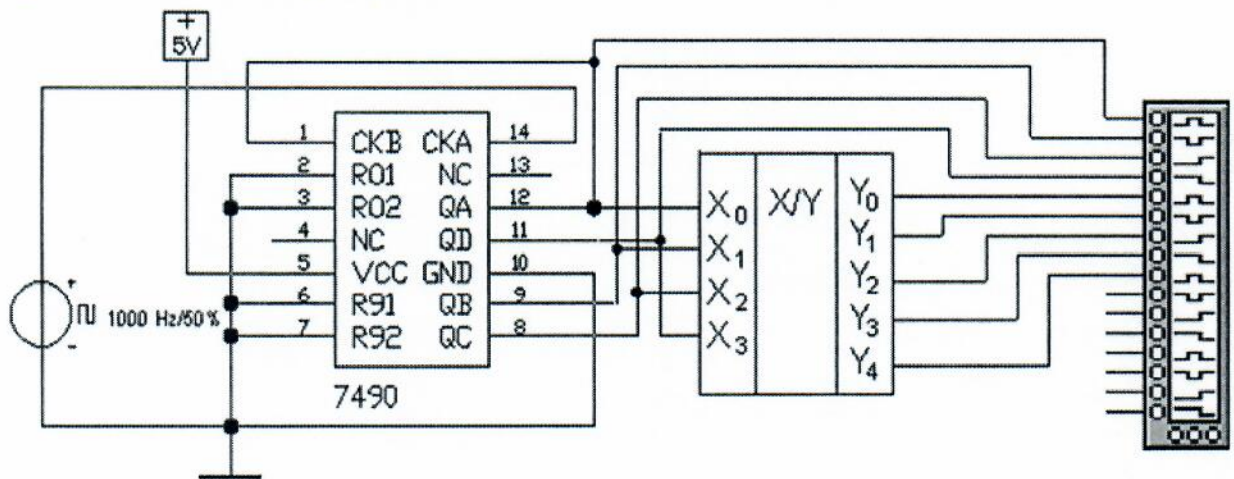


Рисунок 1 – Схема установки для исследования преобразователя кода

Необходимо выполнить следующее.

Произвести синтез многовыходной комбинационной схемы для четырех или пяти (в зависимости от варианта задания) переключательных функций четырех переменных (см. таблицу 1).

Привести минимизированные функции Y_0, Y_1, Y_2, Y_3, Y_4 к элементному базису И–НЕ либо ИЛИ–НЕ. Выбор элементной базы определяется критерием минимальных аппаратных затрат в расчете на количество корпусов микросхем малого уровня интеграции (МИС). Считать, что в одном корпусе ИС размещается:

- 6 инверторов;
- 4 двухвходовых элемента;
- 3 трехвходовых элемента;
- 2 четырехвходовых элемента;
- 1 восьмивходовый элемент.

Таблица 1– Варианты заданий

№ кодовой комбинации	Входной код				Вариант 1. Код “2-4-2-1”				Вариант 2. Код “3-3-2-1”			
	X_3	X_2	X_1	X_0	Y_3	Y_2	Y_1	Y_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1	1	0	0	0
4	0	1	0	0	0	1	0	0	1	0	0	1
5	0	1	0	1	1	0	1	1	1	0	1	0
6	0	1	1	0	1	1	0	0	1	1	0	0
7	0	1	1	1	1	1	0	1	1	1	0	1
8	1	0	0	0	1	1	1	0	1	1	1	0
9	1	0	0	1	1	1	1	1	1	1	1	1

Продолжение таблицы 1

№ код. комб.	Вариант 3. Дополнение до 10				Вариант 4. Дополнение до 16				Вариант 5. Код “2 из 5”				
	Y_3	Y_2	Y_1	Y_0	Y_3	Y_2	Y_1	Y_0	Y_4	Y_3	Y_2	Y_1	Y_0
0	1	0	1	0	0	0	0	0	0	0	0	1	1
1	1	0	0	1	1	1	1	1	0	0	1	0	1
2	1	0	0	0	1	1	1	0	0	0	1	1	0
3	0	1	1	1	1	1	0	1	0	1	0	0	1
4	0	1	1	0	1	1	0	0	0	1	0	1	0
5	0	1	0	1	1	0	1	1	0	1	1	0	0
6	0	1	0	0	1	0	1	0	1	0	0	0	1
7	0	0	1	1	1	0	0	1	1	0	0	1	0
8	0	0	1	0	1	0	0	0	1	0	1	0	0
9	0	0	0	1	0	1	1	1	1	1	0	0	0

Продолжение таблицы 1

№ код. комб.	Вариант 6. Код Джонсона					Вариант 7. Код Грея 1				Вариант 8. Код Грея 2			
	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	1	0	0	0	1
2	0	0	0	1	1	0	0	1	1	0	0	1	1
3	0	0	1	1	1	0	0	1	0	0	0	1	0
4	0	1	1	1	1	0	1	1	0	0	1	1	0
5	1	1	1	1	1	0	1	1	1	1	1	1	0
6	1	1	1	1	0	0	1	0	1	1	0	1	0
7	1	1	1	0	0	0	1	0	0	1	0	1	1
8	1	1	0	0	0	1	1	0	0	1	0	0	1
9	1	0	0	0	0	1	0	0	0	1	0	0	0

Продолжение таблицы 1

№ код. комб.	Вариант 9. Код "3 из 5"					Вариант 10. Код Грея 3				Вариант 11. Код Грея 4			
	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	1	1	1	0	0	0	0	0	0	0	0
1	0	1	0	1	1	0	1	0	0	0	0	0	1
2	0	1	1	0	1	1	1	0	0	0	1	0	1
3	0	1	1	1	0	1	0	0	0	1	1	0	1
4	1	0	0	1	1	1	0	0	1	1	0	0	1
5	1	0	1	0	1	1	1	0	1	1	0	1	1
6	1	0	1	1	0	0	1	0	1	1	1	1	1
7	1	1	0	0	1	0	0	0	1	0	1	1	1
8	1	1	0	1	0	0	0	1	1	0	0	1	1
9	1	1	1	0	0	0	1	1	1	0	0	1	0

Продолжение таблицы 1

№ код. комб.	Вариант 12. Код Грея 5				Вариант 13. Код Грея 6				Вариант 14. Код Грея 7			
	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	0	0	1
2	0	0	1	1	0	1	0	1	0	1	0	1
3	0	0	1	0	0	1	1	1	0	1	0	0
4	0	1	1	0	0	1	1	0	1	1	0	0
5	1	1	1	0	1	1	1	0	1	1	0	1
6	1	1	1	1	1	1	1	1	1	0	0	1
7	1	1	0	1	1	1	0	1	1	0	1	1
8	1	1	0	0	1	1	0	0	1	0	1	0
9	1	0	0	0	1	0	0	0	1	1	1	0

Продолжение таблицы 1

№ код. комб.	Вариант 15. Код Грея 8				Вариант 16. Код Грея 9				Вариант 17. Код Грея 10			
	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	1	0	0	0	1
2	0	1	0	1	0	0	1	1	0	0	1	1
3	0	0	0	1	0	1	1	1	0	1	1	1
4	0	0	1	1	1	1	1	1	0	1	1	0
5	0	1	1	1	1	1	0	1	1	1	1	0
6	0	1	1	0	1	1	0	0	1	1	1	1
7	1	1	1	0	1	0	0	0	1	1	0	1
8	1	1	1	1	1	0	0	1	0	1	0	1
9	1	1	0	1	1	0	1	1	0	1	0	0

Продолжение таблицы 1

№ код. комб.	Вариант 18. Код Грея 11				Вариант 19. Код Грея 12				Вариант 20. Код Грея 13			
	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	0	1	0	0
2	0	0	1	1	1	1	0	0	1	1	0	0
3	0	1	1	1	1	1	0	1	1	0	0	0
4	0	1	0	1	1	0	0	1	1	0	0	1
5	1	1	0	1	1	0	1	1	1	0	1	1
6	1	1	1	1	1	1	1	1	1	1	1	1
7	1	0	1	1	1	1	1	0	0	1	1	1
8	1	0	1	0	0	1	1	0	0	0	1	1
9	1	1	1	0	0	0	1	0	0	0	0	1

Продолжение таблицы 1

№ код. комб.	Вариант 21. Код с избытком 6				Вариант 22. Код "4-3-2-1"				Вариант 23. Код "5-2-1-1"			
	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	1	1	0	0	0	1	0	0	0	1
2	1	0	0	0	0	0	1	0	0	1	0	0
3	1	0	0	1	0	1	0	0	0	1	1	0
4	1	0	1	0	1	0	0	0	0	1	1	1
5	1	0	1	1	1	0	0	1	1	0	0	0
6	1	1	0	0	1	0	1	0	1	0	1	0
7	1	1	0	1	1	1	0	0	1	1	0	0
8	1	1	1	0	1	1	0	1	1	1	1	0
9	1	1	1	1	1	1	1	0	1	1	1	1

Далее приведен пример синтеза переключательной функции.

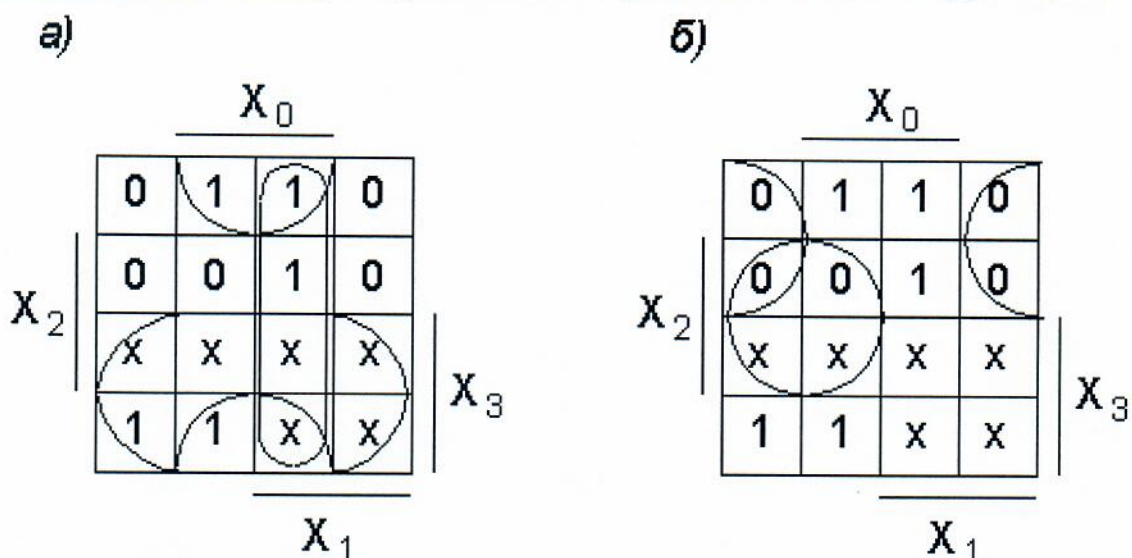


Рисунок 2 – Диаграммы Вейча функции четырех переменных

На рисунке 2, а показано объединение ячеек, содержащих единицы, которое позволяет получить минимальную дизъюнктивную форму синтезируемой функции, приводящую к реализации в базисе И–НЕ:

$$y = x_3 \vee x_1 x_0 \vee \overline{x_2} x_0 = \overline{\overline{x_3} \& x_1 x_0 \& \overline{x_2} x_0}$$

Для реализации схемы требуется два инвертора (1 / 3 ИС), два двухвходовых элемента (1 / 2 ИС) и один трехвходовый элемент (1 / 3 ИС), то есть всего 7 / 6 корпуса ИС.

На рисунке 2, б показано объединение ячеек, содержащих нули, которое позволяет получить минимальную дизъюнктивную форму для инверсии синтезируемой функции, удобную для реализации в базисе ИЛИ–НЕ:

$$y = \overline{\overline{\overline{x_3} \overline{x_0} \vee x_2 \overline{x_1}} = x_3 \vee x_0 \vee \overline{x_2} \vee x_1}$$

Для реализации функции в такой форме требуется один инвертор (1 / 6 ИС) и три двухвходовых элемента (3 / 4 ИС), то есть всего 11 / 12 корпуса ИС. В этом примере более экономична реализация заданной функции в базисе ИЛИ–НЕ.

Построение схемы преобразователя кода

Собрать на рабочем поле программы электронного моделирования, например, **Electronics Workbench** схему для исследования спроектированного преобразователя кода согласно

рисунку 1. Инверторы (**NOT Gate**) и логические элементы типа И–НЕ (**NAND Gate**) либо ИЛИ–НЕ (**NOR Gate**) следует выбирать из магазина компонентов **Logic Gates**. По умолчанию элементы **NAND Gate** и **NOR Gate** имеют по два входа. Требуемое число входов от 2 до 8 можно установить, вызвав двойным кликом мыши по изображению элемента меню **2-Input NAND Gate Properties** либо **2-Input NOR Gate Properties** и в подменю **Number of Inputs** отметить нужное число.

В подменю **Models** выбрать библиотеку **t1l** (ТТЛ) и модель типа **LS** (маломощные ТТЛШ, аналоги отечественной серии К555).

Соединить входы и выходы преобразователя кода с входами логического анализатора.

Исследование временных диаграмм преобразователя кода

Исследование функционирования преобразователя кода производится в динамическом режиме с помощью логического анализатора.

Выполнить следующие установки в блоке **Clock Set...** на панели анализатора:

Clock Mode – Internal (задает внутренний режим запуска от самих исследуемых сигналов);

Internal clock rate – 8 кГц (частота тактовых импульсов);

Threshold voltage (V) – 1,3 (порог срабатывания анализатора).

Остальные установки оставить по умолчанию и нажать кнопку **Accept**.

Запустить программу моделирования и, когда на экране анализатора заполнятся диаграммы напряжений, остановить процесс моделирования кнопкой **Pause**. Выбрать подходящий масштаб по оси времени с помощью установки **Clocks per division**, так чтобы на развертке укладывался полный цикл работы преобразователя.

Зарисовать для отчета временные диаграммы сигналов на всех входах и выходах схемы. Пример диаграмм показан на рисунке 3.

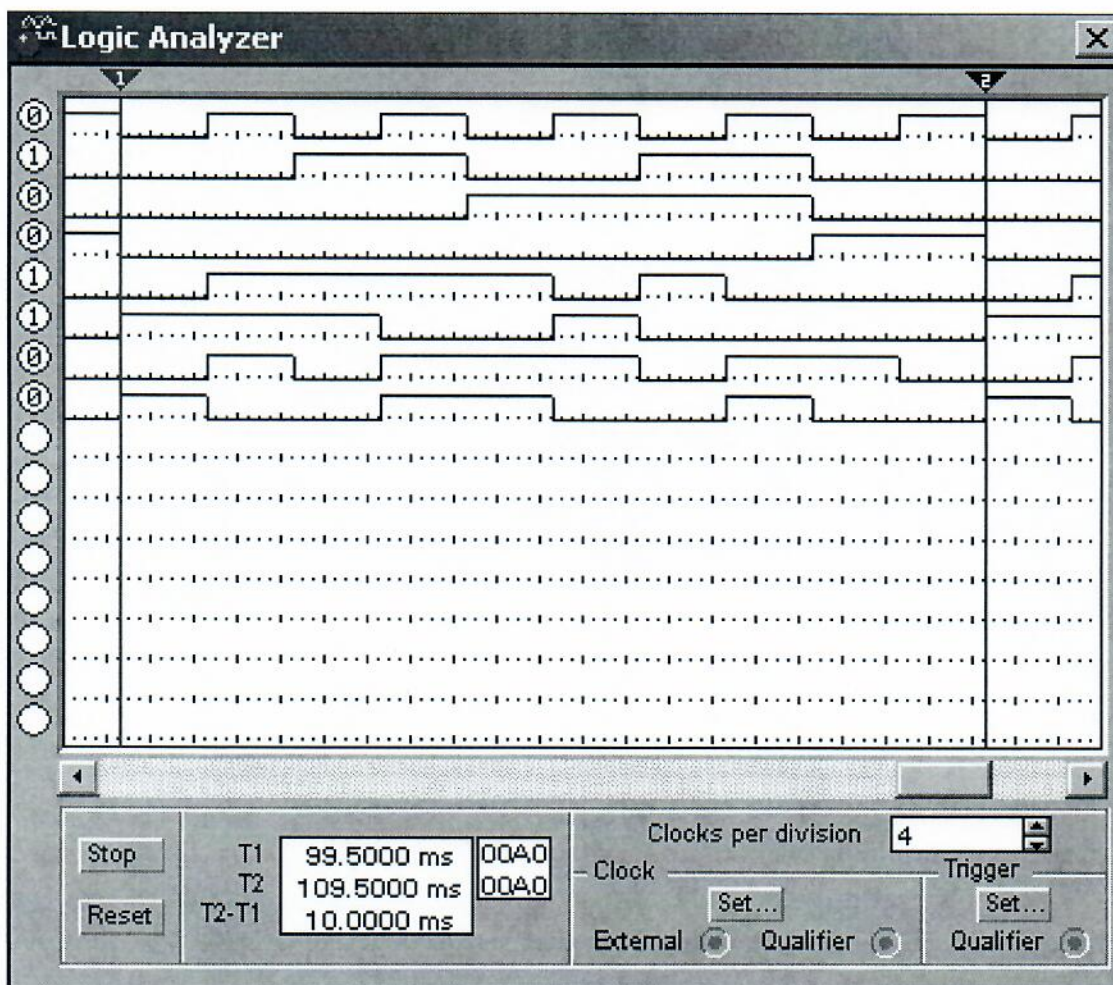


Рисунок 3 – Временные диаграммы преобразователя кода

4 Содержание отчета

Отчет должен содержать:

- 1) титульный лист;
- 2) наименование работы и цель исследований;
- 3) результаты синтеза преобразователя кода (карты Карно (диаграммы Вейча), обоснование выбора элементной базы, схема преобразователя);
- 4) схема установки для исследования преобразователя кода на рабочем поле программы электронного моделирования;
- 5) результаты исследования работы преобразователя кода в динамическом режиме (временные диаграммы входных и выходных сигналов).

5 Контрольные вопросы

1. Каковы основные признаки комбинационных схем?
2. В чем сущность синтеза комбинационных схем?
3. В чем специфика синтеза многовыходных комбинационных схем?
4. Почему задача синтеза неоднозначна?
5. Какие критерии минимизации применяют при синтезе комбинационной схемы?
6. Для чего предназначены схемы преобразователей кодов?
7. Какие существуют методы построения схем преобразователей кодов?

Библиографический список

1. Угрюмов Е.П. Цифровая схемотехника: Учебное пособие. – СПб.: БХВ-Петербург, 2001. – 528 с.
2. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ: Учеб. пособие для вузов. – М.: Высш. шк., 1987. – 318 с.
3. Иванов В.И. Проектирование цифровых устройств: учебное пособие / В.И. Иванов, В.С. Титов, М.В. Бобырь, А.С. Ястребов; Юго-Зап. гос. ун-т. Курск, 2011. 100 с.