

Документ подписан простой электронной подписью

Информация о владельце:

ФИО: Локтионова Оксана Геннадьевна

Должность: проректор по учебной работе

Дата подписания: 30.08.2021

Уникальный программный ключ:

0b817ca911e6668abb13a5d426d39e5f1c11eabb75e945df4a4851fda56dd89

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования

«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра вычислительной техники

УТВЕРЖДАЮ

Проректор по учебной работе

О.Г. Локтионова

« 15 » 09

2021 г.



АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА

Методические указания по выполнению лабораторной работы
для студентов направления подготовки 09.03.01

Курск 2021

УДК 681.3.049.77

Составитель: И.Е. Чернецкая, В.И. Иванов

Рецензент

Кандидат технических наук, доцент *Ю.А. Халин*

Арифметико-логические устройства: методические указания по выполнению лабораторной работы для студентов направления подготовки 09.03.01 / Юго-Зап. гос. ун-т; сост.: И.Е. Чернецкая, В.И. Иванов. – Курск, 2021. – 11с.: Библиогр.: с. 11.

Содержат основные сведения о методике проектирования цифровых устройств комбинационного типа на основе интегральной схемы арифметико-логического устройства и исследования работы четырехразрядного АЛУ.

Предназначены для студентов направления подготовки 09.03.01 очной и заочной форм обучения.

Текст печатается в авторской редакции

Подписано в печать *15.01.21* . Форма 60x84 1/16.

Усл. печ. л. 0,64 . Уч.-изд.л. 0,58 . Тираж 50 экз. Заказ *216* Бесплатно
Юго-Западный государственный университет.

305040, г. Курск, ул. 50 лет Октября, 94.

Содержание

1 Цель работы	4
2 Основные теоретические положения и описание принципиальной схемы	4
3 Программа исследований и методические указания	7
3.1 Арифметическая операция сложения	8
3.2 Арифметическая операция вычитания	9
3.3 Логическая операция	10
4 Контрольные вопросы	10
5 Содержание отчета	15
Библиографический список	11

1 Цель работы

Изучение работы интегральной схемы (ИС) арифметико-логического устройства (АЛУ) и проектирования многоразрядного цифрового устройства на основе четырехразрядного АЛУ.

2 Основные теоретические положения и описание принципиальной схемы

Центральной частью процессора любой цифровой вычислительной машины от простейших контроллеров до современных персональных компьютеров является арифметико-логическое устройство – АЛУ (см. рисунок 1). Его основой служит многоразрядный сумматор, схема которого дополнена логикой, расширяющей функциональные возможности АЛУ и обеспечивающей перестройку с одной операции на другую.

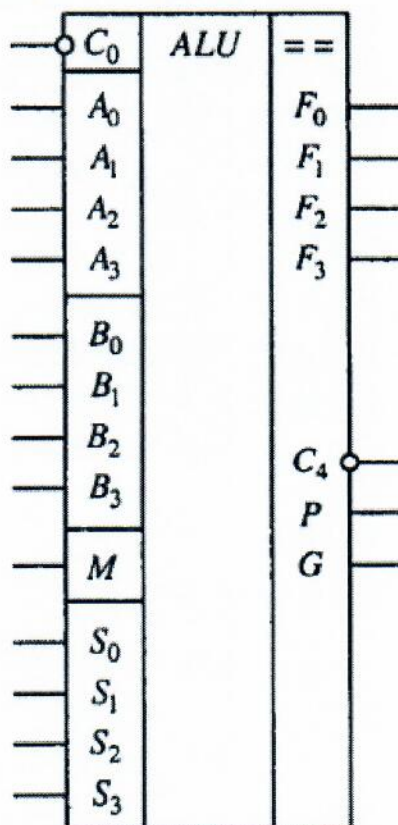


Рисунок 1 – Графическое изображение ИС четырехразрядного АЛУ

Эта перестройка осуществляется путем подачи на АЛУ соответствующего набора управляющих сигналов, называемого *командой*. По одной команде АЛУ может складывать числа, по другой вычитать, по третьей выполнять логические операции над разрядами входных данных, к примеру, инвертировать их и т.п. Если команды и данные подавать в определенной последовательности, то будет производиться соответствующая обработка поступающей цифровой информации. Комбинируя команды, управляющие работой АЛУ, можно реализовывать разные процедуры обработки цифровых сигналов. С этой точки зрения АЛУ является программируемым устройством, т. е. оно способно работать по заранее сформированной последовательности команд, которая называется *программой*.

АЛУ в составе серий цифровых микросхем выпускаются в основном для обработки четырехразрядных операндов. Это связано с числом внешних выводов корпуса, требуемых для подачи входных, управляющих сигналов и получения результата. Одной из таких микросхем является К155ИПЗ, изображаемая на схемах, как это показано на рисунке 1. У нее имеются входы операндов, а также вход и выход переноса, сигналы на которых воспринимаются и формируются в инверсном виде. Нулевой уровень на входе S_0 соответствует его наличию, а единица – отсутствию. Так как аналогичная ситуация наблюдается и сигналом на выходе S_4 , то для увеличения разрядности обрабатываемых чисел, АЛУ по этим входам и выходам можно соединять непосредственно.

Кроме этого, в АЛУ формируются функции генерации и распространения переноса, что позволяет для увеличения разрядности объединять их группами по четыре через схемы ускоренного переноса. Для выбора операции, выполняемой АЛУ, служат пять управляющих входов. Сигнал на входе M (*Mode*) переключает вид реализуемой функции (логическая либо арифметическая). Комбинируя сигналы на управляющих входах $S_0 \div S_3$, можно при $M=1$ выбрать любую из шестнадцати логических функций от двух переменных либо, если $M=0$, шестнадцать вариантов арифметических и арифметико-логических операций, что отражено в таблице 1.

Таблица 1 – Перечень логических и арифметико-логических операций

Выбор функции				$M = 1$	$M = 0$	
S_3	S_2	S_1	S_0	Логические операции	Арифметические операции	
					$\overline{C_0} = 1$	$\overline{C_0} = 0$
0	0	0	0	$F_i = \overline{A_i}$	$F = A$	$F = A + 1$
0	0	0	1	$F_i = \overline{A_i} \vee B_i$	$F = A \vee B$	$F = (A \vee B) + 1$
0	0	1	0	$F_i = \overline{A_i} \wedge B_i$	$F = A \vee \overline{B}$	$F = (A \vee \overline{B}) + 1$
0	0	1	1	$F_i = 0$	$F = -1$	$F = 0$
0	1	0	0	$F_i = \overline{A_i} \wedge \overline{B_i}$	$F = A + (A \wedge \overline{B})$	$F = A + (A \wedge \overline{B}) + 1$
0	1	0	1	$F_i = \overline{B_i}$	$F = (A \vee B) + (A \vee \overline{B})$	$F = (A \vee B) + (A \vee \overline{B}) + 1$

Выбор функции				$M = 1$	$M = 0$	
S_3	S_2	S_1	S_0	Логические операции	Арифметические операции	
					$\overline{C_0} = 1$	$\overline{C_0} = 0$
0	1	1	0	$F_i = A_i \oplus B_i$	$F = A - B - 1$	$F = A - B$
0	1	1	1	$F_i = A_i \wedge \overline{B_i}$	$F = (A \wedge \overline{B}) - 1$	$F = A \wedge \overline{B}$
1	0	0	0	$F_i = \overline{A_i} \vee B_i$	$F = A + (A \wedge B)$	$F = A + (A \wedge B) + 1$
1	0	0	1	$F_i = \overline{A_i} \oplus \overline{B_i}$	$F = A + B$	$F = A + B + 1$
1	0	1	0	$F_i = B_i$	$F = (A \vee \overline{B}) + (A \wedge B)$	$F = (A \vee \overline{B}) + (A \wedge B) + 1$
1	0	1	1	$F_i = A_i \wedge B_i$	$F = (A \wedge B) - 1$	$F = A \wedge B$
1	1	0	0	$F_i = 1$	$F = A + A$	$F = A + A + 1$
1	1	0	1	$F_i = A_i \vee \overline{B_i}$	$F = (A \vee B) + A$	$F = (A \vee B) + A + 1$
1	1	1	0	$F_i = A_i \vee B_i$	$F = (A \vee \overline{B}) + A$	$F = (A \vee \overline{B}) + A + 1$
1	1	1	1	$F_i = A_i$	$F = A - 1$	$F = A$

Логические операции над данными осуществляются поразрядно, т. е. для каждой пары одноименных разрядов операндов. В этом случае четырехразрядные кодовые комбинации, поступающие на входы A_i и B_i , воспринимаются как наборы пар независимых логических переменных. Если, к примеру, задать

операцию $A_i \vee B_i$, то произойдет поразрядное логическое сложение и результаты будут переданы на соответствующие выходы АЛУ. В данной ситуации разряды выходного кода не связаны друг с другом.

При реализации арифметических операций операнды A_i и B_i воспринимаются как двоичные коды чисел, и если реализуется сложение, то происходит арифметическое суммирование разрядов с учетом как входного, так и межразрядных переносов. Так как логическая единица на входе C_0 АЛУ воспринимается как отсутствие, а ноль – как наличие переноса, то в зависимости от значения этого сигнала, итог арифметической операции будет отличаться на единицу. При этом положительные результаты формируются в прямом коде, а отрицательные в дополнительном.

Арифметико-логические (смешанные) операции реализуются АЛУ в два этапа. Сначала производится поразрядная логическая обработка операндов, а затем арифметическое действие с учетом переносов между разрядами. К примеру, операция $(A \vee B) + (A \vee \bar{B})$ при $A = 0110$ и $B = 0100$ будет выполняться следующим образом. Сначала сформируются функции $A \vee B = 0110$ и $A \vee \bar{B} = 1111$, затем произойдет арифметическое сложение получившихся чисел и, в зависимости от состояния входа переноса, на выходах F – получится результат 0101 либо 0110. Так как сумма в обоих случаях больше пятнадцати, то сигнал на выходе C_4 примет нулевое значение.

В этом АЛУ имеется выход $A = B$ с открытым коллектором, обозначенный двумя значками равенства. Сигнал логической единицы на нем будет формироваться при подключении внешнего резистора и равенстве чисел, поступающих на входы A и B АЛУ, если задана операция их вычитания.

3 Программа исследований и методические указания

Работа проводится на персональном компьютере с помощью программы схемотехнического моделирования Electronics Workbench 5.0с.

Собрать на рабочем столе программы моделирования схему, приведенную на рисунке 2. Двоичные счетчики предназначены для

формирования четырехразрядных операндов $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$. Открывая ключи «1» и «2», можно пропустить на входы каждого счетчика необходимое число импульсов генератора. Коды операндов отображаются шестнадцатиричными цифрами на семисегментных индикаторах. Ключи «3», «4», «5» и «6» служат для установки кода выполняемой функции $S_3S_2S_1S_0$. Ключ «7» служит для установки режима, а ключ «8» устанавливает сигнал входного переноса при выполнении арифметической операции: логический «0», если перенос есть, и логическая «1», если перенос отсутствует.

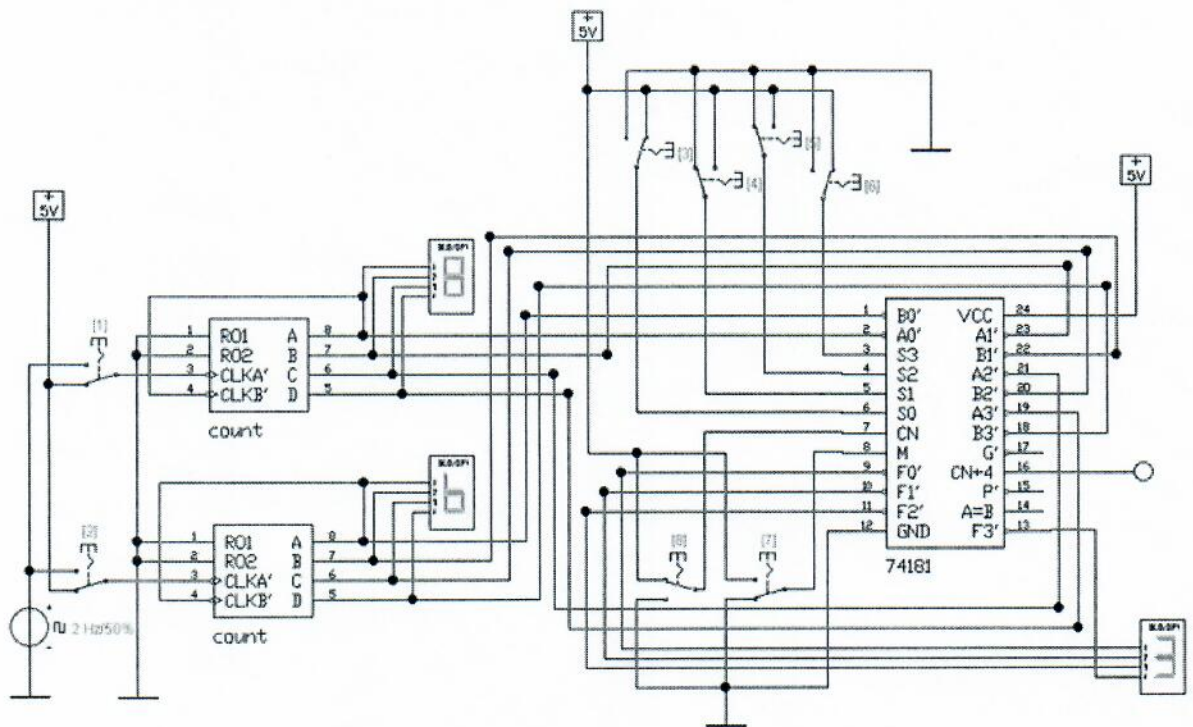


Рисунок 2 – Схема установки для исследования АЛУ

Результат выполненной операции отображается на семисегментном индикаторе, светодиод сигнализирует выходной перенос: «0» – наличие переноса, «1» – отсутствие.

3.1 Арифметическая операция сложения

Установить режим $M=0$, код операции $S_3S_2S_1S_0 = 1001$. Сформировать на выходах первого и второго счетчиков произвольные числа, например,

$$A_3A_2A_1A_0 = 1001 = 9_{(10)}; B_3B_2B_1B_0 = 1101 = 13_{(10)} = d_{(16)}.$$

Ожидаемый результат в отсутствие входного переноса ($C_N = 1$) равен

$$F_3F_2F_1F_0 = 0110 = 6_{(10)}.$$

Кроме того, должен появиться сигнал выходного переноса ($C_{N+4} = 0$).

Скопировать для отчета изображение на экране (см. рисунок 2).

Не изменяя операнды, установить входной перенос ($C_N = 0$) и зафиксировать результат операции. Скопировать изображение на экране для отчета.

3.2 Арифметическая операция вычитания

Вычитаемое меньше уменьшаемого

Установить в режиме $M = 0$ код операции $S_3S_2S_1S_0 = 0110$. Сформировать на выходах первого и второго счетчиков произвольные числа $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$, но так, чтобы $A > B$, например,

$$A_3A_2A_1A_0 = 1110 = 14_{(10)} = E_{(16)}; B_3B_2B_1B_0 = 1011 = 11_{(10)} = B_{(16)}.$$

Ожидаемый результат в прямом коде в отсутствие входного переноса ($C_N = 1$) равен

$$F_3F_2F_1F_0 = 0011 = 3_{(10)}.$$

Сигнал выходного переноса должен отсутствовать ($C_{N+4} = 1$).

Скопировать для отчета изображение на экране (см. рис. 2).

Не изменяя операнды, установить входной перенос ($C_N = 0$) и зафиксировать результат операции. Снять изображение на экране для отчета.

Вычитаемое больше уменьшаемого

Установить в режиме $M = 0$ код операции $S_3S_2S_1S_0 = 0110$. Сформировать на выходах первого и второго счетчиков произвольные числа $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$, но так, чтобы $A < B$, например,

$$A_3A_2A_1A_0 = 0111 = 7_{(10)} = E_{(16)}; B_3B_2B_1B_0 = 1011 = 11_{(10)} = B_{(16)}.$$

Ожидаемый результат в дополнительном коде в отсутствие входного переноса ($C_N = 1$) равен

$$F_3F_2F_1F_0 = \text{минус } 1100 = \text{минус } 12_{(10)}.$$

При этом должен присутствовать сигнал выходного переноса ($C_{N+4} = 0$).

Скопировать для отчета изображение на экране (см. рисунок 2).

Не изменяя операнды, установить входной перенос ($C_N = 0$) и зафиксировать результат операции. Снять изображение на экране для отчета.

3.3 Логическая операция

Установить режим $M = 1$ и код операции $S_3S_2S_1S_0$, который соответствует функции, заданной преподавателем. Сформировать в первом и втором счетчиках произвольные наборы переменных $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$. Выполнить операцию и сравнить результат с ожидаемым выходным словом $F_3F_2F_1F_0$. Скопировать для отчета изображение на экране (см. рисунок 2).

4 Контрольные вопросы

1. К какой категории цифровых устройств относятся арифметико-логические устройства?
2. Какой функциональный узел является основой схемы АЛУ?
3. В каком порядке выполняются действия сложной арифметико-логической операции?

5 Содержание отчета

Отчет должен содержать:

- 1) титульный лист;
- 2) наименование работы и цель исследований;
- 3) задание на лабораторную работу;
- 4) описание методики выполнения логических и арифметических функций, реализованных в АЛУ;
- 5) копии изображений на экране при выполнении заданных операций;
- 6) комментарии полученных результатов.

Библиографический список

1. Иванов, В.И. Проектирование цифровых устройств [Текст]: Учебное пособие / В.И. Иванов, В.С. Титов, М.В. Бобырь и др.; Юго-Зап. гос. ун-т. Курск, 2011. 100 с.

2. Угрюмов, Е.П. Цифровая схемотехника [Текст]: учебное пособие для вузов / Е.П. Угрюмов. – СПб: БХВ-Петербург, 2004. 528 с.

3. Угрюмов, Е.П. Проектирование элементов и узлов ЭВМ [Текст]: учебное пособие для вузов / Е.П. Угрюмов. – М.: Высш. шк., 1987. 318 с.