

МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное
учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра космического приборостроения и средств связи

УТВЕРЖДАЮ:

Проректор по учебной работе


О.Г. Локтионова

« 31 » 07 2019 г.



ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ УСТРОЙСТВ

Методические указания к лабораторным занятиям

УДК 681.325

Составитель О. Г. Бондарь



Рецензент

Доктор технических наук, профессор кафедры вычислительной техники *И. Е. Чернецкая*

Проектирование цифровых устройств: методические указания к лабораторным занятиям / Юго-Зап. гос. ун-т; сост.: О. Г. Бондарь. - Курск, 2019. - 59 с.: ил. 9. табл. 17: Библиогр.: с. 59.

Приводится методика, программа исследования цифровых устройств с использованием аппаратно-программного комплекса ELVIS II и LabView и варианты заданий.

Методические указания соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальностям автоматике и электроники (УМО АЭ).

Предназначены для обучающихся по направлению подготовки 11.03.03 «Конструирование и технология электронных средств» всех форм обучения.

Могут быть полезны обучающимся по направлению подготовки 11.03.02 «Инфокоммуникационные технологии и системы связи» всех форм обучения.

Текст печатается в авторской редакции

Подписано в печать 31.01.19. Формат 60×84 1/16.
Усл. печ. л. 3,43. Уч.-изд. л. 3,11. Тираж 100 экз. Заказ 50.
Бесплатно.

Юго-Западный государственный университет.
305040, г. Курск, ул. 50 лет Октября, 94

Оглавление

1	ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ КОМБИНАЦИОННОГО УСТРОЙСТВА.....	6
	Цель работы.....	6
	Подготовка к лабораторной работе	6
	Программа исследований.....	7
	Методические указания.....	8
	Контрольные вопросы	9
	Содержание отчета	9
	Приложение	10
2	МИНИМИЗАЦИЯ И ИССЛЕДОВАНИЕ КОМБИНАЦИОННОГО УСТРОЙСТВА.....	11
	Цель работы.....	11
	Подготовка к лабораторной работе	11
	Программа исследований.....	12
	Контрольные вопросы	13
	Содержание отчета	13
	Приложение. Варианты заданий	14
3	ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ СЕМИСЕГМЕНТНОГО ДЕШИФРАТОРА.....	15
	Цель работы.....	15
	Подготовка к лабораторной работе	15
	Программа исследований.....	16
	Контрольные вопросы	16
	Содержание отчета	17
	Приложение. Варианты заданий	17
4	ОЦЕНКА ФУНКЦИОНАЛЬНОЙ УСТОЙЧИВОСТИ ЦИФРОВЫХ КОМБИНАЦИОННЫХ СХЕМ	18
	Цель работы.....	18

Задание	18
Структурный метод	20
Метод трехзначного моделирования	20
Иллюстрирующий пример	22
Применение структурного метода для поиска и устранения логических рисков	23
Применение метода трехзначного моделирования для нахождения функциональных статических рисков	26
Вопросы для самоконтроля	29
Методические указания к выполнению работы	29
Замечание 1	30
Замечание 2	30
Замечание 3	30
Содержание отчета	31
5 ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ RS-ТРИГГЕРА	32
Цель работы	32
Подготовка к лабораторной работе	32
Программа исследований	33
Контрольные вопросы	34
Содержание отчета	34
6 ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ ГЕНЕРАТОРА КОДОВ	35
Цель работы	35
Подготовка к лабораторной работе	35
Программа исследований	35
Методические указания	36
Контрольные вопросы	36
Содержание отчета	37

Отчет должен включать:	37
Приложение. Варианты заданий.	37
7 ИССЛЕДОВАНИЕ СДВИГОВОГО РЕГИСТРА	39
Цель работы	39
Основные сведения	39
Оборудование	41
Выполнение лабораторной работы	43
Исследование регистра сдвига в статическом режиме	44
Режим сдвига вправо	44
Режим сдвига влево	45
Режим параллельной загрузки	46
Режим хранения	47
Исследование регистра сдвига в динамическом режиме	48
Содержание отчёта	49
Контрольные вопросы	49
8 ИССЛЕДОВАНИЕ ДВОИЧНОГО СЧЁТЧИКА	50
Цель работы	50
Основные сведения	50
Оборудование	53
Выполнение лабораторной работы	54
Исследование двоичного счетчика в статическом режиме	55
Исследование счётчика в динамическом режиме	57
Содержание отчёта	58
Контрольные вопросы	58
Литература	59

1 ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ КОМБИНАЦИОННОГО УСТРОЙСТВА

Цель работы

Получение навыков построения функциональных схем цифровых устройств по логическим выражениям.

Изучение приемов моделирования комбинационных устройств.

Подготовка к лабораторной работе

Повторить правила построения минтермов и макстермов функции n – переменных. Повторить правила построения СДНФ и СКНФ таблично заданной функции.

В соответствии с номером рабочей станции выбрать логическую функцию из таблицы, приведенной в приложении. Представить таблицу для выбранной функции.

Записать выражения для логической функции в совершенных дизъюнктивной и конъюнктивной нормальных формах.

Начертить функциональную электрическую схему комбинационного устройства для любого из полученных логических выражений. При этом необходимо, пользуясь справочником по цифровым интегральным схемам, выбрать ИС с соответствующим числом входов. ИС с необходимым числом входов можно синтезировать из ИС с меньшим числом входов.

Для самоконтроля ответить на приведенные ниже вопросы.

1. Каковы правила формирования индексов минтермов и макстермов?
2. Как выбирается значение первичного терма при записи i -го минтерма?
3. Как выбирается значение первичного терма при записи i -го макстерма?
4. Какие минтермы и макстермы входят в логическое выражение функции заданной таблично?
5. Сколько логических элементов образуют максимально длинную цепочку функциональной схемы комбинационного

устройства при отсутствии ограничений на количество входов?

6. Как построить элемент 3ИЛИ из элементов 2ИЛИ?

Программа исследований

1. Загрузить программу «Multisim». Создать новый файл под именем Comb1. Выбрать ТТЛ модель интегральных схем. Построить схему, разработанную при домашней подготовке. Подключить ко входу схемы генератор цифровых кодов **Word Generator**. Для наблюдения сигналов подключить логический анализатор **Logic Analyzer**.
 - На входы каналов 1-4 подать соответственно входные сигналы X0-X2 и выходной сигнал Y.
 - На входы каналов 5,6,... - подать сигналы с выходов конъюнкторов.
2. Задать последовательность входных цифровых сигналов из 8 слов от 0 до 7. Установить пакетный режим (Burst). Частоту генератора установить $F_{\text{такт}} = 1$ КГц.
3. Настроить цифровой анализатор в соответствии с п. 7-8 методических указаний.
4. Задать режим идеальной - быстрой цифровой симуляции (Simulate/Digital Simulation Setting/Ideal). Запустить симуляцию (Simulate/Run или через кнопку молнии на панели инструментов). Отрегулировать установки симуляции исходя из удобства наблюдения диаграмм.
5. Сохранить временные диаграммы, наблюдаемые на экране логического анализатора. Сопоставить значения исходной функции и полученные при моделировании для одних и тех же наборов входных переменных. При несоответствии провести анализ схемы и устранить ошибки. После устранения ошибок повторно провести исследование разработанной схемы.
6. Задать тип используемых ИС - КМОП (с напряжением питания 5В). Установить частоту генератора кодовых последовательностей $F_{\text{такт}} = 10$ МГц. сохранить полученные временные диаграммы. Сравнить с исходными. Объяснить различия в диаграммах.

7. Методом деления интервала с нижней рабочей границей и нижней нерабочей границей пополам определить верхнюю рабочую частоту спроектированной схемы с погрешностью не свыше 10%.

Методические указания

1. После запуска программы Multisim в разделе Options/Global Preferences/Components выбрать стандарт DIN (западноевропейский).
2. При построении функциональных схем источники питания к интегральным схемам не подключаются.
3. Выходы генератора слов нумеруются сверху – вниз, слева – направо. Целесообразно зеркально развернуть генератор по горизонтали. Для этого вызвать меню вспомогательной кнопкой мыши при курсоре, позиционированном на генераторе и выбрать пункт Flip Horizontal.
4. Настройка генератора слов начинается с вызова панели настройки двойным щелчком на изображении генератора. Для организации коротких циклических последовательностей следует при инициализации генератора кодов задать адрес первого и последнего генерируемого кода (Set Initial Position, Set Final Position) и выбрать циклический режим. Это достигается выделением соответствующей позиции в окне генерируемых кодов генератора слов (Word Generator) и вызовом меню вспомогательной кнопкой мыши. Текущий код устанавливается записью в соответствующей строке генератора слов нужной кодовой комбинации.
5. Нумерация разрядов кодовых слов осуществляется справа – налево (традиционно).
6. Способ представления кодовых слов предварительно следует задать в позиции Display. Наибольшую наглядность имеет двоичный способ представления благодаря однозначному соответствию между позицией бита в кодовом слове и номером контакта. Однако для удобства ввода установите десятичную кодировку слов, а после набора

смените кодировку на двоичную. Поинтересуйтесь в какой из позиций двоичного кода значения изменяются чаще. Это позволит идентифицировать переменные на временной диаграмме.

7. Настройка логического анализатора начинается с вызова панели настройки двойным щелчком главной кнопки мыши на изображении анализатора.
8. Основные настройки – частота тактирования ($\text{Clock Rate} = (10-100) \times F_{\text{такт}}$) количество выборок до начала отображения ($\text{Pre-trigger} = 1$) и после его завершения ($\text{Post-trigger} = 80-800$), масштаб, выраженный в количестве тактов на деление ($\text{Clock/Div} = 10-100$). Целесообразно поэкспериментировать с настройками, что бы «почувствовать» их влияние на временные диаграммы.
9. Следует помнить, что Clock Rate определяет частоту дискретизации цифровых сигналов, т.е. временное разрешение. Ошибка измерения любых временных интервалов определяется этой установкой.

Контрольные вопросы

1. Как измерить величину задержки выходного сигнала?
2. Какова абсолютная погрешность при измерении задержки?
3. Как уменьшить величину погрешности при измерении задержки?
4. Какова задержка сигнала в спроектированной комбинационной схеме?
5. Объяснить разницу в величинах задержек выходного сигнала для разных его фаз.

Содержание отчета

Отчет должен включать:

1. Номер варианта и исходную функцию, заданную в табличной форме.
2. Аналитическое выражение логической функции с комментариями в СДНФ и СКНФ.
3. Перечень выбранных логических элементов для построения

схемы, исходную и конечную функциональные электрические схемы комбинационного устройства. Исходная схема получена в результате синтеза, а конечная после устранения всех ошибок.

4. Все промежуточные (при необходимости) и окончательные временные диаграммы (скриншоты с экрана логического анализатора) для частоты исследования 1 кГц, 10 МГц и предельной рабочей частоты.
5. Преобразованные в табличную форму значения функции полученные из временных диаграмм. Реальные значения функции вносятся в дополнительные столбцы таблицы в графы экспериментальных значений функции.
6. Письменные ответы на контрольные вопросы.

Приложение

Таблица 1. Варианты заданий к лабораторной работе для первой подгруппы.

№ п/п	X2	X1	X0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10
0	0	0	0	1				1				1	
1	0	0	1		1				1				1
2	0	1	0		1	1	1			1			1
3	0	1	1				1	1		1	1		
4	1	0	0	1		1		1			1	1	
5	1	0	1	1	1				1				
6	1	1	0			1			1	1			
7	1	1	1				1				1	1	1

Таблица 2. Варианты заданий к лабораторной работе для второй подгруппы.

№ п/п	X2	X1	X0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10
0	0	0	0								1	1	
1	0	0	1	1	1						1		
2	0	1	0				1	1	1		1	1	
3	0	1	1	1	1			1					1
4	1	0	0		1	1		1					
5	1	0	1	1		1			1	1			1
6	1	1	0			1	1		1	1			
7	1	1	1				1			1		1	1

2 МИНИМИЗАЦИЯ И ИССЛЕДОВАНИЕ КОМБИНАЦИОННОГО УСТРОЙСТВА

Цель работы

- Получение навыков минимизации логических функций и приведения их к заданному базису.
- Анализ статических и динамических рисков в схемах цифровых устройств.

Подготовка к лабораторной работе

Повторить правила построения СДНФ и СКНФ таблично заданных функций и минимизации их графическим методом.

Повторить правила приведения функций к различным базисам.

Изучить раздел 5 лекционного курса «Задержки в цифровых цепях».

В соответствии с номером бригады выбрать логическую функцию из таблицы, приведенной в приложении. Представить таблицу для выбранной функции.

Провести минимизацию функции в форме, наиболее удобной для последующего приведения к заданному базису.

Записать выражение для логической функции в заданном базисе.

Начертить функциональную электрическую схему комбинационного устройства. При этом необходимо, пользуясь справочником по цифровым интегральным схемам, выбрать ИС с соответствующим числом входов. ИС с необходимым числом входов можно синтезировать из ИС с меньшим числом входов.

Для самоконтроля ответить на приведенные ниже вопросы.

1. В какой форме следует записать логическую функцию для последующего представления в базисе И-НЕ?
2. В какой форме следует записать логическую функцию для последующего представления в базисе ИЛИ-НЕ?
3. В какой форме следует записать логическую функцию для последующего представления в базисе И-ИЛИ-НЕ?

4. Сформулируйте правило записи дизтерма, соответствующего прямоугольнику, покрывающему карту Карно.
5. Сформулируйте правило записи контерма, соответствующего прямоугольнику, покрывающему карту Карно.
6. Как выявить наборы входных переменных, приводящие к статическим и динамическим рискам?

Программа исследований

1. Загрузить программу «Multisim». Создать новый файл под именем Comb2. Построить схему, разработанную при домашней подготовке. Подключить к входу схемы генератор цифровых кодов. Для наблюдения сигналов подключить логический анализатор. На входы каналов 1-5 подать соответственно входные сигналы X0-X3 и выходной сигнал Y.
2. Задать последовательность из 16 возбуждающих сигналов от 0 до 15. Задать циклический режим. Частоту генератора оставить по умолчанию (1 КГц). Задать тип используемых ИС - КМОП.
3. Зарисовать временные диаграммы, наблюдаемые на экране логического анализатора. Проверить правильность функционирования предварительным преобразованием диаграмм к табличной форме. При несоответствии функциональности собранной схемы заданию провести анализ схемы и устранить ошибки. После устранения ошибок повторно провести исследование разработанной схемы.
4. Задать поочередно три пары комбинаций входных переменных, приводящих к статическим и динамическим рискам. Установить частоту генератора кодовых последовательностей 10 МГц. Зарисовать полученные временные диаграммы. Провести анализ временных диаграмм и привести объяснения.
5. Определить максимальную частоту функционирования разработанного устройства.
6. Опираясь на параметры используемых ИС (исходные данные взять из даташитов, размещённых в Интернет) определить теоретически предельную рабочую частоту устройства.

Контрольные вопросы

1. К каким последствиям приведет использование логических схем КМОП типа при пониженном напряжении питания (многие серии ИС этого типа допускают работу при напряжениях 3-15 В).
2. Какой фактор будет определять вид выходного сигнала для последовательностей вызывающих состязания? Пояснить с помощью временных диаграмм для одной из последовательностей, использованных в лабораторной работе.

Содержание отчета

Отчет должен включать:

1. Исходную функцию, заданную в табличной форме.
2. Аналитическое выражение минимизированной логической функции.
3. Перечень выбранных логических элементов для построения схемы и функциональную электрическую схему комбинационного устройства.
4. Все промежуточные (при необходимости) и окончательные временные диаграммы, снятые с экрана логического анализатора.
5. Выводы, результаты измерений и теоретической оценки предельной рабочей частоты устройства.
6. Письменные ответы на контрольные вопросы.

Приложение. Варианты заданий

Таблица 1. Варианты заданий к лабораторной работе для первой подгруппы.

№ п/п	X3	X2	X1	X0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10
0	0	0	0	0	1				1				1	
1	0	0	0	1		1	1			1	1			1
2	0	0	1	0		1	1	1			1			1
3	0	0	1	1				1	1		1	1		
4	0	1	0	0	1		1		1			1	1	
5	0	1	0	1	1	1	1			1				
6	0	1	1	0	1		1			1	1		1	
7	0	1	1	1				1				1	1	1
8	1	0	0	0	1				1				1	1
9	1	0	0	1		1	1			1				1
10	1	0	1	0		1	1	1			1	1		1
11	1	0	1	1		1		1	1		1	1		
12	1	1	0	0	1		1		1			1	1	
13	1	1	0	1	1	1			1	1				
14	1	1	1	0			1	1		1	1			1
15	1	1	1	1				1		1	1	1	1	1
Базис					/	↑	/	↑	/	↑	/	↑	/	↑

Таблица 2. Варианты заданий к лабораторной работе для второй подгруппы.

№ п/п	X3	X2	X1	X0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10
0	0	0	0	0	1				1				1	
1	0	0	0	1		1	1			1	1			
2	0	0	1	0		1	1	1			1			1
3	0	0	1	1							1	1		
4	0	1	0	0	1		1		1			1	1	
5	0	1	0	1			1			1				
6	0	1	1	0	1		1			1	1			
7	0	1	1	1				1					1	1
8	1	0	0	0	1				1				1	1
9	1	0	0	1		1	1							1
10	1	0	1	0		1		1			1	1		1
11	1	0	1	1		1		1	1			1		
12	1	1	0	0	1		1		1			1	1	
13	1	1	0	1	1	1			1	1				
14	1	1	1	0			1	1		1	1			1
15	1	1	1	1				1		1	1	1	1	1
Базис					↑	/	↑	/	↑	/	↑	/	↑	/

3 ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ СЕМИСЕГМЕНТНОГО ДЕШИФРАТОРА

Цель работы

- Изучение принципа работы семисегментного дешифратора.
- Изучение методов поиска неисправностей в комбинационных устройствах.

Подготовка к лабораторной работе

Изучить характеристики, параметры и схемы включения семисегментных светодиодных индикаторов [3,4,5].

Выбрать по [3] матрицы, удовлетворяющие требованиям задания.

Провести проектирование преобразователя двоично-десятичного кода в семисегментный код. Вариант задания выбрать в соответствии с приложением. Составить таблицу истинности для дешифратора, преобразующего двоично-десятичный код в семисегментный код.

- Выбрать состав базовых элементов с учетом библиотеки элементов Multisim и заданного базиса.
- Провести минимизацию функции, заданной таблично с учетом выбранного базиса.
- Привести функцию к выбранному базису.
- Начертить функциональную электрическую схему дешифратора.
- По величину тока сегмента светодиодного индикатора (ориентируясь на справочные значения), рассчитать величину резисторов, включённых последовательно с сегментами светодиодной матрицы.
- Проверить условия работоспособности логических элементов выходной ступени дешифратора с семисегментным индикатором.
- Принять меры для удовлетворения условий работоспособности (при необходимости).

Для самоконтроля ответить на приведенные ниже вопросы (письменно).

1. Каковы максимальные выходные токи логических интегральных схем, выбранной вами серии элементов?
2. Как зависит ток светодиода от величины напряжения на нём? Привести типичную ВАХ сегмента светодиодной матрицы.
3. Что произойдёт при несоответствии токов сегмента светодиодной матрицы и выходного тока логического элемента?
4. Как воспользоваться тем обстоятельством, что логическая функция является не полностью определенной.

Программа исследований

1. Загрузить программу «Multisim». Создать новый файл под именем Comb3. Построить схему, разработанную при домашней подготовке. Подключить ко входу схемы генератор цифровых кодов. К выходам дешифратора подключить семисегментный индикатор.
2. Задать последовательность из 10 возбуждающих сигналов от 0 до 9.
3. В пошаговом режиме проверить правильность функционирования. После устранения найденных ошибок повторно провести тестирование разработанной схемы.
4. Провести измерение величины тока сегмента и полного тока индикатора для наихудшего случая.

Контрольные вопросы

1. Как влияет тип светодиодной матрицы (общий анод/катод) на способ подключения его к выводам цифровых схем?
2. Как отразятся на работе светодиодного индикатора возникающие в устройстве риски сбоя?
3. Дешифратор реализует 7 логических функций от одного и того же набора входных переменных. Как воспользоваться этим при минимизации устройства?

4. Изобразите эквивалентную схему цепи питания одного сегмента светодиодного индикатора. Проанализируйте по ней возможные причины разной яркости сегментов и их значимость.

Содержание отчета

Отчет должен включать:

1. Исходную функцию, заданную в табличной форме.
2. Аналитическое выражение минимизированных логических функций для каждого сегмента.
3. Перечень выбранных логических элементов для построения схемы и функциональную электрическую схему дешифратора.
4. Все промежуточные (при необходимости) и окончательные временные диаграммы, снятые с экрана логического анализатора.
5. Скриншоты работающей схемы для каждого состояния индикатора при пошаговом режиме работы.
6. Письменные ответы на все вопросы.

Приложение. Варианты заданий

Номер варианта определяется по алфавитному списку группы.

Вариант	Тип матрицы	Базис	Ток сегмента, мА
1	С разобшёнными катодами	И-НЕ	5-10
2	С разобшёнными анодами	ИЛИ-НЕ	5-10
3	С разобшёнными катодами	И-НЕ	15-20
4	С разобшёнными анодами	ИЛИ-НЕ	15-20
5	С разобшёнными катодами	И-НЕ	5
6	С разобшёнными анодами	ИЛИ-НЕ	5
7	С разобшёнными катодами	И-НЕ	2-4
8	С разобшёнными анодами	ИЛИ-НЕ	2-4
9	С разобшёнными катодами	И-НЕ	10
10	С разобшёнными анодами	ИЛИ-НЕ	10
11	С разобшёнными катодами	И-НЕ	20
12	С разобшёнными анодами	ИЛИ-НЕ	20

4 ОЦЕНКА ФУНКЦИОНАЛЬНОЙ УСТОЙЧИВОСТИ ЦИФРОВЫХ КОМБИНАЦИОННЫХ СХЕМ

Цель работы

Цель работы заключается в приобретении навыков оценки функциональной устойчивости цифровых комбинационных схем и практического анализа схем на предмет наличия логических и функциональных статических рисков сбоя.

Лабораторная работа состоит из одного комплексного задания, решаемого аналитически с использованием ПК.

Задание

Проанализировать функциональную устойчивость цифровых схем, реализующих логическую функцию в монофункциональных базисах И-НЕ и ИЛИ-НЕ (схемы из лабораторной работы № 2).

Основные теоретические положения

Переходные процессы в цифровых устройствах зачастую приводят к появлению так называемых *рисков* – сигналов на выходе схемы, не предусмотренных логикой ее работы.

Риски принято подразделять на *динамические* и *статические*. Последние могут быть как *логическими*, так и *функциональными*.

Статические риски – кратковременные изменения выходного сигнала, который согласно логике работы схемы должен оставаться неизменным.

Если при изменении входных сигналов (при смене наборов входных переменных) сигнал на выходе схемы должен оставаться единичным, а наблюдается переход $1 \rightarrow 0 \rightarrow 1$, то риск называется *единичным* или *1-риском* (см. рис. 1, а).

Если при изменении входных сигналов сигнал на выходе схемы должен оставаться нулевым, а наблюдается переход $0 \rightarrow 1 \rightarrow 0$, то риск называется *нулевым* или *0-риском* (см. рис. 1, б).

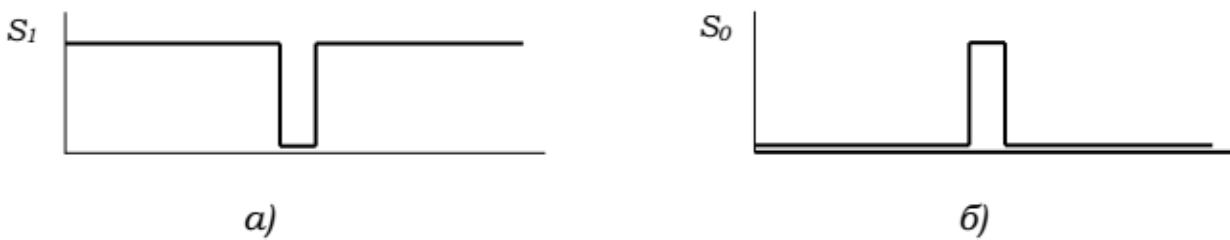


Рисунок 1 – Статические риски: единичный а), нулевой б)

Динамические риски – многократные изменения выходного сигнала, который по логике работы схемы должен измениться однократно.

Риск называется динамическим D_+ в том случае, когда при изменении входных сигналов выходной сигнал должен измениться с низкого уровня на высокий ($0 \rightarrow 1$), а наблюдается переход $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ (рис. 2, а).

Риск называется динамическим D_- в том случае, когда при изменении входных сигналов выходной сигнал должен измениться с высокого уровня на низкий ($1 \rightarrow 0$), а наблюдается переход $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$ (рис. 2, б).

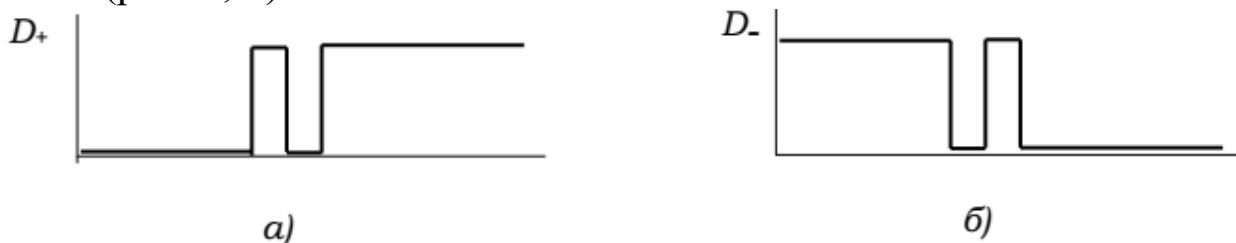


Рисунок 2 – Динамические риски

Логическим называется статический риск, проявляющийся при соседней смене наборов входных переменных (при переходе по коду Грея). Логический риск поддается устранению путем изменения логической структуры схемы, реализующей булеву функцию.

Функциональным называется риск, проявляющийся при многоместной смене наборов входных переменных (при не соседнем переходе). Такие риски характеризуют саму логическую функцию, а не способ ее реализации.

Анализ логической схемы на предмет выявления различного вида рисков является процедурой оценки функциональной устойчивости этой схемы.

Статические риски считаются наиболее неблагоприятными, и именно на обнаружение статических рисков направлены основные усилия разработчиков, привлекающих для решения этой задачи глубоко развитый математический аппарат.

Структурный метод

Структурный метод предназначен для работы исключительно с логическими рисками. Однако он не только позволяет их определить, но и предлагает алгоритм устранения. Основан этот метод на анализе карты Карно, используемой для минимизации рассматриваемой функции (напомним, что логические риски проявляются только при соседних переходах).

Правила выявления и устранения статического логического риска: если импликанты на карте Карно образуют разобщенные контуры, схема содержит логический риск на соседних переходах между этими контурами.

Для устранения рисков на карте Карно необходимо выделить дополнительные импликанты, объединяющие разобщенные контуры. К логическому выражению, определяющему реализуемую функцию, таким образом, добавятся термы согласования, сохраняющие при переходе между соседними наборами переменных необходимое логическое значение.

Реализация функции будет свободна от логических рисков, если все соседние клетки карты Карно покрыты хотя бы одной импликантой – то есть если все соседние переходы совершаются без пересечения общего контура импликант.

Метод трехзначного моделирования

Метод трехзначного моделирования позволяет выявить все виды статических рисков – как функциональные, так и логические.

В *трехзначной* (или *троичной*) логике, помимо основных значений 0 и 1, переменные могут принимать третье, обозначаемое символом x . Значение x приписывается уровню сигнала, о котором разработчик ничего не может знать наверняка (например, сигналу во время переходного процесса), и называется *состоянием неопределенности*.

Состояние x , поступая на вход логических элементов в зависимости от выполняемой ими логической операции, может порождать на их выходе либо такое же неопределенное состояние, либо одно из определенных состояний: 0 или 1.

Поведение логических элементов задается при этом одним из видов троичной логики (см. табл. 1).

Таблица 1. Описание поведения логических элементов троичной логикой

НЕ		b	
		0	1
a	0	1	0
	x	x	x
	1	0	1

ИЛИ		b		
		0	x	1
a	0	0	x	1
	x	x	x	1
	1	1	1	1

И		b		
		0	x	1
a	0	0	0	0
	x	0	x	x
	1	0	x	1

При трехзначном моделировании реакция схемы определяется как для начального и конечного наборов (N_m и N_k), являющихся границами перехода, так и для самого переходного вектора $N_m \rightarrow N_k$.

Пусть на вход схемы, реализующей логическую функцию n переменных $F(x_{n-1}, x_{n-2}, \dots, x_0)$ подаются последовательно два набора переменных $N_m: a_{n-1}a_{n-2} \dots a_0$; $N_k: b_{n-1}b_{n-2} \dots b_0$.

Переходный вектор: $N_m \rightarrow N_k: p_{n-1}p_{n-2} \dots p_0$ строится следующим образом:

$$p_i = \begin{cases} x & \text{при } a_i \neq b_i \\ a_i & \text{при } a_i = b_i \end{cases} \quad \forall i = \overline{0, n-1}. \quad (1)$$

Правило выявления статического риска: схема содержит статический риск, если значения функции F на начальном и конечном наборах совпадают, а на переходном векторе состояние функции не определено.

Метод трехзначного моделирования гарантирует выявление только статических рисков – непосредственное наличие динамических рисков этот метод не показывает.

Однако в схемах, построенных на элементах И, ИЛИ, НЕ (И-НЕ, ИЛИ-НЕ), динамический риск на выходе схемы всегда является результатом отсутствия статического риска в предыдущем каскаде (например, см. рис. 3). Поэтому наличие динамического риска *можно предположить* в том случае, если на промежуточном этапе анализа схемы для переходов, не сохраняющих значение функции, обнаружены статические риски.

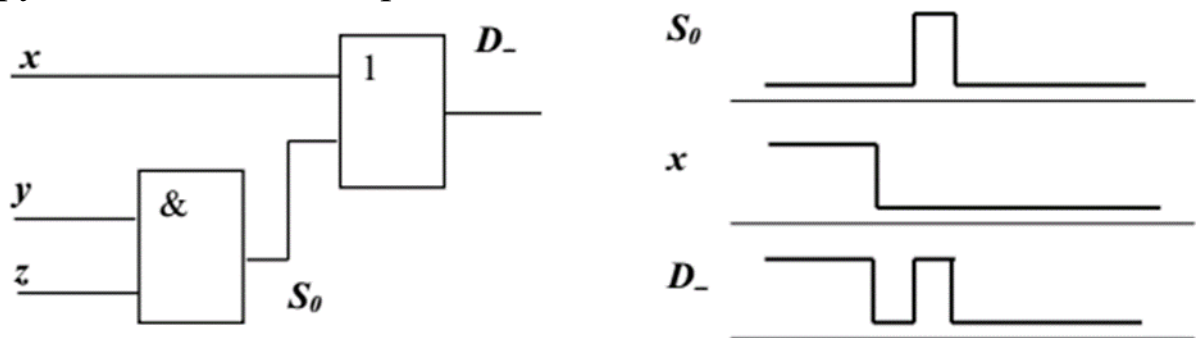


Рисунок 3 – Схема с динамическим риском

В явном виде динамические риски можно выявить путем пятизначного или восьмизначного моделирования. Введение большего количества уровней сигнала позволяет получить большую информацию, однако применяется значительно реже в силу высокой сложности моделирования.

Иллюстрирующий пример

Пусть функция $F(a,b,c,d)$ задана таблицей истинности (см. таблицу 2). Заметим, что $F(a,b,c,d)$, заданная как функция 4-х переменных, в действительности зависит только от переменных a , b и c , т. е. является вырожденной.

Таблица 2. Функция 4-х переменных

№ набора	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>F</i>
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	1

№ набора	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>F</i>
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	1
15	1	1	1	1	1

Рассмотрим два варианта реализации функции *F*: по её дизъюнктивной и конъюнктивной нормальным формам.

Применение структурного метода для поиска и устранения логических рисков

Заполним карты Карно единицами функции *F* и инверсной функции *F* (см. рисунок 4 а, б соответственно), выделим необходимые импликанты и запишем минимальные дизъюнктивную и конъюнктивную формы функции *F*: F_D и F_K соответственно (2).

Мы видим, что непрерывность общего контура импликант нарушена и для функции F_K , и для функции F_D . А это предопределяет наличие логических статических рисков: для функции F_D на векторах $5 \rightarrow 7$ ($7 \rightarrow 5$) и $4 \rightarrow 6$ ($6 \rightarrow 4$); для функции F_K на векторах $8 \rightarrow 10$ ($10 \rightarrow 8$) и $9 \rightarrow 11$ ($11 \rightarrow 9$).

$$F_D(a,b,c,d) = \bar{a}\bar{c} \vee bc; \quad F_K(a,b,c,d) = (\bar{a} \vee c) \cdot (b \vee \bar{c}) \quad (2)$$

Логические схемы, составленные по выражениям (2) и временные диаграммы, полученные путем компьютерного моделирования, приведены на рис. 5 а, б. (Выходы конъюнкторов 2 каскада схемы а) обозначены K_1 и K_2 , дизъюнкторов 2 каскада схемы б) – D_1 и D_2).

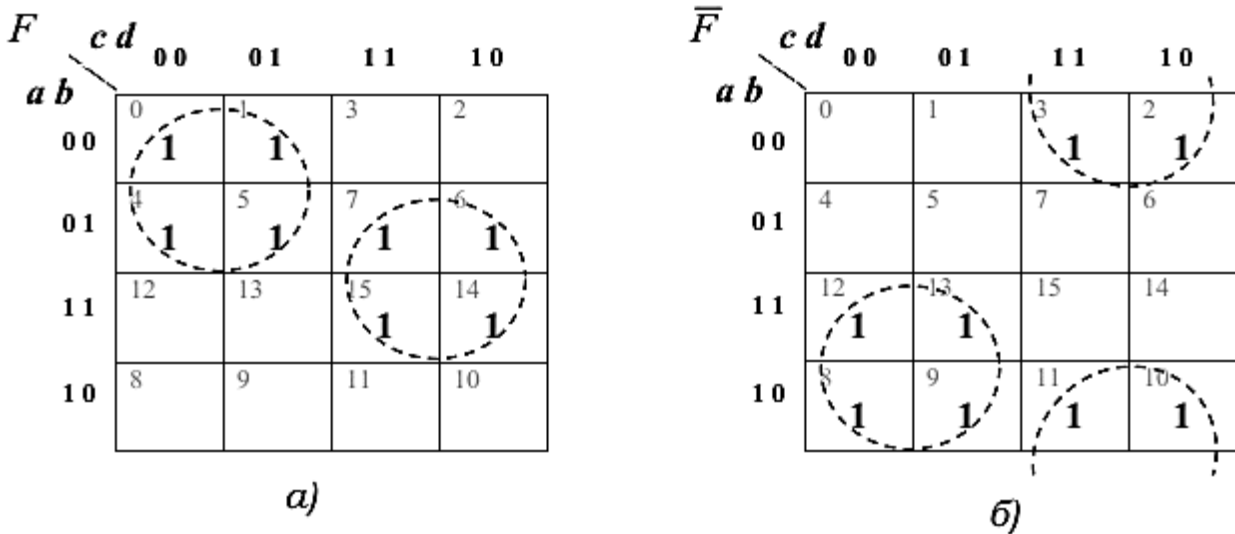


Рисунок 4 – Карты Карно для заданной функции

Поскольку время распространения сигнала по короткому проводу заведомо меньше времени прохождения через логический элемент, инверсный сигнал отстает от прямого на некоторое время τ .

Поэтому для функции F_D опасностью 1-риска отмечен переход от набора № 7 к набору № 5, поскольку именно при таком переходе на входе дизъюнктора последнего каскада сигналы единственной изменяющейся переменной c и её инверсии на протяжении времени τ равны нулю одновременно.

Аналогичные рассуждения приводят к выводам о направлении других «опасных» переходов: $F_D - 6 \rightarrow 4$; $F_K - 9 \rightarrow 11$; $8 \rightarrow 10$.

Для преодоления возникшей ситуации преобразуем выражения (2), добавив необходимые термы согласования. (В выражениях (3) термы согласования показаны жирным шрифтом). На картах Карно (рисунок б) появятся «объединяющие» импликанты, выделенные двойной штриховой линией.

$$F_D(a,b,c,d) = \bar{a}\bar{c} \vee bc \vee \bar{a}b; \quad F_K(a,b,c,d) = (\bar{a} \vee \bar{c})(b \vee \bar{c})(\bar{a} \vee b) \quad (3)$$

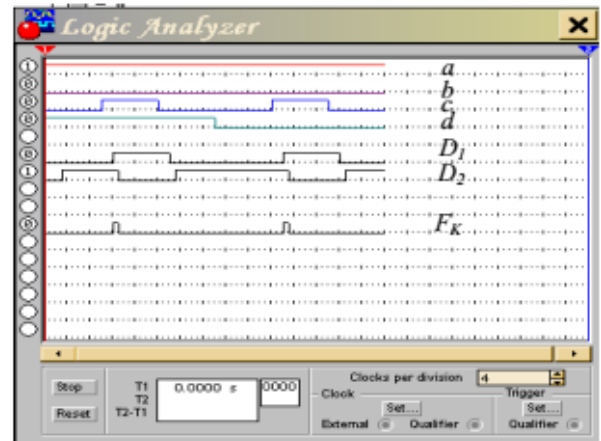
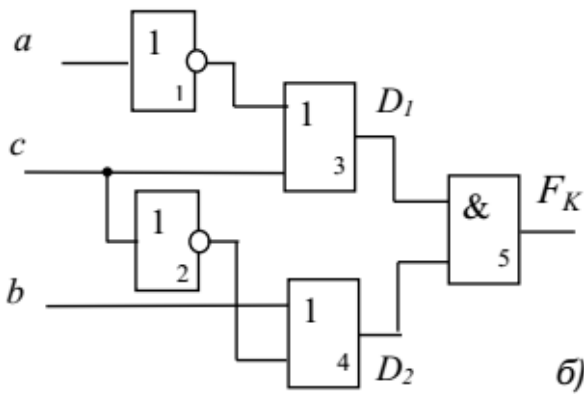
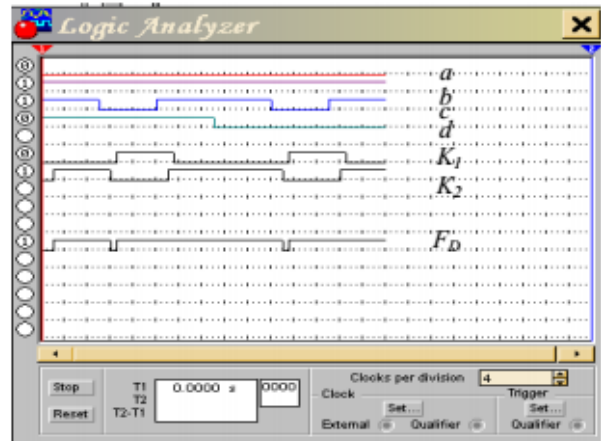
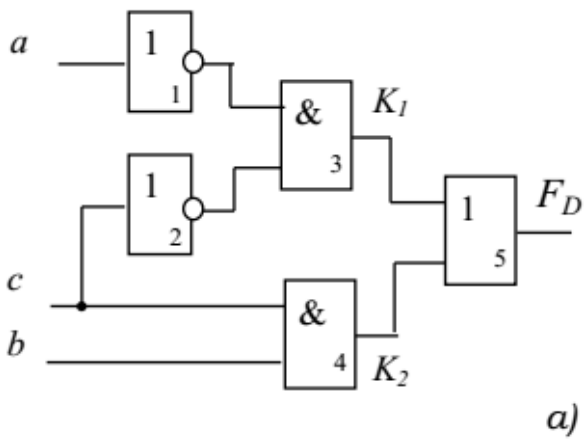


Рисунок 5 – Демонстрация опасных переходов

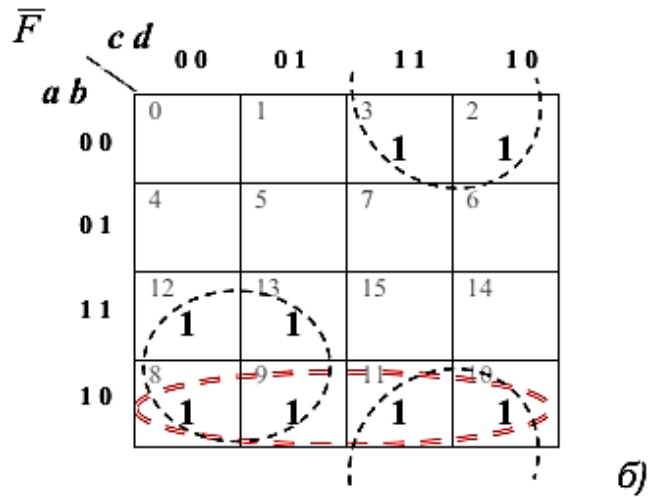
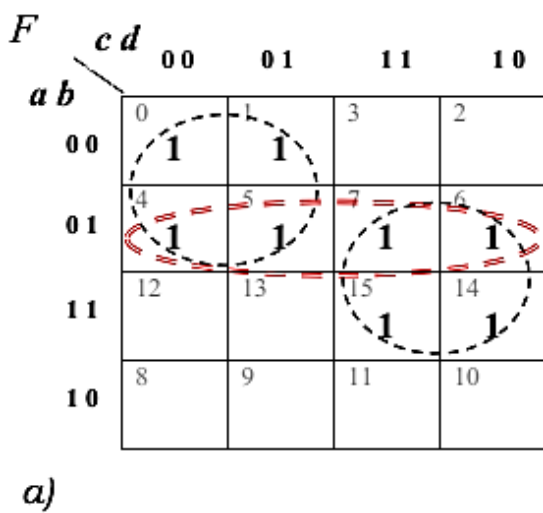


Рисунок 6 – Термы согласования

Практическая реализация выражений (3) (см. рисунок 7, а, б) отличается от схем, составленных по выражениям (2), наличием дополнительных элементов во втором каскаде (выделены на схемах) и

увеличением на единицу числа входов логического элемента последнего каскада. Дополнительных инверторов для реализации термов согласования не требуется!

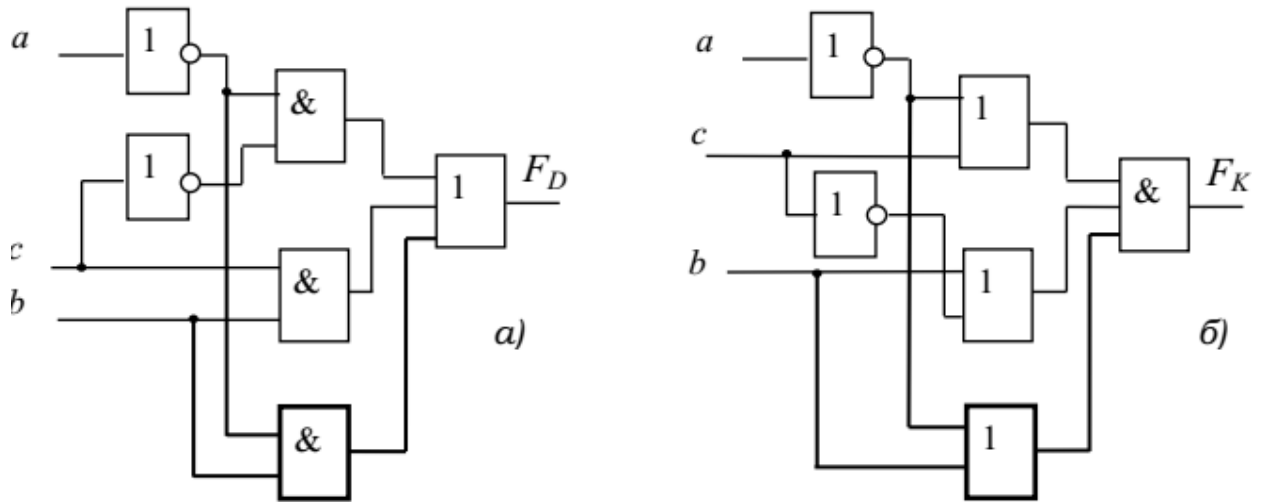


Рисунок 7 – Модифицированные схемы

Аппаратурная избыточность в данном случае компенсируется отсутствием логических рисков на любых соседних переходах.

Отметим, что подобный метод позволяет получить скобочные формы функций, формы с групповой инверсией (например, для реализации в монофункциональных базисах), схемы, соответствующие которым будут свободны от логических статических рисков.

Применение метода трехзначного моделирования для нахождения функциональных статических рисков

Рассмотрим МДНФ (F) и МКНФ (F) (2) и проанализируем функциональную устойчивость схем (см. рис. 5) при некоторых несоседних переходах, сохраняющих значения функции: переходы из нулевого и восьмого наборов ($0 \leftrightarrow 5$, $0 \leftrightarrow 6$; $8 \leftrightarrow 3$, $8 \leftrightarrow 13$).

Пользуясь правилом (1), найдем значения переходного вектора (см. таблицу 3: столбцы 2-4 для строк 2, 5, 8, 11); затем по таблице 1 – значения термов (столбцы 5-6 и 8-9), и функций F_D и F_K (столбцы 7 и 10) на векторах переходов. Значения функций F_D и F_K на наборах переменных, являющихся границами переходов, находятся согласно правилам булевой алгебры.

Таблица 3. Значения переходных векторов при несоседних переходах

	№ наборов	Входные переменные			Термы для F_D		F_D	Термы для F_K		F_K
		a	b	c	$\bar{a}\bar{c}$	bc		$\bar{a} \vee c$	$b \vee \bar{c}$	
	1	2	3	4	5	6	7	8	9	10
1	0	0	0	0	1	0	1	1	1	1
2	0↔6	0	x	x	x	x	x	x	1	x
3	6	0	1	1	0	1	1	1	1	1
4	0	0	0	0	1	0	1	1	1	1
5	0↔5	0	x	0	1	0	1	1	1	1
6	5	0	1	0	1	0	1	1	1	1
7	8	1	0	0	0	0	0	0	1	0
8	8↔13	1	x	0	0	0	0	0	1	0
9	13	1	1	0	0	0	0	0	1	0
10	8	1	0	0	0	0	0	0	1	0
11	8↔3	x	0	x	x	0	x	x	1	x
12	3	0	0	1	0	0	0	0	1	0
13	12	1	1	0	0	0	0	0	0	0
14	12↔6	x	1	x	x	x	x	x	1	x
15	6	0	1	1	0	1	1	1	1	1

Мы видим, что переходы $0 \leftrightarrow 5$ и $8 \leftrightarrow 13$ опасности возникновения функциональных рисков не несут, поскольку значения функции на границах совпадает со значением на самом векторе перехода.

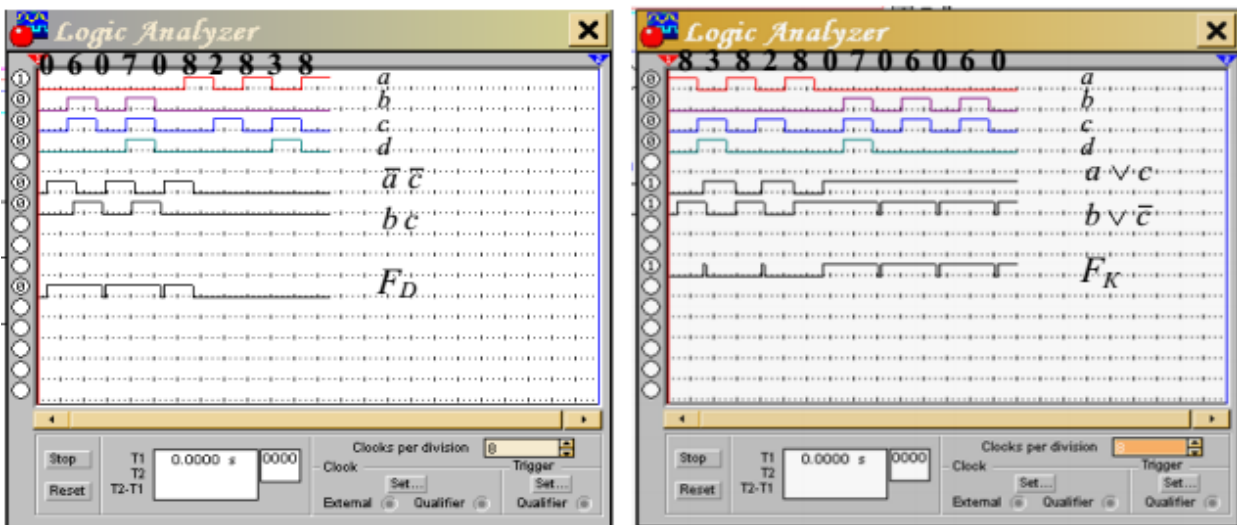
Исследуемая функция в явном виде от переменной d не зависит, следовательно, переходы к ячейкам, отличающимся только по последней переменной, аналогичны. То есть безопасный несоседний переход $0 \leftrightarrow 5$ аналогичен безопасному соседнему переходу $0 \leftrightarrow 4$, а безопасный несоседний переход $8 \leftrightarrow 13$ – безопасному соседнему переходу $8 \leftrightarrow 12$.

Переход $0 \leftrightarrow 6$ (и аналогичный ему $0 \leftrightarrow 7$) чреваты возникновением 1-риска; а переходы $8 \leftrightarrow 3$ (и аналогичный ему $8 \leftrightarrow 2$) – 0-риска.

Проанализировав задержки элементов схемы, выделим представляющие опасность *направления* переходов: $6 \rightarrow 0$ ($7 \rightarrow 0$) и $3 \rightarrow 8$ ($2 \rightarrow 8$).

Наличие на переходе между какими-либо наборами переменных *опасности проявления* функциональных рисков, как мы знаем, не зависит от способа реализации функции. Однако, потенциальные 0-риски при *равенстве задержек* элементов проявили себя лишь в схеме, составленной по конъюнктивной форме функции, 1-риски – в обеих схемах. (Обратите внимание на сигналы 2-го каскада!) Соответствующие временные диаграммы представлены на рисунке 8: а – риски, зафиксированные при реализации дизъюнктивной формы функции; б – риски при реализации конъюнктивной формы.

При ином соотношении задержек логических элементов риски могут проявиться на других переходах.



а)

б)

Рисунок 8 – Зафиксированные статические риски

На рисунке 9 представлены временные диаграммы, отвечающие переходному вектору $12 \leftrightarrow 6$ (см. таблицу 3, строки 13-15). При заданном соотношении задержек логических элементов на выходе схемы присутствует динамический риск D –, обусловленный наличием статического риска на выходе конъюнктора 2 (см. схему на рис. 5, а) при направлении перехода $12 \rightarrow 6$.

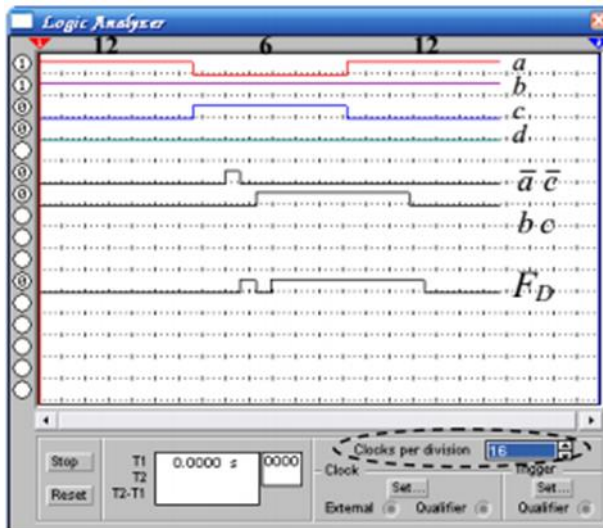


Рисунок 9 – динамический риск

Отметим, что несмотря на наличие неопределенности при записи термов конъюнктивной формы функции F (см. таблицу 3, строка 14, столбец 8) во втором каскаде схемы на рис. 5, б *статического риска* наблюдаться не будет, а, следовательно, схема будет свободна и от динамических рисков на переходах $12 \leftrightarrow 6$.

Вопросы для самоконтроля

- 1 Дайте определение рисков сбоя (статических и динамических, логических и функциональных) в цифровой схеме.
- 2 Объясните причины возникновения различного вида рисков.
- 3 Для выявления и/или устранения каких видов рисков в логических схемах предназначен структурный метод.
- 4 Для чего используется метод трехзначного моделирования?
- 5 Чем объясняется однонаправленность «опасных» переходов при моделировании рисков сбоя в программе Multisim? При каких соотношениях задержек функциональных элементов схемы направления «опасных» переходов могут поменяться?

Методические указания к выполнению работы

- 1 В ходе лабораторной работы необходимо оценить функциональную устойчивость комбинационных схем, построенных в лабораторной работе № 2.
- 2 Применив структурный метод анализа, выявите возможность возникновения логических рисков. Зафиксируйте опасные переходы.

Добавив к логической функции термы согласования, постройте свободную от логических рисков схему.

- 3 С помощью трехзначного моделирования оцените возможность возникновения в спроектированных схемах функциональных статических рисков. (Номера входных наборов для анализа переходов задаются преподавателем.) Зафиксируйте опасные переходы.

Подтвердите полученные результаты временными диаграммами, задав в левом окне генератора слов необходимую последовательность генерируемых кодов.

Замечание 1

Для выявления рисков сбоя в программе Multisim необходимо задать такую частоту дискретизации Clock Rate при которой период выборки будет меньше задержки элемента. При этом для правильного отображения входных и выходного сигналов схемы заданная частота анализа должна быть значительно выше частоты смены входных кодов (при возможности в 10 и более раз ниже).

Замечание 2

Построение временной диаграммы в программе Multisim, продолжается лишь до тех пор, пока не будет набрано заданное количество отсчетов, определяемое в данном случае параметром Post-triggered samples. Однако значение этого параметра *ограничено сверху* максимально возможной величиной, равной 10^5 (по умолчанию – 10^3), что накладывает ограничение и на допустимое снижение частоты входного сигнала.

Замечание 3

Исследование разработанных схем на наличие угрозы *динамических* рисков не является целью лабораторной работы, но может быть интересно в качестве дополнительного задания.

Содержание отчета

1. Цель работы.
2. Таблица истинности анализируемой функции.
3. Карты Карно с отмеченными импликантами для прямой и инверсной форм функции.
4. Аналитическая запись реализуемых функций (как минимальные формы, так и формы с добавлением термов согласования).
5. Таблицы с результатами трехзначного моделирования для переходов, заданных преподавателем.
6. Временные диаграммы, необходимые для иллюстрации проведенных исследований.
7. Выводы.

5 ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ RS-ТРИГГЕРА

Цель работы

- Изучение устройства RS-триггеров.
- Изучение особенностей функционирования асинхронного и синхронизируемого уровнем RS-триггера.

Подготовка к лабораторной работе

Изучить устройство и функционирование асинхронных и синхронизируемых уровнем RS-триггеров [2].

Построить схему асинхронного RS-триггера в базисе И-НЕ.

Построить схему асинхронного RS-триггера в базисе ИЛИ-НЕ.

Построить схему синхронизируемого уровнем RS-триггера в базисе И-НЕ.

Привести таблицы функционирования этих RS-триггеров.

Привести характеристические уравнения триггеров и диаграммы состояний.

Разработать диаграммы испытательных сигналов для полного тестирования синхронизируемого RS-триггера. Диаграммы должны демонстрировать все особенности его функционирования при переходе в режим хранения после сброса, установки, запрещённой комбинации.

Для самоконтроля ответить на приведенные ниже вопросы.

1. Какая комбинация сигналов является запрещённой для RS-триггера в базисе И-НЕ?
2. Какая комбинация сигналов является запрещённой для RS-триггера в базисе ИЛИ-НЕ?
3. Что представляет собой режим хранения.
4. Описать отличия в работе асинхронного и синхронизируемого уровнем RS-триггеров.

Программа исследований

1. Загрузить программу «Multisim». Создать новый файл под именем RS1A. Построить схему, асинхронного RS-триггера в базисе И-НЕ. Подключить ко входу схемы генератор слов. Подключить многоканальный анализатор к выходам генератора кодов и выходам исследуемого триггера.
2. Задать циклическую последовательность состояний генератора кодов 01-11-10-11-01-11, и установить частоту равной 1 КГц.
3. Получить и сохранить временные диаграммы. Сравнить их с таблицей функционирования асинхронного RS-триггера. Объяснить различия в функционировании на разных отрезках временных диаграмм.
4. Создать новый файл под именем RS1. Построить схему, синхронизируемого уровнем RS-триггера в базисе И-НЕ. Подключить ко входу схемы генератор слов. Подключить многоканальный анализатор к выходам генератора кодов и выходам исследуемого триггера.
5. Задать кодовую последовательность входных сигналов (двух информационных и синхронизации) разработанную при домашней подготовке и установить частоту смены кодовых комбинаций генератора слов равной 1 КГц.
6. Запустить симуляцию и сохранить полученные временные диаграммы.
7. Сопоставить полученные диаграммы с таблицей функционирования триггера, для чего в таблице функционирования ввести дополнительную графу «Эксперимент» и заполнить её. Сформулировать характерные особенности функционирования синхронного RS-триггера.
8. Увеличить частоту следования сигнала до величины, позволяющей надёжно измерить величину задержки триггера.
9. Получить совмещённые временные диаграммы всех входных и выходных сигналов и определить задержки выходного сигнала для всех характерных режимов. Сравнить с задержкой одиночного элемента.
10. Определить минимальную длительность импульса установки

и сброса асинхронного триггера, необходимую для надёжного изменения состояния триггера.

Контрольные вопросы

1. Приведёт ли изменение уровней входных сигналов к изменению выходных сигналов при высоком уровне сигнала синхронизации? Объяснить. Подтвердить снятой временной диаграммой
2. Почему нельзя подавать на вход RS-триггера запрещённую комбинацию сигналов? Что произойдёт, если такое случится?
3. Как теоретически определить величину задержки сигнала триггером?

Содержание отчета

Отчет должен включать:

1. Титульный лист
2. Функциональные электрические схемы всех триггеров.
3. Таблицы состояний всех RS-триггеров по п.2.
4. Результаты исследований и отладки устройства на частоте 1 КГц (при необходимости).
5. Временные диаграммы, полученные при исследованиях.
6. Результаты анализа и сопоставления теоретических и практических результатов.
7. Результаты измерений параметров триггеров и сопоставления их с результатами теоретического анализа.
8. Письменные ответы на контрольные вопросы.

6 ПРОЕКТИРОВАНИЕ И ИССЛЕДОВАНИЕ ГЕНЕРАТОРА КОДОВ

Цель работы

- Формирование навыков синтеза генераторов кодов.
- Изучение особенностей функционирования устройств с памятью.

Подготовка к лабораторной работе

Изучить таблицы функционирования D и JK триггеров [2,4].

Изучить структурные схемы генераторов кодов.

Изучить вопросы устойчивости последовательностных устройств.

Изучить способ преобразования электронных схем устройств, созданных средствами MULTISIM в подсхемы.

- В «Приложении» в соответствии номером рабочей станции, группы и подгруппы выбрать вариант задания.
- Построить граф генератора кодов.
- Синтезировать генератор кодов на указанном типе триггеров.
- Предусмотреть цепи установки генератора кодов в начальное состояние (все нули или все 1).

Для самоконтроля ответить на приведенные ниже вопросы.

1. Какие проблемы при синтезе последовательностных устройств создаёт применение одноктактных триггеров, синхронизируемых уровнем?
2. Заполнить таблицу функционирования D триггера.
3. Заполнить таблицу функционирования J-K триггера.
4. Как определить количество триггеров в генераторе кодов.
5. Как установить генератор кодов в начальное состояние.

Программа исследований

1. Загрузить программу «MULTISIM». Создать новый файл под

именем Auto1. Построить схему, разработанную при домашней подготовке. Подключить к входу схемы генератор импульсов. К выходам генератора кодов подключить дешифратор, разработанный в лабораторной работе №3, с семисегментным индикатором.

2. На низкой рабочей частоте зафиксировать циклическую последовательность состояний генератора кодов, отображаемую светодиодным индикатором. Убедиться в правильности функционирования генератора кодов. При неверном функционировании выявить первый неалгоритмический переход и проверить функции возбуждения соответствующих триггеров и правильность построения цепей синхронизации. Также проделать для других неалгоритмических переходов. Зафиксировать в отчёте результаты каждого шага коррекции схемы.
3. Зафиксировать последовательность изменения состояний генератора кодов из двух начальных состояний (все триггеры в 0 и все триггеры в 1).
4. Установить рабочую частоту удобную для измерения задержек. Снять совмещённые временные диаграммы состояния триггеров генератора кодов с помощью цифрового анализатора сигналов. Определить задержки и оценить предельную рабочую частоту. Проверить функционирование на предельной рабочей частоте.

Методические указания

1. Подсхему дешифратора импортировать из лабораторной работы №3.
2. Пассивные уровни сигналов начальной установки сформировать с помощью резисторов, подключённых к земле или источнику питания с соответствующим уровнем напряжения.
3. Частоты тактовых сигналов в п.п. 2-4 программы исследований выбрать самостоятельно.

Контрольные вопросы

1. Как изменится работа устройства при замене триггеров на однотактные, синхронизируемые уровнем.
2. Как поведёт себя генератор кодов при случайном сбое, приведшем к неалгоритмическому состоянию.

Содержание отчета

Отчет должен включать:

1. Таблицу состояний и граф генератора кодов.
2. Описание процедуры синтеза генератора кодов.
3. Перечень элементов и функциональную электрическую схему устройства.
4. Результаты испытаний и отладки устройства на низкой рабочей частоте.
5. Временные диаграммы, снятые с экрана логического анализатора и значения задержек.
6. Письменные ответы на контрольные вопросы.

Приложение. Варианты заданий.

Таблица 1. Группа 1, подгруппа 1.

Вариант	Циклическая последовательность переходов.	Тип триггера
1	3, 5, 4, 6, 1	D-RS
2	2, 4, 1, 3, 5	J-K RS
3	1, 4, 6, 2, 3	D-RS
4	6, 2, 4, 3, 1	J-K RS
5	5, 6, 2, 3, 4	D-RS
6	4, 3, 5, 3, 2	J-K RS
7	5, 1, 3, 4, 6	D-RS
8	3, 1, 2, 4, 5	J-K RS
9	4, 6, 3, 2, 1	D-RS
10	6, 4, 5, 3, 1	J-K RS
11	5, 2, 3, 1, 6	D-RS
12	4, 1, 3, 2, 6	J-K RS

Таблица 2. Группа 1, подгруппа 2.

1	3, 5, 2, 6, 1	D-RS
2	2, 4, 6, 3, 5	J-K RS
3	1, 4, 5, 2, 3	D-RS
4	6, 5, 4, 3, 1	J-K RS
5	5, 6, 1, 3, 4	D-RS
6	4, 3, 5, 3, 2	J-K RS
7	2, 1, 3, 4, 6	D-RS
8	3, 1, 6, 4, 5	J-K RS
9	4, 5, 3, 2, 1	D-RS
10	2, 4, 5, 3, 1	J-K RS
11	5, 2, 4, 1, 6	D-RS
12	5, 1, 3, 2, 6	J-K RS

Таблица 3. Группа 2, подгруппа 1.

Вариант	Циклическая последовательность переходов.	Тип триггера
1	3, 5, 4, 6, 1	J-K RS
2	2, 4, 1, 3, 5	D-RS
3	1, 4, 6, 2, 3	J-K RS
4	6, 2, 4, 3, 1	D-RS
5	5, 6, 2, 3, 4	J-K RS
6	4, 3, 5, 3, 2	D-RS
7	5, 1, 3, 4, 6	J-K RS
8	3, 1, 2, 4, 5	D-RS
9	4, 6, 3, 2, 1	J-K RS
10	6, 4, 5, 3, 1	D-RS
11	5, 2, 3, 1, 6	J-K RS
12	4, 1, 3, 2, 6	D-RS

Таблица 4. Группа 2, подгруппа 2.

1	3, 5, 2, 6, 1	J-K RS
2	2, 4, 6, 3, 5	D-RS
3	1, 4, 5, 2, 3	J-K RS
4	6, 5, 4, 3, 1	D-RS
5	5, 6, 1, 3, 4	J-K RS
6	4, 3, 5, 3, 2	D-RS
7	2, 1, 3, 4, 6	J-K RS
8	3, 1, 6, 4, 5	D-RS
9	4, 5, 3, 2, 1	J-K RS
10	2, 4, 5, 3, 1	D-RS
11	5, 2, 4, 1, 6	J-K RS
12	5, 1, 3, 2, 6	D-RS

7 ИССЛЕДОВАНИЕ СДВИГОВОГО РЕГИСТРА

Цель работы

Изучение устройства и работы сдвигового регистра.

Основные сведения

Регистр сдвига – это регистр, содержимое которого при подаче управляющего сигнала на тактовый вход С может сдвигаться в сторону старших или младших разрядов. Схема регистра сдвига из цепочки J-К-триггеров показана на рисунке 1.

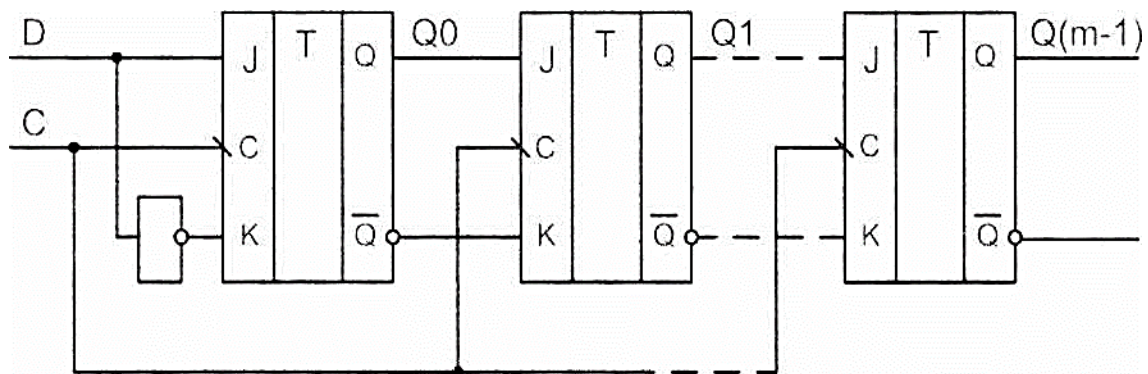


Рисунок 1 – Схема регистра сдвига

Пусть левый по схеме триггер соответствует младшему разряду регистра, а правый триггер - старшему разряду. Тогда вход каждого триггера (кроме левого) подключен к выходу соседнего младшего триггера. Когда на все входы С триггеров поступает срез входного тактового импульса, выход каждого триггера Q_i принимает состояние предыдущего каскада и, таким образом, информация, содержащаяся в регистре, сдвигается на один разряд в сторону старших разрядов. Триггер младшего разряда принимает при этом состояние последовательного входа D. Информация, поступившая на вход D схемы, появится на ее выходе $Q(m-1)$ через m тактов.

Существенным является то, что схема построена на двухступенчатых триггерах. Если использовать триггеры с потенциальным управлением, то при активном уровне сигнала С все триггеры будут открыты для записи, и сигнал D успеет пройти столько триггеров, сколько позволит длительность сигнала С.

Часто требуются более сложные регистры: с параллельной синхронной записью информации, реверсивные, с параллельно-последовательной записью. Такие регистры называются универсальными. Примером универсального регистра служит интегральная микросхема К555ИР11, условное графическое обозначение которой показано на рисунке 2.

Регистр К555ИР11 может работать в следующих режимах (табл.1): сброс, хранение данных, сдвиг влево, сдвиг вправо, и параллельная загрузка. Микросхема имеет входы: тактовый (С), параллельной загрузки (D0 - D3), выбора режима работы (S0 и S1), асинхронного сброса (R). Данные также могут поступать в регистр в последовательном коде на входы DL (при сдвиге влево) и DR (при сдвиге вправо). Все операции кроме сброса выполняются в регистре синхронно по фронту тактовых импульсов. Внутренний код регистра может быть прочитан на выходах Q0 - Q3.

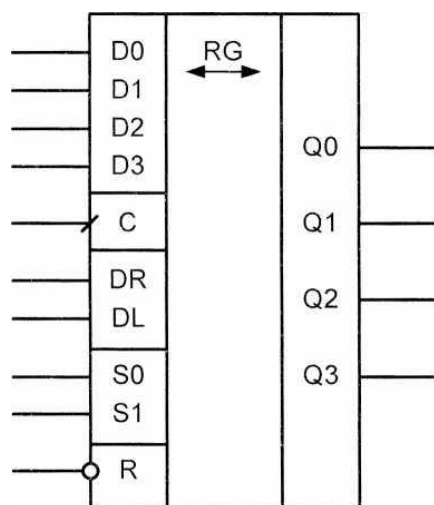


Рисунок 2 – Условное графическое обозначение регистра сдвига.

Области применения сдвиговых регистров весьма разнообразны. В двоичной арифметике сдвиг числа на один разряд влево соответствует умножению его на 2, а сдвиг на один разряд вправо - делению на 2. В аппаратуре передачи данных универсальные регистры преобразуют параллельный код в последовательный и обратно.

Таблица 1. Режимы регистра сдвига

Режим работы	Вход							Выход			
	R	C	S1	S0	DR	DL	Dn	Q0	Q1	Q2	Q3
Сброс	0	x	x	x	x	x	x	0	0	0	0
Хранение	1	x	0	0	x	x	x	q ₀	q ₁	q ₂	q ₃
Сдвиг влево	1	↑	1	0	x	0	x	q ₁	q ₂	q ₃	0
	1	↑	1	0	x	1	x	q ₁	q ₂	q ₃	1
Сдвиг вправо	1	↑	0	1	0	x	x	0	q ₀	q ₁	q ₂
	1	↑	0	1	1	x	x	1	q ₀	q ₁	q ₂
Параллельная загрузка	1	↑	1	1	x	x	d _n	d ₀	d ₁	d ₂	d ₃

Примечания:

- символ x обозначает безразличное состояние входа;
- символ ↑ обозначает фронт тактового сигнала.

Передача данных последовательным кодом по сравнению с параллельной передачей существенно экономит число линий связи, однако при этом увеличивается время обмена.

Оборудование

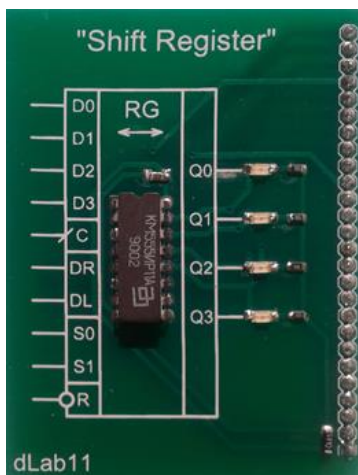


Рисунок 3 – Внешний вид модуля регистра сдвига

Исследуемый регистр сдвига размещён на лабораторном модуле в виде печатной платы. Его внешний вид представлен на рисунке 3.

Модуль устанавливается в разъем цифровых устройств макетной платы рабочей станции ELVIS II. Исследуемый модуль устанавливается в разъем только при выключенном питании рабочей станции. Размещение модуля на макетном поле рабочей станции представлено на рисунке 4.

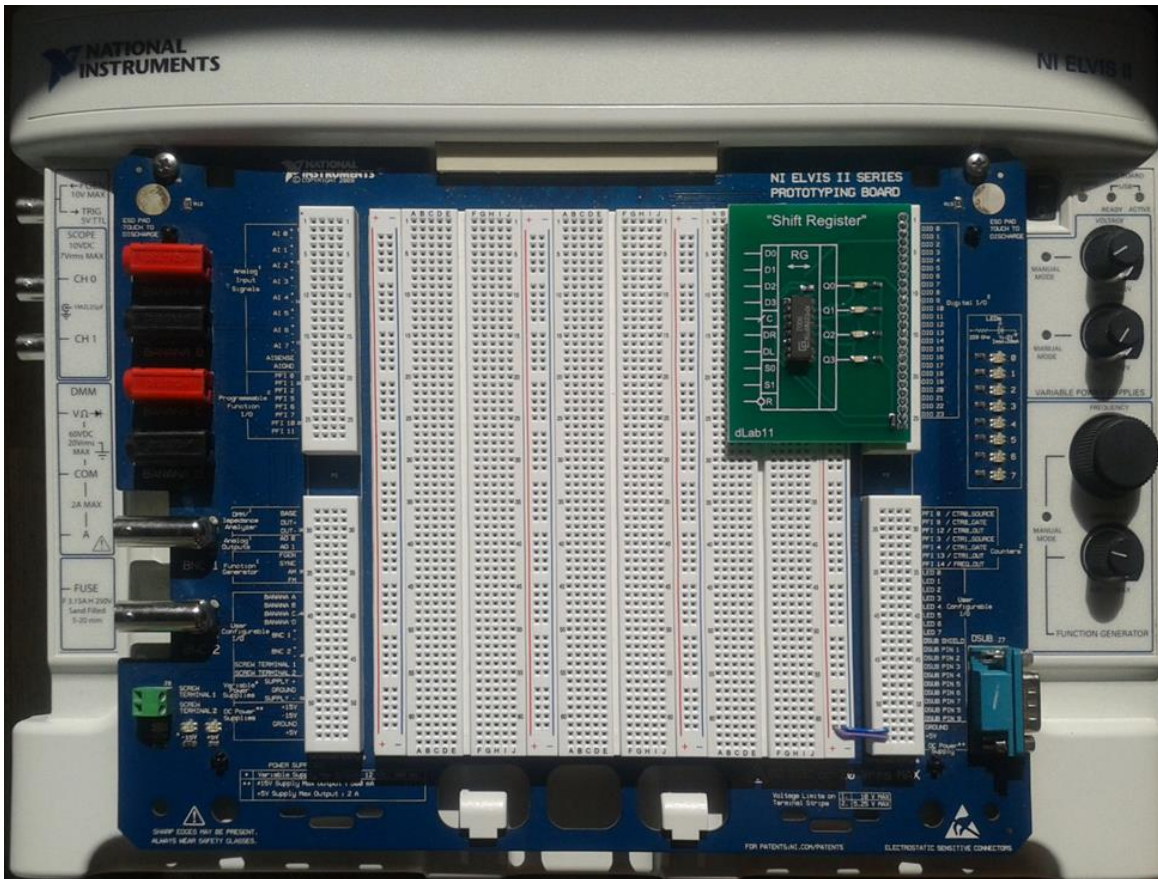


Рисунок 4 – Рабочая станция с исследуемым модулем

Перед установкой исследуемого модуля при необходимости следует установить ограничители посадочного места и проводники питания в соответствии с рисунком 5.

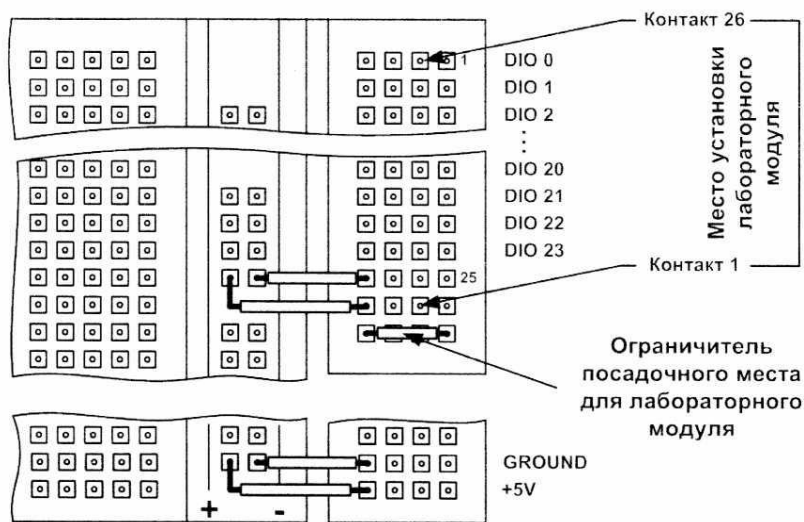


Рисунок 5 – Размещение дополнительных проводников на макетной плате рабочей станции

Выполнение лабораторной работы

- Выключите рабочую станцию ELVIS II выключателем на задней панели, если ранее она была включена.
- Соедините кабелем USB-2 разъёмы рабочей станции и персонального компьютера (ПК).
- При установленном исследуемом модуле включите рабочую станцию выключателем на задней панели.
- Выключателем в правой верхней части рабочей станции включите питание макетной платы (должен загореться зелёный индикатор).
- Загрузить файл виртуального прибора для исследования регистра сдвига dLab-11.vi. при этом на экране ПК появится изображение панели виртуального прибора (ВП) представленное на рисунке 6.

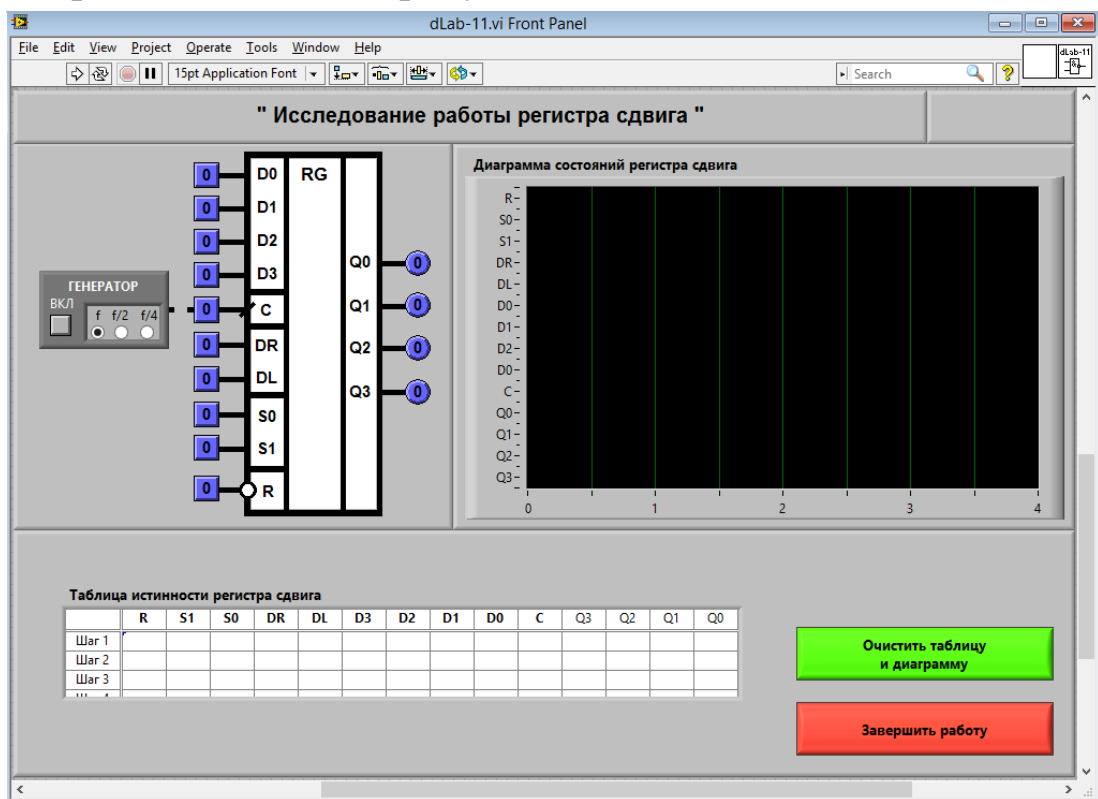


Рисунок 6 – Панель виртуального прибора

Дальнейшее управление исследованием осуществляется исключительно с панели виртуального прибора.

Исследование регистра сдвига в статическом режиме

Статический режим исследования регистра сдвига реализуется при подаче на его тактовый вход «С» одиночных импульсов в ручном режиме. Для этого генератор импульсов («ГЕНЕРАТОР»), расположенный на лицевой панели ВП, должен быть выключен (кнопка «ВКЛ» отжата). Подача одиночного импульса прямоугольной формы на тактовый вход «С» регистра сдвига производится однократным нажатием с помощью манипулятора мышь на кнопку квадратной формы, расположенную около этого входа.

Режим сдвига вправо

- 1 Выключите генератор импульсов, если он был включен.
- 2 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 3 Установите на входах выбора режима сигналы: $S_0=1$, $S_1=0$, $R=1$. Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет).
- 4 Выполните сброс регистра. Для этого на лицевой панели ВП с помощью манипулятора мышь сначала переведите в отжатое, а затем в нажатое состояние кнопку квадратной формы, расположенную около входа «R». На индикаторах выходных сигналов регистра «Q0», «Q1», «Q2» и «Q3» должны установиться нулевые значения.
- 5 Установите на входе последовательных данных «DR» логический сигнал «1».
- 6 Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В

графу «С» таблицы истинности заносится символ «ЛГ», означающий подачу импульса на вход «С».

- 7 Установите на входе последовательных данных «DR» логический сигнал «0».
- 8 Повторите п. 6 три раза подряд.
- 9 Скопируйте таблицу истинности и диаграмму состояний в отчет.

Режим сдвига влево

- 1 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 2 Установите на входах выбора режима сигналы: $S_0=0$, $S_1=1$, $R=1$.
- 3 Выполните сброс регистра. Для этого на лицевой панели ВП с помощью манипулятора мышью сначала переведите в отжатое, а затем в нажатое состояние кнопку квадратной формы, расположенную около входа «R». На индикаторах выходных сигналов регистра «Q0», «Q1», «Q2» и «Q3» должны установиться нулевые значения.
- 4 Установите на входе последовательных данных «DL» логический сигнал «1».
- 5 Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «С» таблицы истинности заносится символ «ЛГ», означающий подачу импульса на вход «С».
- 6 Установите на входе последовательных данных «DL» логический сигнал «0».
- 7 Повторите п.14 три раза подряд.
- 8 Скопируйте таблицу истинности и диаграмму состояний в отчет.
- 9 По таблице истинности и диаграмме состояний определите, в

каком направлении (от Q0 к Q3 или от Q3 к Q0) смещается логическая единица, записанная в регистр на первом такте. Вывод запишите в отчет.

Режим параллельной загрузки

- 1 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 2 Установите на входах выбора режима сигналы: $S_0=1$, $S_1=1$,
- 3 $R=1$.
- 4 Выполните сброс регистра. Для этого на лицевой панели ВП с помощью манипулятора мышь сначала переведите в отжатое, а затем в нажатое состояние кнопку квадратной формы, расположенную около входа «R». На индикаторах выходных сигналов регистра «Q0», «Q1», «Q2» и «Q3» должны установиться нулевые значения.
- 5 Установите на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в первой строке табл. 2.

Таблица 2

<i>Вход</i>	<i>Вход</i>	<i>Вход</i>	<i>Вход</i>
0	1	0	1
1	1	1	1
0	0	1	0
0	0	1	0

- 6 Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «С» таблицы истинности заносится символ «LГ», означающий подачу импульса на вход «С».

- 7 Повторите пп. 23 - 24 для остальных строк таблицы 2.
- 8 Скопируйте таблицу истинности и диаграмму состояний в отчет.
- 9 По таблице истинности и диаграмме состояний проверьте соответствие выходных сигналов регистра Q0, Q1, Q2 и Q3 сигналам на входах параллельной загрузки D0, D1, D2 и D3. Вывод запишите в отчет.

Режим хранения

- 1 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 2 Установите режим параллельной загрузки и загрузите в регистр сдвига цифровой код 1010. Правильность выполнения операции проконтролируйте по выходным индикаторам на лицевой панели ВП.
- 3 Установите на входах выбора режима сигналы: S0= 0, S1 =0, R=1.
- 4 Установите на входах последовательных данных сигналы DR=1, DSL=1.
- 5 Установите на входах параллельной загрузки «D0», «D1», «D2» и «D3» значения сигналов, приведенные в первой строке табл. 11.3.

Таблица 3.

<i>Вход</i>	<i>Вход</i>	<i>Вход</i>	<i>Вход</i>
0	1	0	1
1	1	1	1
0	0	1	0
0	0	1	0

- 6 Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» регистра, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В

графу «С» таблицы истинности заносится символ «ЛГ», означающий подачу импульса на вход «С».

- 7 Повторите пп. 32-33 для остальных строк таблицы 3.
- 8 Скопируйте таблицу истинности и диаграмму состояний в отчет.
- 9 По таблице истинности и диаграмме состояний убедитесь, что при значениях сигналов $S_0=0$, $S_1=0$ и подаче импульсов на тактовый вход «С» регистр сдвига сохраняет на выходе первоначально занесенный в него цифровой код. Вывод запишите в отчет.
- 10 По результатам исследования в статическом режиме составьте сводную таблицу истинности регистра сдвига.

Исследование регистра сдвига в динамическом режиме

Динамический режим исследования регистра сдвига реализуется при подаче на его тактовый вход «С» последовательности импульсов. Для этого генератор импульсов («ГЕНЕРАТОР»), расположенный на лицевой панели ВП, должен быть включен (кнопка «ВКЛ» нажата). На выходе генератора формируется последовательность прямоугольных импульсов и подается на вход «С» регистра. С помощью кнопок « f », « $f/2$ » и « $f/4$ » можно изменять частоту следования импульсов для выбора удобного режима наблюдения временной диаграммы.

- 1 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 2 Включите генератор импульсов. На графический индикатор выводится временная диаграмма входных и выходных сигналов регистра. В этом режиме таблица истинности не заполняется, а кнопка «Очистить таблицу и диаграмму» заблокирована от нажатия и имеет затененное изображение.
- 3 Изменяя входные сигналы регистра, получите временные диаграммы, отражающие его работу в режимах сдвига вправо, сдвига влево, параллельной загрузки, сброса. Каж-

дый раз, получив требуемое изображение, следует остановить работу регистра, выключив генератор, и скопировать диаграмму в отчет.

- 4 По полученным диаграммам определите, по какому перепаду на тактовом входе «С» регистра сдвига происходят изменения состояния в режимах сдвига вправо, сдвига влево, параллельной загрузки и сброса. Результаты исследований запишите в отчет.
- 5 Выключите ВП, для чего нажмите на панели ВП кнопку «Завершить работу».

Содержание отчёта

- Отчёт должен содержать титульный лист;
- Цель работы;
- Краткие теоретические сведения;
- Таблицы функционирования для каждого раздела исследований;
- Временные диаграммы для каждого раздела исследований;
- Краткое описание алгоритма функционирования; представленного каждой временной диаграммой;
- Ответы на контрольные вопросы;
- Список использованных источников.

Контрольные вопросы

- Что называется регистром сдвига?
- В чем состоит отличие сдвигового регистра от параллельного регистра?
- Предложите схему сдвигающего регистра на D-триггерах и на JK-триггерах.
- Какой регистр называется реверсивным?

8 ИССЛЕДОВАНИЕ ДВОИЧНОГО СЧЁТЧИКА

Цель работы

Изучение устройства и работы двоичного счётчика.

Основные сведения

Счетчиком называется устройство для подсчета числа входных импульсов. При поступлении каждого импульса на тактовый вход С состояние счетчика изменяется на единицу. Счетчик можно реализовать на нескольких триггерах, при этом состояние счетчика будет определяться состоянием его триггеров. В суммирующих счетчиках каждый входной импульс увеличивает число на его выходе на единицу, в вычитающих счетчиках каждый входной импульс уменьшает это число на единицу. Наиболее простые счетчики - двоичные. Схема суммирующего двоичного счетчика показана на рисунке 1.

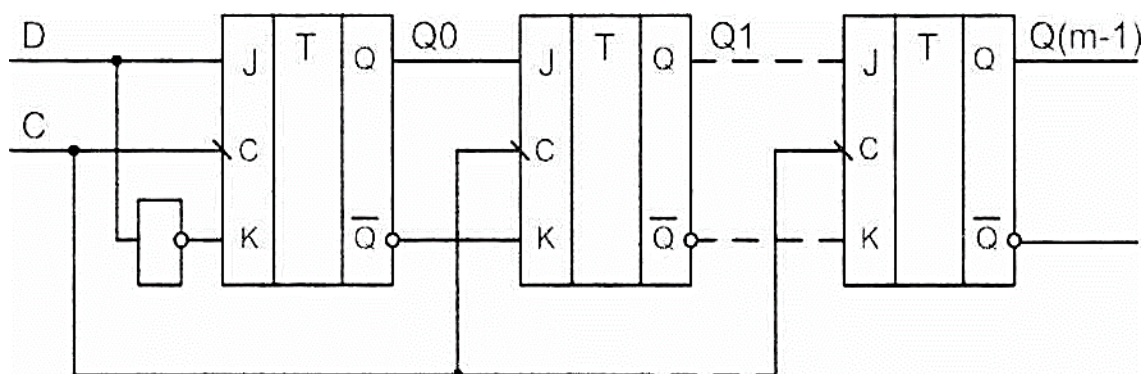


Рисунок 1 – Схема двоичного суммирующего счётчика

При построении счетчика триггеры соединяют последовательно. Выход каждого триггера непосредственно действует на тактовый вход следующего. Для того чтобы реализовать суммирующий счетчик, необходимо счетный вход очередного триггера подключать к инверсному выходу предыдущего. Для того чтобы изменить направление счета (реализовать вычитающий счетчик), можно предложить следующие способы:

- считывание выходных сигналов счетчика не с прямых, а с инверсных выходов триггеров.

- изменение структуры связей в счетчике путем подачи на счетный вход триггера сигнала не с инверсного, а с прямого выхода предыдущего каскада.

Счетчики характеризуются числом состояний в течение одного периода (цикла) счета. Число состояний определяется количеством триггеров m в структуре счетчика. Так для двоичного счетчика при $m = 3$ число состояний равно $2^m = 2^3 = 8$ (выходной код изменяется от 000 до 111).

Число состояний счетчика принято называть коэффициентом пересчета $K_{сч}$. Этот коэффициент равен отношению числа импульсов $N_{вх}$ на входе к числу импульсов $N_{вых}$ на выходе старшего разряда счетчика за период счета:

$$K_{сч} = N_{вх} / N_{вых} \quad (1)$$

Если на вход счетчика подавать периодическую последовательность импульсов с частотой $f_{вх}$, то частота $f_{вых}$ на выходе старшего разряда счетчика будет меньше в $K_{сч}$ раз:

$$K_{сч} = f_{вх} / f_{вых} \quad (2)$$

Поэтому счетчики можно использовать в качестве делителей частоты, величина $K_{сч}$ в этом случае будет называться коэффициентом деления. Для увеличения $K_{сч}$ приходится увеличивать число триггеров в схеме счетчика. Каждый дополнительный триггер удваивает число состояний счетчика, а, следовательно, и число $K_{сч}$. Для уменьшения коэффициента $K_{сч}$ можно в качестве выхода счетчика рассматривать выходы триггеров промежуточных каскадов. Например, для счетчика на трех триггерах $K_{сч} = 8$, если взять выход 2-го триггера, то $K_{сч} = 4$. При этом $K_{сч}$ всегда будет являться целой степенью числа 2, а именно: 2, 4, 8, 16 и т. д.

Интегральная микросхема К555ИЕ5 содержит 4 триггера. Первый триггер работает как делитель на 2. Он имеет тактовый вход С0 и выход Q0. Три остальных триггера образуют делитель на 8. Этот делитель имеет вход С1 и три выхода: Q1, Q2 и Q3. Оба делителя

могут работать независимо друг от друга. Для организации счетчика-делителя на 16 нужно выход Q0 делителя на 2 соединить с тактовым входом C1 делителя на 8. На рис. 2 показано условное графическое обозначение двоичного счетчика К555ИЕ5, включенного с коэффициентом пересчета $K_{сч} = 16$.

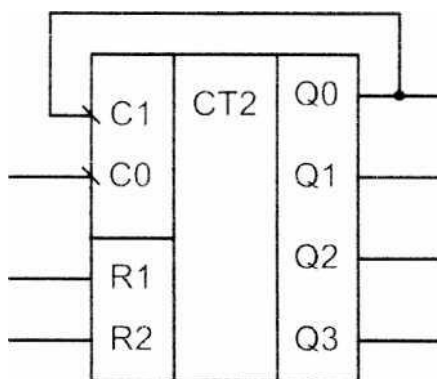


Рисунок 2 – Условное графическое обозначение двоичного счетчика К555ИЕ5

Режимы работы микросхемы К555ИЕ5, включенной с коэффициентом пересчета $K_{сч} = 16$, при различных значениях входных сигналов приведены в табл. 1.

Таблица 1. Режимы двоичного суммирующего счётчика

<i>Режим работы</i>	<i>Вход</i>			<i>Выход</i>			
	<i>R1</i>	<i>R2</i>	<i>C0</i>	<i>Q0</i>	<i>Q1</i>	<i>Q2</i>	<i>Q3</i>
Сброс	1	1	х	0	0	0	0
Счёт	0	1	↓	Увеличение кода			
	1	0	↓				
	0	0	↓				

Примечания:

- символ х обозначает безразличное состояние входа;
- символ ↓ обозначает срез тактового сигнала.

Микросхема имеет два входа асинхронного сброса R1 и R2, которые объединены логической функцией «И». При одновременной

подаче сигналов логической 1 на входы сброса все триггеры устанавливаются в состояние логического 0. В режиме счета по срезу каждого тактового импульса, поступающего на вход C0, происходит увеличение выходного кода счетчика на единицу.

Оборудование

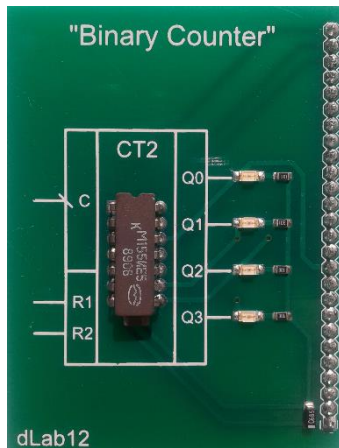


Рисунок 3 – Внешний вид модуля счётчика.

Исследуемый счётчик размещён на лабораторном модуле в виде печатной платы. Его внешний вид представлен на рисунке 3.

Модуль устанавливается в разъем цифровых устройств макетной платы рабочей станции ELVIS II. Исследуемый модуль устанавливается в разъем только при выключенном питании рабочей станции. Размещение модуля на макетном поле рабочей станции представлено на рисунке 4.

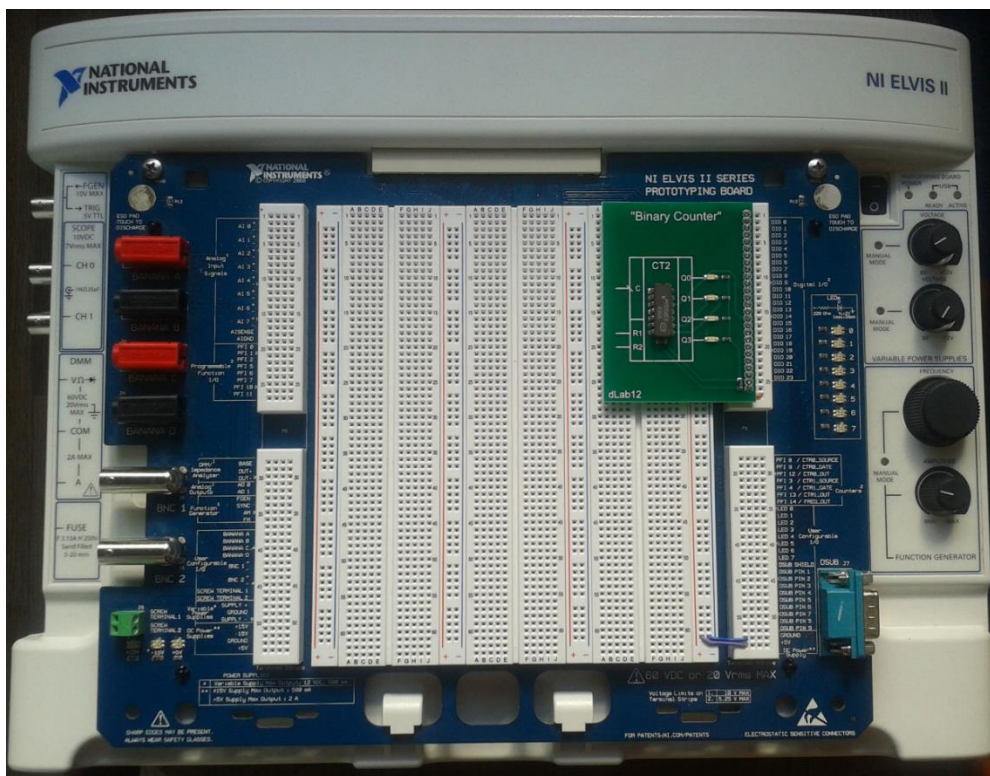


Рисунок 4 – Рабочая станция с исследуемым модулем

Перед установкой исследуемого модуля при необходимости следует установить ограничители посадочного места и проводники питания в соответствии с рисунком 5.

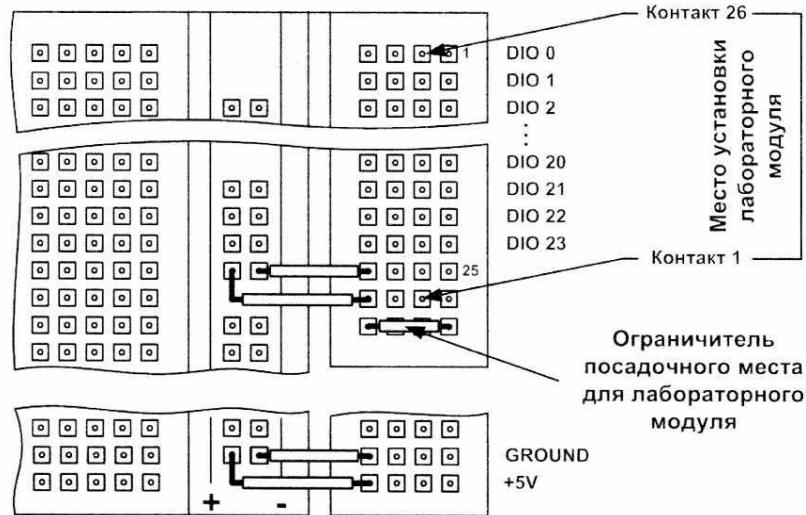


Рисунок 5 – Размещение дополнительных проводников на макетной плате рабочей станции

Выполнение лабораторной работы

- Выключите рабочую станцию ELVIS II выключателем на задней панели, если ранее она была включена.
- Соедините кабелем USB-2 разъёмы рабочей станции и персонального компьютера (ПК).
- При установленном исследуемом модуле включите рабочую станцию выключателем на задней панели.
- Выключателем в правой верхней части рабочей станции включите питание макетной платы (должен загореться зелёный индикатор).
- Загрузить файл виртуального прибора для исследования регистра сдвига dLab-12.vi. при этом на экране ПК появится изображение панели виртуального прибора (ВП) представленное на рисунке 6.

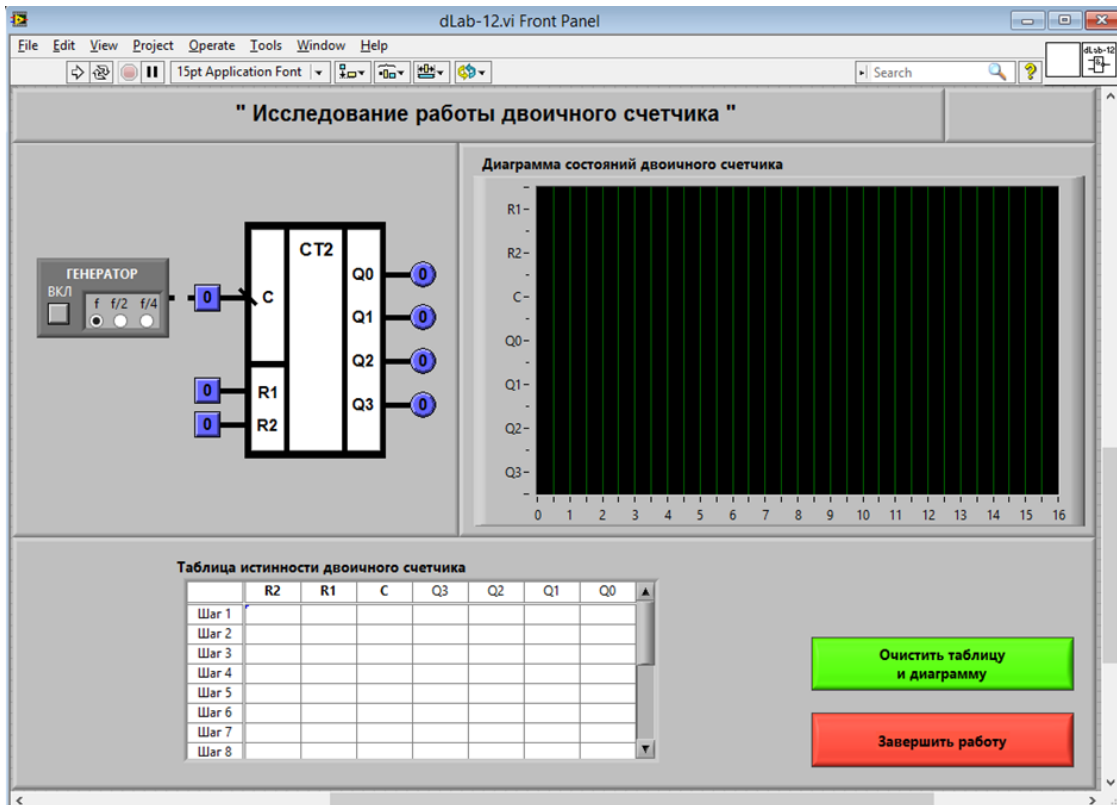


Рисунок 6 – Панель виртуального прибора

Дальнейшее управление исследованием осуществляется исключительно с панели виртуального прибора.

Исследование двоичного счетчика в статическом режиме

Статический режим исследования счетчика реализуется при подаче на его тактовый вход «С» одиночных импульсов в ручном режиме. Для этого генератор импульсов («ГЕНЕРАТОР»), расположенный на лицевой панели ВП, должен быть выключен (кнопка «ВКЛ» отжата). Подача одиночного импульса прямоугольной формы на тактовый вход «С» счетчика производится однократным нажатием с помощью манипулятора мышь на кнопку квадратной формы, расположенную около этого входа.

- 1 Выключите генератор импульсов, если он был включен.
- 2 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 3 Установите на входах асинхронного сброса счетчика сигналы $R1=0$ и $R2=0$. Логический уровень изменяется при однократном нажатии с помощью манипулятора мышь на кнопку

квадратной формы, расположенную около соответствующего входа. При этом на кнопке отображается состояние входа («0» - синий цвет или «1» - оранжевый цвет).

- 4 Выполните сброс счетчика. Для этого установите оба входа асинхронного сброса «R1» и «R2» сначала в состояние «1», а затем в состояние «0». На индикаторах выходных сигналов счетчика «Q0», «Q1», «Q2» и «Q3» должны установиться нулевые значения.
- 5 Нажмите и отпустите кнопку, расположенную около входа «С». На индикаторах круглой формы, расположенных около выходов «Q0», «Q1», «Q2» и «Q3» счетчика, будет отображено состояние его выходных сигналов. Логические состояния входов и выходов триггера будут автоматически занесены в таблицу истинности и на диаграмму состояний. В графу «С» таблицы истинности заносится символ «LГ», означающий подачу импульса на вход «С».
- 6 Повторите п. 5 пятнадцать раз подряд для получения полного цикла пересчета счетчика.
- 7 Скопируйте таблицу истинности и диаграмму состояний в отчет. Копирование таблицы следует выполнить за два приема. Сначала сдвиньте полосу вертикальной прокрутки таблицы в верхнее положение и скопируйте первую половину таблицы истинности в буфер обмена, щелкнув правой кнопкой мыши на изображении таблицы и выбрав из контекстного меню команду «Copy Data». Затем перейдите в редактор **MS Word** и вставьте изображение таблицы из буфера обмена на страницу отчета. Для копирования второй половины таблицы сдвиньте полосу вертикальной прокрутки таблицы в нижнее положение и повторите описанные действия. Копирование диаграммы состояний выполняется аналогично.
- 8 По таблице состояний определите тип исследуемого счетчика: суммирующий или вычитающий, а также его коэффициент пересчета $K_{сч}$.

Исследование счётчика в динамическом режиме

Динамический режим исследования счетчика реализуется при подаче на его тактовый вход «С» последовательности импульсов. Для этого генератор импульсов («ГЕНЕРАТОР»), расположенный на лицевой панели ВП, должен быть включен (кнопка «ВКЛ» нажата). На выходе генератора формируется последовательность прямоугольных импульсов и подается на вход «С» триггера. С помощью кнопок « f », « $f/2$ » и « $f/4$ » можно изменять частоту следования импульсов для выбора удобного режима наблюдения временной диаграммы.

- 1 Нажмите на кнопку «Очистить таблицу и диаграмму».
- 2 Включите генератор импульсов. На графический индикатор выводится временная диаграмма входных и выходных сигналов регистра. В этом режиме таблица истинности не заполняется, а кнопка «Очистить таблицу и диаграмму» заблокирована от нажатия и имеет затененное изображение.
- 3 Изменяя в процессе работы счетчика состояние входов асинхронного сброса «R1» и «R2», определите по временной диаграмме, при каких состояниях этих входов счетчик находится в режиме счета, а при каких - в режиме сброса. Для удобства наблюдения и анализа временных диаграмм можно остановить работу триггера, выключив тактовый генератор. По результатам исследований заполните табл. 2.

Таблица 2.

<i>Вход R2</i>	<i>Вход R1</i>	<i>Режим работы</i>
0	0	
0	1	
1	0	
1	1	

- 4 Изучите работу двоичного счетчика в режиме счета. По временной диаграмме и выходным индикаторам «Q0», «Q1», «Q2» и «Q3» определите, по какому перепаду уровня им-

пульсов на входе «С» («0» —> «1» или «1» —> «0») происходит переключение счетчика.

- 5 Скопируйте в отчет временные диаграммы, отражающие полный цикл работы счетчика в режимах счета и сброса.
- 6 Выключите ВП, для чего нажмите на панели ВП кнопку «Завершить работу».

Содержание отчёта

- Отчёт должен содержать титульный лист;
- Цель работы;
- Краткие теоретические сведения;
- Таблицы функционирования для каждого раздела исследований;
- Временные диаграммы для каждого раздела исследований;
- Краткое описание алгоритма функционирования; представленного каждой временной диаграммой;
- Ответы на контрольные вопросы;
- Список использованных источников.

Контрольные вопросы

- Что такое счетчик, какие разновидности счётчиков вы знаете?
- Предложите схемы суммирующих и вычитающих счётчиков на D- триггерах и JK-триггерах.
- Как преобразовать суммирующий счетчик в вычитающий?
- Что такое коэффициент пересчета счетчика?

Литература

1. Батоврин, В.К. LabVIEW: Практикум по цифровым элементам вычислительной и информационно-измерительной техники: Лабораторный практикум / В.К. Батоврин, А.С. Бессонов, В.В. Мошкин. - М.: Федеральное государственное бюджетное образовательное учреждение высшего профессионального образования "Московский государственный технический университет радиотехники, электроники и автоматики", 2011. - 118 с.

2. Угрюмов, Е. П. Цифровая схемотехника [Текст] : учебное пособие / Е. П. Угрюмов. – 2-е изд., перераб. и доп. – СПб. : БХВ-Петербург, 2005. - 800 с.

3. Бондарь, О.Г. Учебно-методический комплекс «Схемотехника». [Электронный документ]: Справочники: Справочник по светоизлучающим полупроводниковым приборам. – Курск. ЮЗГУ, Сервер кафедры КП и СС //main/sensey/b/start_00.

4. Опадчий, Ю.Ф. Аналоговая и цифровая электроника [Текст]: учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гу-ров; под ред. О. П. Глудкина. - М.: Горячая Линия - Телеком, 2000. - 768 с.

5. Гусев, В.Г. Электроника [Текст] / В.Г. Гусев, Ю.М. Гусев. 2-е изд. - М.: Высш.шк.,1991. - 622 с.

6. Фридман, А. Теория и проектирование переключательных схем [Текст] / А. Фридман, П. Менон. – М.: Изд-во «Мир». – 1978, 584 с.

3. Норенков, И. П. Автоматизированное проектирование [Электронный ресурс] / И. П. Норенков : Серия учебных пособий «Информатика в техническом университете». – М., 1990, 188 с. Режим доступа: http://window.edu.ru/window_catalog/files/r23981/cad.p