

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Локтионова Оксана Геннадьевна
Должность: проректор по учебной работе
Дата подписания: 08.02.2021 16:48:34
Уникальный программный ключ:
0b817ca911e6668abb13a5d426d39e5f1c11eabb73e943d14a4851fda56d68

3

МИНОБРАЗОВАНИЯ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности



МОДЕЛИРОВАНИЕ РАБОТЫ СУММАТОРА-ВЫЧИТАТЕЛЯ СТАРШИМИ РАЗЯДАМИ ВПЕРЕД НА НЕЙРОНАХ

Методические рекомендации по выполнению
лабораторной работы №2 для студентов специальности 10.03.01

Курск 2017

Лабораторная работа №2

Моделирование работы сумматора-вычитателя старшими разрядами вперед на нейронах.

Цель работы: изучить структурную и функциональную схемы сумматора-вычитателя на нейронах, а также основные функции устройства.

Задача: по разработанной блок схеме алгоритма работы сумматора-вычитателя старшими разрядами вперед составить и протестировать программу на языке высокого уровня, моделирующую работу цифрового устройства.

1. Теоретическая часть

Сумматор-вычитатель старшими разрядами вперед на нейронах

В современных ЭВМ операция вычитания выполняется с применением дополнительного или обратного кода (Д-код). Если было введено отрицательное число, то происходит перевод этого числа в Д-код. Признаком отрицательного числа является единица в знаковом разряде двоичного представления операнда, например 1.110110. В этом случае осуществляется перевод отрицательного числа в дополнительный или обратный код. Полученный результат также анализируется. Если получен отрицательный результат, то осуществляется перевод в Д-код. Если получен положительный результат, то перевода в Д-код не происходит. По этому алгоритму результат можно получить только после анализа знакового разряда результата. В случае ввода двух отрицательных чисел, то необходимо перевести оба числа в Д-код. Результат в этом случае также переводится в Д-код.

Известен алгоритм сложения чисел в прямых кодах. Этот алгоритм позволяет сразу получить правильный результат в прямом коде. В этом случае необходимо применить операцию вычитания чисел. Для этого используется комбинационная схема вычитателя чисел в прямых кодах.

Для получения суммы двух чисел возможны два случая:

- 1) слагаемые имеют одинаковые знаки;
- 2) слагаемые имеют разные знаки.

Алгоритм получения суммы двух чисел с одинаковыми знаками определяется следующим образом:

Алгоритм первый.

- 1) сложить два числа;
- 2) сумме присвоить знак одного из слагаемых.

Алгоритм получения суммы двух чисел с разными знаками определяется следующим образом:

- 1) сравниваются знаки слагаемых и, если они одинаковы, то выполняется сложение по первому алгоритму;
- 2) если знаки слагаемых разные, то сравниваются числа по абсолютной величине;
- 3) если есть необходимость, переставить числа местами, чтобы вычитать из большего меньшее;
- 4) произвести вычитание двух чисел;
- 5) результату присвоить знак большего слагаемого.

Этот алгоритм позволяет получить сумму-разность чисел в прямых кодах старшими разрядами вперед. После получения чисел из блока ввода операндов и перевода их в двоичную систему счисления, необходимо определить одинаковые ли знаки чисел. Определяется это с помощью операции сумматора по модулю два. Если знаки одинаковые, то результат будет нуль. В противном случае результат будет единица. После этого выбирается операция сложения или вычитания.

Может быть использовано для синтеза арифметико-логических устройств, для создания быстродействующих и экономичных цифровых устройств суммирования и вычитания чисел в прямых кодах.

В представленном сумматоре-вычитателе происходит сложение или вычитание двоичных чисел. Предлагаемый сумматор-вычитатель позволит значительно снизить аппаратные средства, что ведет к упрощению комбинационной схемы, а также значительно упростит алгоритм работы устройства.

БВЧ - блок ввода чисел служит для ввода операндов и знака операции (+ или -).

БКО - блок компарации служит для сравнения чисел А и В, если необходимо выполнить операцию вычитания.

БСВ - блок суммирования-вычитания служит для выполнения операций сложения или вычитания.

БРГБЧ - блок регистров большего числа служит для хранения первого числа в случае выполнения операции сложения или для хранения большего по модулю числа в случае выполнения операции вычитания.

БОПЗ - блок определения переноса, заема - служит для обнаружения переноса из младших разрядов в старшие при суммировании или для формирования заема из старших разрядов в младшие в случае вычитания чисел.

БРГМЧ - блок регистров меньшего числа служит для хранения второго числа в случае выполнения операции сложения или для хранения меньшего по модулю числа в случае выполнения операции вычитания.

БРГР - блок регистров результата служит для хранения суммы при сложении или разности при вычитании чисел, а также знака результата.

БУ - блок служит для управления устройством.

На рисунке 1 изображена структурная схема сумматора-вычитателя.

На рисунке 2 представлена структурная схема блока ввода чисел сумматора-вычитателя.

На рисунке 3 изображена структурная схема блока компарации двоичных чисел.

На рисунке 4 изображена принципиальная схема сумматора-вычитателя старшими разрядами вперед на нейронах.

На рисунке 5 изображена функциональная схема блока определения переноса, заема.

На рисунке 6 представлена структурная схема блока регистров результата.

На рисунке 7 представлена содержательная граф схема алгоритма работы сумматора-вычитателя.

Сумматор-вычитатель (рис. 1) содержит: блок ввода чисел, блок компарации, блок суммирования-вычитания, блок регистров большего числа, блок определения переноса или заема, блок регистров меньшего числа, блок регистров результата, блок управления, мажоритарные элементы, пороговые элементы, нейроны.

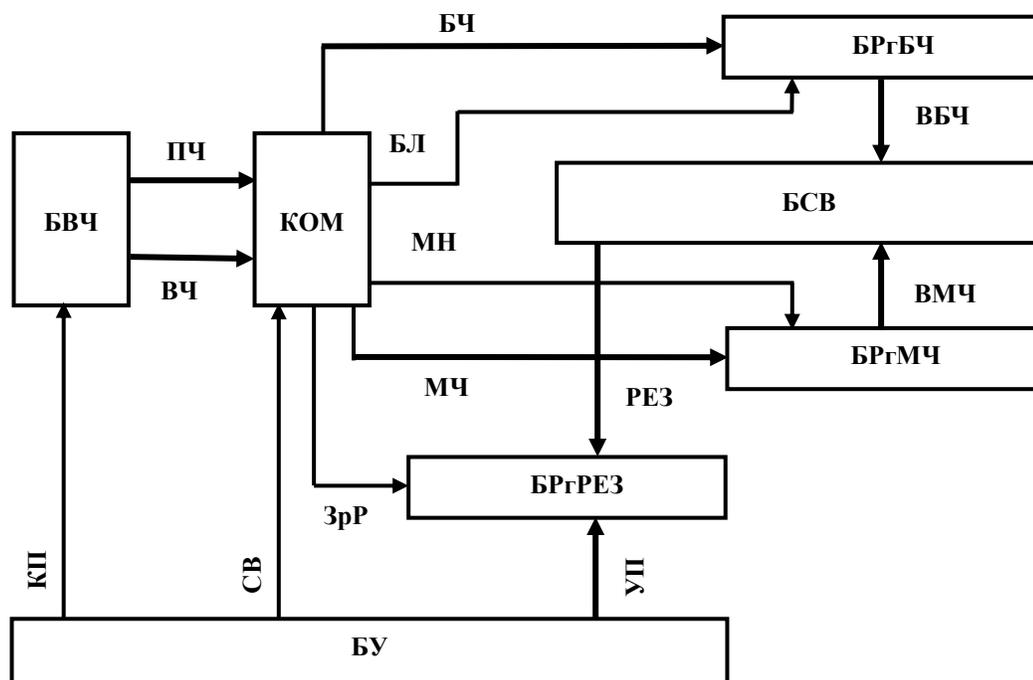


Рис. 1 Структурная схема сумматора-вычитателя

На структурной схеме приняты следующие обозначения: БВЧ - блок ввода чисел служит для ввода операндов и знака операции; КОМ - блок компарации служит для сравнения чисел А и В; БРГБЧ - блок регистров большего числа служит для хранения большего по модулю числа; БСВ - блок суммирования-вычитания служит для выполнения операций сложения или вычитания; БРГМЧ - блок регистров меньшего числа служит для хранения меньшего по модулю числа; БРГРЕЗ - блок регистров результата служит для хранения суммы или разности чисел, а также знака результата; БУ - блок служит для управления устройством.

Для описания алгоритма работы блока управления используются следующие идентификаторы.

1. ПЧ - первое число.
2. ВЧ - второе число.
3. БЧ - данные большего числа.
4. МЧ - данные меньшего числа.
5. Зн.Р - знаковый разряд результата.
6. СВ - сигнал суммы-вычитания.
7. РЕЗ - двоичные разряды результата.

8. РВ - сигнал равенства чисел, поступивший с выхода компаратора.
9. БЛ - сигнал больше, поступившей с выхода блока компаратора.
10. МН - сигнал меньше, поступившей с выхода блока компаратора.
11. УП - информационный сигнал управления, включающий в себя сигналы: обнуления, синхронизации, разрешения записи, хранения, выдачи.
12. Сдвиг - сигнал сдвига влево на один разряд информации в блоке регистров результата.
13. СЗП - сигнал запрета работы блока суммирования-вычитания.
14. ПЗ - сигнал переноса в старшие разряды или заема из старших разрядов двоичных чисел.
15. ВБЧ - выходная двоичная информация большего числа.
16. ВМЧ - выходная двоичная информация меньшего числа.
17. ЧМ - двоичные разряды меньшего числа по абсолютной величине, поступающие из блока регистров меньшего числа.
18. ЧБ - двоичные разряды большего числа по абсолютной величине, поступающие из блока регистров большего числа.
19. СУП - информационный сигнал управления работой блока регистров меньшего числа.
20. УП - информационный сигнал управления работой блока регистров большего числа.
21. СДВ - сигнал сдвига информации блока регистров меньшего числа влево на один разряд.
22. ССД - сигнал сдвига информации блока регистров большего числа влево на один разряд.
23. Зн.Р А - знаковый разряд первого числа.
24. Зн.Р В - знаковый разряд второго числа.
25. ППР - признак получения результата.
26. А_n – двоичные разряды первого числа.
27. В_n – двоичные разряды второго числа.
28. *i* - текущий номер разряда результата.
29. СБРОС - сигнал сброса (обнуления) всех комбинационных блоков сумматора-вычитателя.
30. КП – команда пуска работы сумматора-вычитателя.

31. СУР – информационный сигнал управления работой блока регистров результата.

2. Работа сумматора-вычитателя старшими разрядами вперед на нейронах заключается в следующем

Внешние управляющие сигналы "Пуск" и "Сброс" поступают в блок управления. С выхода шифратора ШД поступают в регистры большего числа и меньшего числа двоичные числа А2 и В2. На сумматоре по модулю два определяется знак результата. Если числа имеют одинаковые знаки, то вычисляется сумма чисел. Знак результату присваивается знак любого из слагаемых. Если знаки чисел разные, то проводится операция вычитания. Из большего по модулю числа вычитается меньшее. Знак результату в этом случае присваивается знак большего по модулю числа. Предлагаемое арифметическое устройство выполняет операции суммирования и вычитания старшими разрядами вперед. Определяется перенос в старшие разряды при суммировании, который необходимо учитывать при сложении чисел. Вычисляется заем из старших разрядов в младшие при вычитании.

Блок ввода чисел БВЧ (рис.2) содержит шифратор (обычная стандартная клавиатура) ШФ и сумматор по модулю два. Этот блок позволяет вводить двоичные числа. С выхода шифратора формируется двоичный код чисел со своими знаками: А2, В2, Зн.Р А, Зн.Р В. Знаковые разряды с выхода шифратора поступают на вход сумматора по модулю два. Сигнал СВ суммирования-вычитания формируется на выходе нейрона, выполняющего функцию сумматора по модулю два. Сумматор по модулю два реализуется на формальном нейроне ФН [1]. Выходной сигнал вычисляется по формуле:

$$СВ = (ЗнР А \& ЗнР В) \vee (ЗнР \bar{А} \& ЗнР \bar{В}) \quad (1)$$

Если СВ равен единице, то необходимо выполнять операцию вычитания, Если СВ равен нулю, то осуществляется операция сложения. Выходными сигналами блока ввода чисел являются двоичные коды А2 и В2, представленные в прямых кодах и признак операции СВ (рис.2).

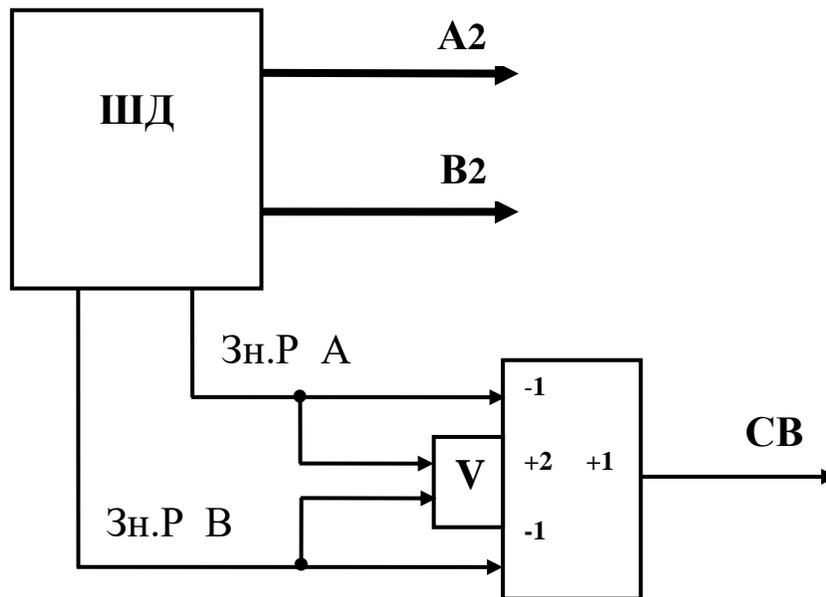


Рис.2

Блок компарации БКОМ содержит компаратор КОМ (рис.3), схемы электронных ключей (конъюнкция) с прямыми управляющими входами, схемы электронных ключей (конъюнкция) с инверсными управляющими входами, логические элементы схемы ИЛИ (дизъюнкция). Этот блок предназначен для определения большего числа по модулю. Если на вход сумматора-вычитателя поступят числа с разными знаками, то в этом случае необходимо в блок регистров большего числа записать больший по модулю операнд. В блок регистров меньшего числа загружается число меньшее по модулю. Компаратор КОМ представляет собой схему сравнения чисел. Эта схема может быть выполнена на формальном нейроне ФН [1]. На вход компаратора КОМ поступают n -разрядные числа A и B без знаковых разрядов. На выходе компаратора имеется три выхода: БЛ - число A больше B , РВ - числа A и B равны по модулю, МН - число A меньше B . Логические схемы И выполнены на формальных нейронах ФН [1]. Схема конъюнкция описывается с помощью формулы $[w_1=1, w_2=1, \dots, w_n=1; T=n-1]$, где w_1, w_2, \dots, w_n - коэффициенты усиления, а T - пороговое напряжение, n - количество входов. Схема дизъюнкция описывается с помощью формулы $[w_1=1, w_2=1, \dots, w_n=1; T=0]$, где w_1, w_2, \dots, w_n - коэф-

фициенты усиления, а T равное нулю - пороговое напряжение, n - количество входов. Инвертор описывается формулой $[w=-1;T=-1]$. На входы логических схем И поступает число A со своим знаком. На входы логических схем И поступает число B со своим знаком. Выходы логических схем И поступают на вход логической схемы ИЛИ. Выходы логических схем И поступают на вход логической схемы ИЛИ. Выходная информация ДБЧ логической схемы ИЛИ поступает на вход блока регистров большего числа (рис.1). Выходная информация ДМЧ логической схемы ИЛИ поступает на вход блока регистров меньшего числа (рис.1). При поступлении чисел A и B на вход компаратора, на выходе компаратора КОМ формируется отношение операндов. Если на выходе БЛ будет единица, то это означает, что число A больше B по модулю. Остальные выходы компаратора будут равны нулевому значению. Единичный выход БЛ откроет схему И через которую число A поступит вход схемы ИЛИ. Логическая схема И будет заперта т.к. управляется инверсным сигналом. С выхода схемы ИЛИ информационный сигнал поступит в блок регистров большего числа. Логическая схема И будет открыта, через нее меньшее по модулю число B поступит на вход схемы ИЛИ. С выхода схемы ИЛИ информационный сигнал поступит на вход блока регистров меньшего числа. Если выходной сигнал МН будет равен единичному значению, что означает число B больше по модулю, чем число A . В этом случае логические схемы будут открыты и через их информационные сигналы поступят на входы схем ИЛИ соответственно. Через схему число B большее по модулю поступит на вход схемы ИЛИ, затем в блок регистров большего числа. Через схему число A меньшее по модулю поступит на вход схемы ИЛИ, затем в блок регистров меньшего числа. Если числа A и B равны по модулю и имеют равные знаки, то сигнал РВ будет равен единице, а сигналы БЛ и МН будут равны нулю. Логические схемы И с прямыми управляющими сигналами будут заперты, а схемы И с инверсными управляющими сигналами будут открыты. На логические схемы ИЛИ поступит число B . В этом случае произойдет сложение чисел B и B . Знак результата $Zн.Р$ всегда будет формироваться с выхода логической схемы ИЛИ, т.к. на выходе будет большее по модулю число.

Блок компарации БКО

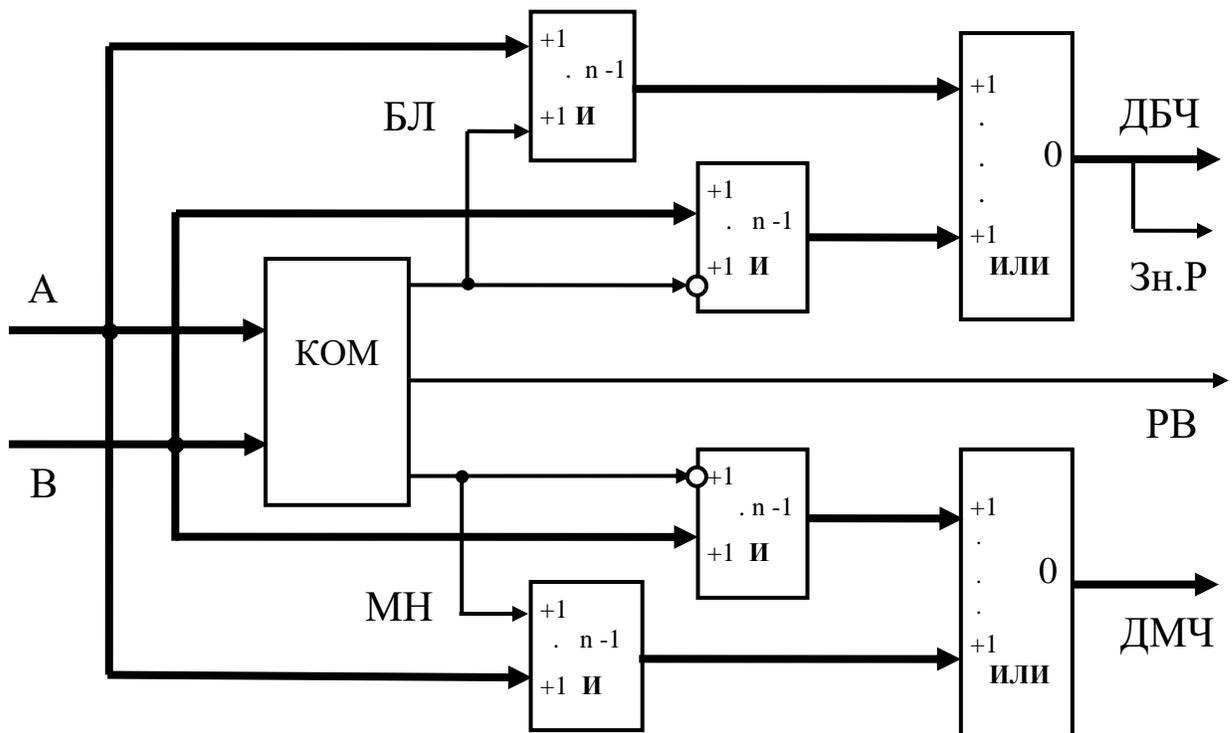


Рис.3

Блок суммирования-вычитания БСВ (рис.4) содержит сумматор по модулю два, выполненный на формальном нейроне, пороговые элементы, инверторы, логические схемы И, логическую схему ИЛИ. На пороговом элементе (ПЭ) формируется перенос при сложении или заем при вычитании. Пороговые элементы составляют сумматор [1,2]. На входы этих пороговых элементов поступают двоичные разряды чисел A и B, а также перенос ПЗ из младших разрядов в старшие (рис.4). Двоичные разряды поступают по разрядно: ЧБ - разряд большего числа, ЧМ - разряд меньшего числа, ПЗ - перенос, заем, а также признак суммирования-вычитания СВ. Пороговые элементы и образуют схему вычитателя чисел от большего меньшего. Логические элементы И выполняют роль электронных ключей. Управляющим сигналом для них является признак суммирования-вычитания СВ. На пороговые элементы этот сигнал поступает через инверторы соответственно. Если признак операции СВ суммирования-вычитания будет равен нулю - выполнение операции суммирования, то соответствующе-

щий электронный ключ будет открыт, а остальные электронные ключи будут заперты, управляющий сигнал СВ поступает через инверторы. На выходе порогового элемента сформируется перенос из старших разрядов в следующий больший по весу разряд, если на входе этого порогового элемента будет не менее двух единиц. По приходу из блока управления БУ управляющего сигнала СЗП - сигнала запрета равного единице, этот перенос ПР будет записан через открытый электронный ключ в блок регистров результата. Разряды суммы S_i при этом с выхода порогового элемента поступать не будут, т.к. этот ПЭ будет заперт сигналом СЗП, который поступает на управляющий вход этого ПЭ через инвертор. В начале необходимо получить перенос, если он будет получен. Затем управляющий сигнал СЗП устанавливается в нулевое значение, при этом логический элемент И будет заперт, а электронный ключ будет открыт. Через его будут поступать очередные разряды суммы чисел А и В. Логическая схема ИЛИ, выполненная на пороговом элементе, выполняет собирательную функцию. Выходной сигнал РЕЗ при суммировании в начале равен только сигналу ПР - переносу, затем всегда будет равен очередному значению суммы двоичных разрядов А и В - S_i . Если признак операции СВ будет равен единице, это означает выполнение операции вычитания. В этом случае разряды разности чисел большего и меньшего будут формироваться на выходе порогового элемента и через открытый электронный ключ (схема И) и пороговый элемент (схема ИЛИ) разряды разности будут поступать на вход блока регистров результата (рис.4).

Блок регистров большего БРГБЧ числа содержит n - логических схем ИЛИ, выполненных на пороговых элементах ПЭ, n - триггеров Tr_n , где n - количество разрядов входного числа. Блок регистров большего числа предназначен для хранения двоичного кода большего по модулю операнда. Перед началом работы сумматора-вычитателя по приходу из блока управления информационного сигнала СУ происходит обнуление всех триггеров блока. По приходу из блока компарации информационного сигнала ДБЧ - данные большего числа осуществляется загрузка двоичного кода одного из чисел. На первые входы логических схем ИЛИ поступают двоичные разряды большего числа. На вторые входы логических схем ИЛИ поступает информация

Сумматор-вычитатель на нейронах старшими разрядами вперед

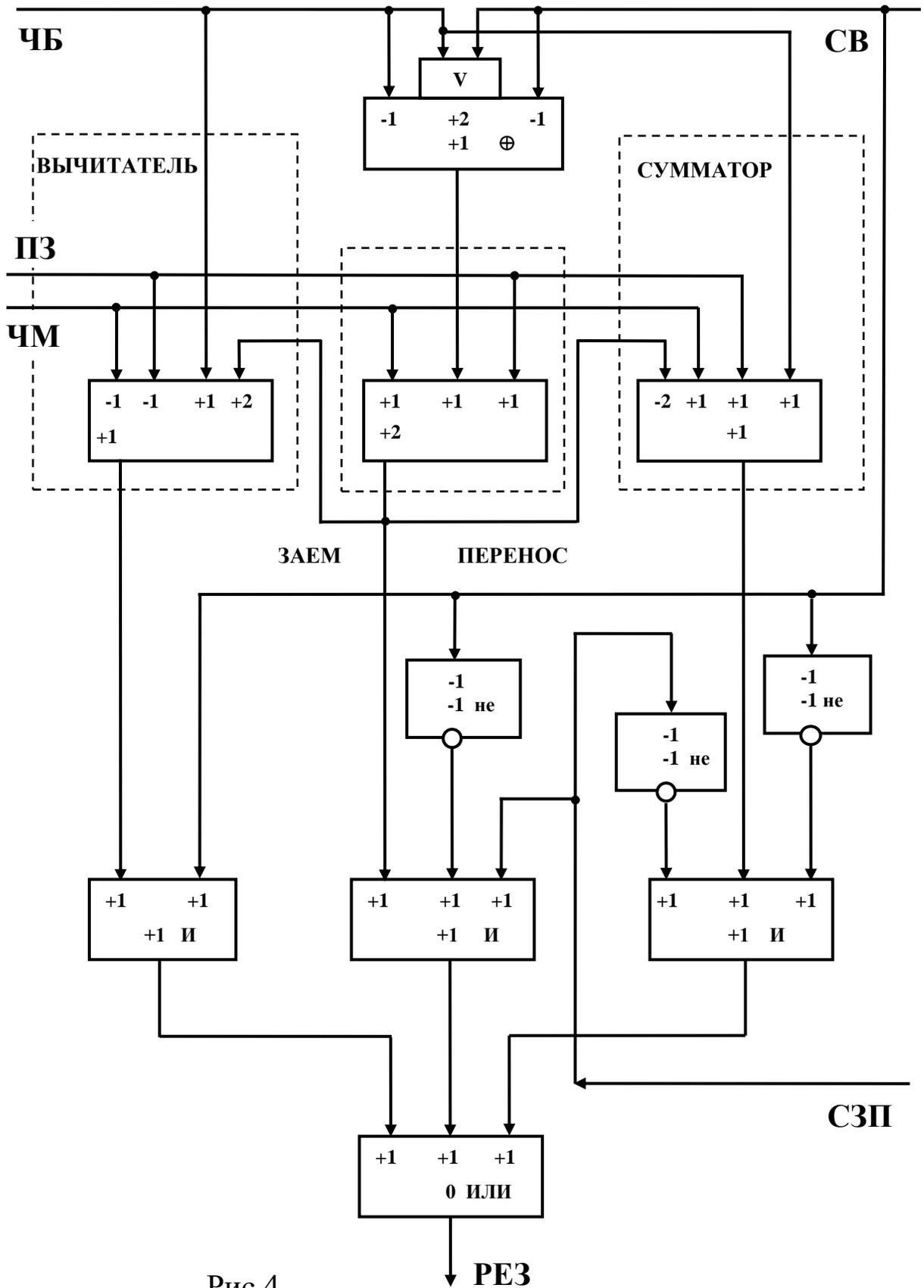


Рис.4

с выходов предыдущих триггеров. Выходы логических схем ИЛИ являются входами для триггеров. При поступлении управляющего сигнала БЛ - больше на входы триггеров Тр1, Тр2, Тр3,..., Трп из блока компарации, разрешающего записать информацию в триггера, происходит загрузка поступившего кода с выходов схем ИЛИ в триггера блока. Сигнал БЛ является входным управляющим сигналом для всех элементов памяти блока. По приходу управляющего сигнала сдвига ССД из блока управления, поступающего на входы всех триггеров блока, осуществляется операция сдвига влево информации на один разряд. Двоичный код числа, записанный в триггерах будет сдвинут на один разряд влево. На выходе первого триггера Тр1 поочередно будет поступать очередной разряд числа после сигнала сдвига ССД. Триггера этого блока образуют реверсивный регистр со сдвигом информации на один разряд влево.

Блок определения переноса, заема БОПЗ (рис.5) содержит n - сумматоров по модулю два, выполненных на формальных нейронах ФН, n - мажоритарных элементов (по большинству входов) МЭ выполняющую функцию по определению переноса в старшие разряды при суммировании или заема из старших разрядов при вычитании. На первые входы сумматора по модулю два блока поступают двоичные разряды операнда из блока регистров большего числа. На вторые входы всех сумматоров блока поступает признак операции суммы-вычитания СВ. Если признак СВ равен нулю, выполнение операции сложения, то сумматоры выполняют роль повторителей. В этом случае все входные разряды в прямом коде поступают на первые входы соответствующих мажоритарных элементов МЭ блока. Если признак операции СВ равен единице, выполнение операции вычитания, то все входные двоичные коды поступают на входы мажоритарных элементов в обратном коде. В этом случае сумматоры по модулю два выполняют функцию инверторов. На вторые входы мажоритарных элементов МЭ поступает информация с выходов предыдущих мажоритарных элементов. В этом блоке используются трехвходовые мажоритарные элементы. Единица на выходе МЭ будет только тогда, когда будет большинство единиц на входе, в данном случае две или три. На третьи входы мажоритарных элементов поступают двоичные коды из блока регистров меньшего числа в прямом коде. Выходной сигнал ПЗ будет

равен единице в том случае, когда возникнет перенос из младших разрядов в старшие при сложении чисел и при возникновении заема в младшие разряды из старших при выполнении операции вычитания от большего по модулю числа меньшего (рис.5).

Блок определения переноса, заема БОПЗ

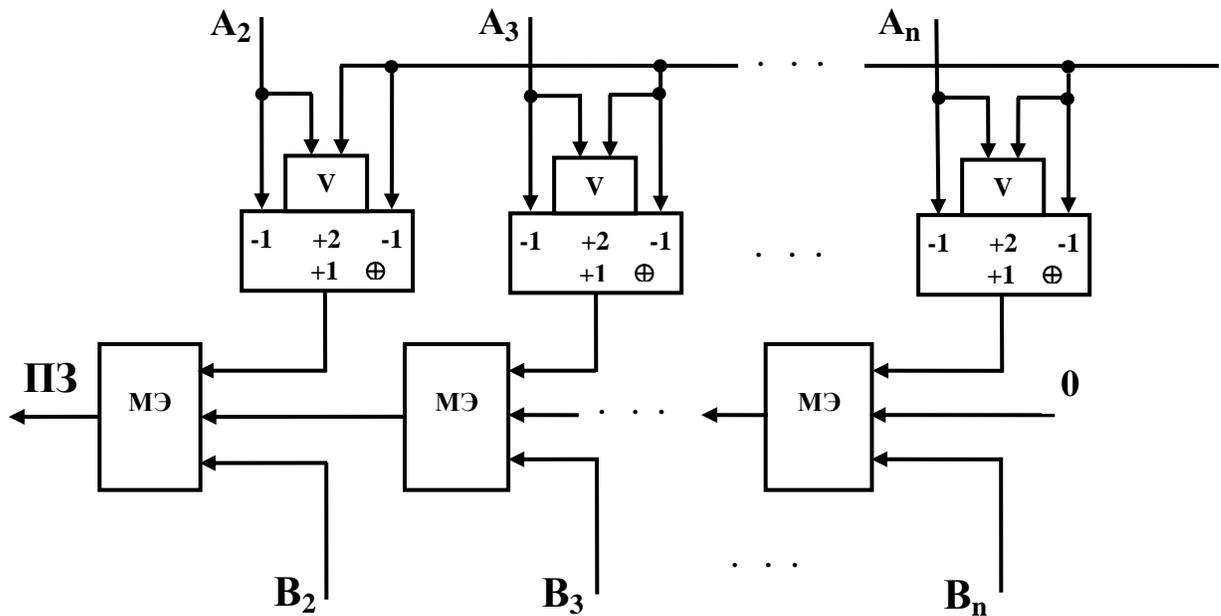


Рис.5

Блок регистров меньшего числа БРГМЧ содержит n - триггеров Tr_n , где n - количество разрядов большего входного числа, n - логических схем ИЛИ, выполненных на пороговых элементах ПЭ. Блок регистров меньшего числа предназначен для хранения двоичного кода меньшего по модулю числа. Перед началом работы сумматора-вычитателя по приходу из блока управления информационного сигнала СУП происходит обнуление всех триггеров блока. По приходу из блока компарации информационного сигнала ДМЧ - данные меньшего числа осуществляется загрузка двоичного кода числа. На первые входы логических схем ИЛИ поступают двоичные разряды меньшего числа. На вторые входы логических схем ИЛИ поступает информация с выходов предыдущих триггеров. Выходная информация с логических схем ИЛИ являются входной для триггеров. При поступлении управляющего сигнала МН - меньше на входы триггеров $Tr_1, Tr_2,$

Тр3,..., Трп из блока компарации, разрешающего записать информацию в триггера, происходит загрузка поступившего кода с выходов схем ИЛИ в триггера блока. Сигнал МН является входным управляющим сигналом для всех элементов памяти блока. По приходу управляющего сигнала сдвига СДВ из блока управления, поступающего на входы всех триггеров блока, осуществляется операция сдвига влево информации на один разряд. Двоичный код числа, записанный в триггерах будет сдвинут на один разряд влево. На выходе первого триггера Тр1 поочередно будет поступать очередной разряд числа после сигнала сдвига СДВ. Триггера этого блока образуют реверсивный регистр со сдвигом информации на один разряд влево.

Блок регистров результата БРГР (рис.6) содержит m - триггеров Тр m , где m - количество разрядов необходимое для получения результата заданной точности, для хранения двоичных разрядов результата. А также в состав блока входит триггер Тр3 предназначенный для хранения знакового разряда результата. В блоке регистров результата формируется поразрядно результат при выполнении операций сложения или вычитания. Перед началом работы сумматора-вычитателя по приходу из блока управления информационного сигнала УП происходит обнуление всех триггеров блока. Сигнал результата РЕЗ, поступающий из блока суммирования-вычитания, поступает на вход первого правого триггера Т m блока. По приходу управляющего сигнала сдвига СД из блока управления, поступающего на входы всех триггеров блока, осуществляется операция сдвига влево информации на один разряд по мере получения очередного разряда результата. Двоичный код числа, записанный в триггерах будет сдвинут на один разряд влево. Операция записи очередного разряда результата и сдвига будет осуществляться до тех пор пока не будет получен результата суммы или разности заданной точности. Полученный результата хранится в правой части триггеров, составляющих регистр для хранения суммы или разности. На вход триггера Тр3 из блока управления поступит управляющий сигнал РЗ - разрешение записи. После этого в триггер Тр3 запишется знаковый разряд результата - ЗнР (рис.6).

Блок регистров результата БРГР

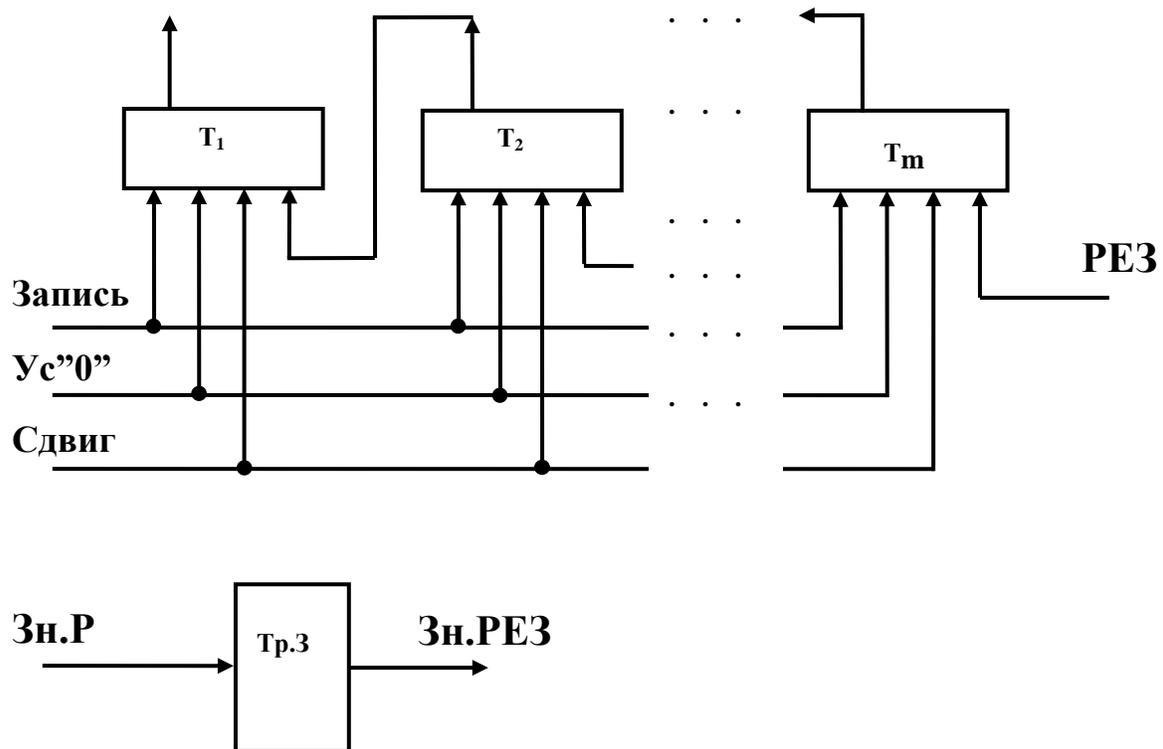


Рис.6

3. Содержательная ГСА управления приведена на рисунке 7 и отражает работу сумматора-вычитателя (рис.1)

По сигналам "У00" и "ПУСК" (блоки 2,4-граф-схемы алгоритма) происходит установка в нуль всех элементов памяти устройства, по команде "СБРОС:=1"(блок 3).

В блоке 5 алгоритма с помощью шифратора (клавиатуры) ШД осуществляется загрузка в сумматор-вычитатель чисел со своими знаками. Шифратор преобразует нажатие кнопки клавиатуры в двоичный эквивалент числа.

В блоке 6 алгоритма по командам: БКО:=А2, БКО:=В2 происходит подача на вход блока компарации чисел А и В в двоичной системе счисления. По операции суммы по модулю два определяется признак операции СВ - сумма или разность. По команде СВ:=Знр.А + Знр.В. Если СВ=0, то это означает выполнение суммы чисел. Если СВ=1, то это выполнение операции разности между числами.

В блоке 7 алгоритма на вход компаратора КОМ подаются числа A и B в двоичной системе счисления. По командам: КОМ:= A , КОМ:= B . По команде БРГР:=ЗнР в блок регистров результата БРГР подается знак результата.

В блоке 8 алгоритма анализируется выход из компаратора. Отношения между числами могут быть: БЛ больше, когда $A > B$, МН меньше, когда $A < B$ или числа равны РВ. Если числа не равны - выход НЕТ, то осуществляется переход на блок 12 алгоритма. Если числа равны - выход ДА, то происходит переход на блок 9 алгоритма.

В блоке 9 алгоритма анализируется знак (+ или -) результата ЗнР. Если знак равен единице, то это означает разность двух равных по модулю чисел. Результат в этом случае равен нулю. Если знак результата равен нулю, то это означает сумму двух равных по модулю чисел, знак результата будет равен знаку одного из слагаемых.

В блоке 10 алгоритма в блоке регистров результата БРГР в регистр результата записывается нулевое значение по команде БРГР:=0. Перед началом работы сумматора-вычитателя необходимо установить все триггеры регистра в нулевое состояние.

В блоке 11 алгоритма по командам: БРГБЧ:= B , БРГМЧ:= B осуществляется загрузка в регистры блоков большего числа БРГБЧ и меньшего числа БРГМЧ числа B . Это означает, что на вход компаратора поступили равные по модулю числа и с равными знаками. Происходит сложение по модулю чисел.

В блоке 12 алгоритма происходит анализ выходного сигнала компаратора КОМ на отношение больше или меньше, числа в этом случае не равны. Если число A больше числа B , то сигнал БЛ равен единице - выход ДА. Если число A меньше B , то сигнал БЛ равен нулю, в этом случае сигнал МН равен единице выход НЕТ. В этом случае осуществляется переход на блок 14 алгоритма.

В блоке 13 алгоритма по команде БРГБЧ:= A осуществляется загрузка большего числа A в регистр блока регистров большего числа. По команде БРГМЧ:= B число меньшее по модулю B загружается в регистр блока регистров меньшего числа БРГМЧ.

В блоке 14 алгоритма по команде БРГБЧ:= B осуществляется загрузка большего по модулю числа B в регистр блока регистров боль-

шего числа. По команде БРГМЧ:=А число меньшее по модулю А загружается в регистр блока регистров меньшего числа БРГМЧ.

В блоке 15 алгоритма анализируется признак операции СВ - сумма или разность. Если признак СВ равен нулю, то это означает, что числа А и В имеют одинаковые знаки. В этом случае будет выполнена операция сложение между слагаемыми. Если признак СВ равен единице, то знаки чисел разные, в этом случае будет выполнена операция вычитание из большего по модулю числа меньшего. При этом осуществляется переход на блок 19 алгоритма.

В блоке 16 алгоритма по командам: БОПЗ:=ВБЧ, БОПЗ:=ВМЧ в блок определения переноса, заема БОПЗ поступают числа из блоков регистров большего БРГБЧ и меньшего числа БРГМЧ для определения переноса из младших разрядов в старшие при сложении или для определения заема из старших разрядов в младшие при вычитании. По команде СЗП:=1 происходит отпирание электронного ключа блока суммирования вычитания для передачи переноса ПР из старших разрядов чисел А и В в блок регистров результата БРГР.

В блоке 17 алгоритма по команде БРГР:=ПР в блок регистров результата записывается полученный перенос ПР из старших разрядов чисел.

В блоке 18 алгоритма по команде СЗП:=0 происходит запираание электронного ключа по передаче переноса ПР из старших разрядов, подачей на управляющий вход нулевого значения.

В блоке 19 алгоритма по командам: БОПЗ:=not(ВБЧ), БОПЗ:=ВМЧ происходит подача в блок определения переноса, заема БОПЗ инверсных значений большего по модулю числа not(ВБЧ) из блока регистров большего числа БРГБЧ и прямых значений меньшего числа ВМЧ из блока регистров меньшего числа БРГМЧ для осуществления операции вычитания между числами.

В блоке 20 алгоритма по командам: БСВ:=ЧБ, БСВ:=ЧМ, БСВ:=ПЗ осуществляется подача очередных разрядов большего числа - ЧБ, меньшего числа - ЧМ, а также переноса, заема - ПЗ для сложения-вычитания операндов на вход блока суммирования-вычитания БСВ.

В блоке 21 счетчик количества разрядов результата устанавливается в нулевое состояние $i:=0$.

В блоке 22 алгоритма анализируется признак получения разрядов результата ППР. Если все разряды суммы или разности получены - выход ДА, то осуществляется переход на 27 блок алгоритма. Если не все разряды получены - выход НЕТ, то формируется цикл для получения очередных разрядов результата. Процесс сдвига влево на один разряд двоичных чисел в регистрах устройства продолжается.

Блоки 23 - 26 алгоритма образуют цикл получения всех разрядов результата. Целая часть получается всегда. Дробная часть формируется по мере задания точности результата - количества разрядов после запятой. Точность результата задается пользователем. При получении дробной части результата применяется операция округления, а затем усечения результата.

В блоке 23 алгоритма по команде БРГР:=РЕЗ происходит запись очередного разряда результата в блок регистров результата БРГР. При этом осуществляется сдвиг информации влево на один разряд по приходу управляющего сигнала из блока управления.

В блоке 24 алгоритма по командам: БРГБЧ:=ССД, БРГМЧ:=СДВ из блока управления БУ подаются сигналы сдвига влево ССД и СДВ на входы регистров блоков большего числа и меньшего числа. Подача осуществляется для сдвига информации регистров на один разряд влево для получения следующего разряда результата.

В блоке 25 алгоритма по команде БРГР:=СД подается сигнал сдвига влево информации на один разряд - СД, на вход регистра результата блока регистров результата БРГР из блока управления БУ. Сигнал подается для записи очередного полученного разряда результата.

В блоке 26 алгоритма счетчик i увеличивается на единицу $i:=i+1$. При выходе из блока 26 осуществляется переход на блок 22 алгоритма, где вновь происходит проверка признака - ППР получения всех разрядов результата.

В блоке 27 алгоритма по команде ТрЗ:=ЗнР осуществляется запись знакового разряда результата в триггер ТрЗ блока регистров результата БРГР. По команде БРГР:=РЕЗ происходит запись окончательного результата РЕЗ в блок регистров результата БРГР.

Блок 28 алгоритма является конечным блоком алгоритма.

БЛОК-СХЕМА АЛГОРИТМА СУММАТОРА-ВЫЧИТЕЛЯ

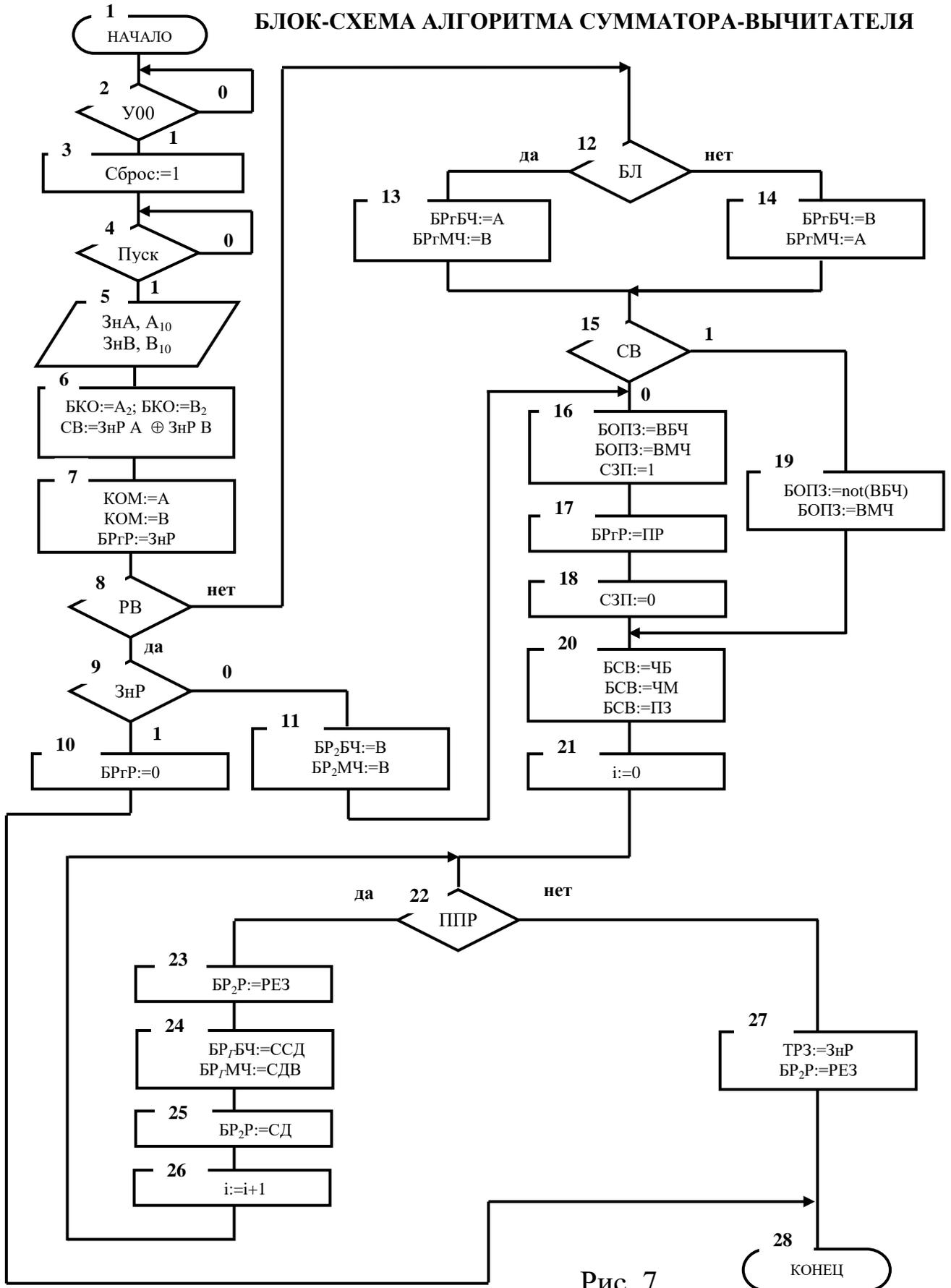


Рис. 7

4. Содержание отчета

Отчет должен содержать:

- титульный лист;
- задание и структурную схему сумматора-вычитателя;
- блок-схему алгоритма работы сумматора-вычитателя;
- схему программы;
- текст программы;
- результаты работы программы.

Контрольные вопросы

1. Какую структуру имеет сумматор-вычитатель. Назовите основные блоки устройства.
2. Как определяется перенос и заем из старшего разряда большего числа.
3. Укажите формулу, по которой определяется сигнал суммы-вычитания СВ.
4. По какой формуле вычисляется пороговое напряжение мажоритарного элемента, определяющего переносы в старшие разряды при выполнении операции суммирования и заемы из старших разрядов в младшие при выполнении операции вычитания.
5. Какую функцию выполняет компаратор КОМ устройства.
6. Как происходит определение большего и меньшего числа при выполнении операции вычитания.
7. Как определяется пороговое напряжение порогового и мажоритарного элементов.
8. Как реализуются основные булевы функции на пороговых и мажоритарных элементах.
9. Как реализовать сумматор по модулю два на нейрopodobном элементе.
10. Укажите основные блоки и функции сумматора-вычитателя на нейронах старшими разрядами вперед.
11. Как формируется знаковый разряд результата.
12. В каком блоке устройства хранится результат операции суммирования или вычитания.

Библиографический список

1. Уоссермен Ф. Нейрокомпьютерная техника. – М.: Мир, 1992 г.
2. Мкртчян С.О. Проектирование логических устройств ЭВМ на нейронных элементах. - М.: Энергия, 1977 г.
3. Дертоузос М. Пороговая логика. - М.: Мир, 1967 г.
4. Вавилов Е.И. и др. Синтез схем на пороговых элементах. - М.: Сов. радио. 1970 г.
5. Галушкин А.И. Синтез многослойных схем распознавания образов. М.: Энергия, 1974 г.
6. Позин И.В. Моделирование нейронных структур. - М.: Наука, 1970 г.