

Документ подписан простой электронной подписью  
Информация о владельце:  
ФИО: Таныгин Максим Олегович  
Должность: и.о. декана факультета фундаментальной и прикладной информатики  
Дата подписания: 21.09.2023 13:08:50  
Уникальный программный ключ:  
65ab2aa0d384efe8480e6a4c688eddbc475e411a

## МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное  
учреждение высшего профессионального образования  
«Юго-Западный государственный университет»  
(ЮЗГУ)

Кафедра программной инженерии

УТВЕРЖДАЮ  
Проректор по учебной работе  
О.Г. Локтионова  
\_\_\_\_\_ 2015 г.



### ИССЛЕДОВАНИЕ ПРОЦЕССОРА НА УРОВНЕ МИКРООПЕРАЦИЙ

Методические указания по выполнению лабораторной работы по  
дисциплине «Теория вычислительных процессов» для студентов  
направления подготовки 231000.62

Курск 2015

УДК 681.3

Составитель: А.В. Малышев

Рецензент

Кандидат технических наук, начальник отдела информатизации ГУ  
КРО ФСС РФ *А.Ф. Рубанов*

**Исследование процессора на уровне микроопераций** : методические указания по выполнению лабораторной работы по дисциплине «Теория вычислительных процессов» / Юго-Зап. гос. ун-т; сост. А.В. Малышев. Курск, 2015. 19 с.: ил. 7. Библиогр.: с. 19

Содержат сведения по вопросам синтеза и моделирования микроопераций процессора, а также информацию, касающуюся структуры его типичного арифметико-логического устройства. Приведен пример микропрограммного моделирования, а также варианты блок-схем соответствующих микропрограмм.

Предназначены для студентов направления подготовки 231000.62.

Текст печатается в авторской редакции

Подписано в печать . Формат 60x84 1/16  
Усл. печ. л. . Уч.-изд. л. . Тираж 100 экз. Заказ. Бесплатно.  
Юго-Западный государственный университет.  
305040, г. Курск, ул. 50 лет Октября, 94.

## 1. ЦЕЛЬ РАБОТЫ.

Целью настоящей работы является изучение состава, содержания и моделирования микроопераций процессора, а также структуры кодированной микропрограммы выполнения команд.

## 2. ОПИСАНИЕ МИКРОКОМАНД.

Микрокоманда процессора представляется в виде набора микроопераций: 1 – выдачи на шину данных, 2 – преобразования в арифметико-логическом устройстве (АЛУ) и приёма в буферный регистр, 3 – приёма результата преобразования в регистры процессора из буферного регистра, 4 – пересылки между регистрами процессора. Такое представление микрокоманд характерно для процессора, выполняющего в каждый такт времени только одну операцию [1]. Рассмотрим содержание микроопераций.

Микрооперации выдачи описываются следующим образом:

$$\text{Ш1}:=\text{РА}, \text{Ш2}:=\text{А},$$

где Ш1 – шина данных 1, Ш2 – шина данных 2, РА – регистр адреса, А – аккумулятор. В результате выполнения микрооперации выдачи данные выбранных регистров направляют по шинам 1 и 2 в АЛУ.

Микрооперации преобразования имеют следующий вид:

$$\text{À1} = \text{Ø 1}, \text{À1} = \overline{\text{Ø 1}}$$

$$\text{À2} = \text{Ø 2}, \text{À2} = \overline{\text{Ø 2}}$$

$$\text{à} = 1, \text{à} = 0$$

$$\text{ÁÐ} = \text{À1} + \text{À2} + \text{à}$$

$$\text{ÁÐ} = \text{À1} \& \text{À2},$$

где  $A1, A2, a$  – входы АЛУ,  $\overline{\emptyset 1}, \overline{\emptyset 2}$  - инверсные значения данных шин Ш1 и Ш2, БР – буферный регистр, принимающий результат сложения данных или логического умножения.

Микрооперации приёма данных из буферного регистра записывается в виде:

$$РД:=БР,$$

где РД – регистр данных, БР – буферный регистр.

В соответствии с функциями представленных микроопераций все микрокоманды процессора записываются в виде набора микроопераций [2]. В таблице 1 дано описание микрокоманд процессора, причём каждой микрокоманде соответствует отдельная её строка. Записанные микрооперации выдачи, преобразования и приёма, выполняемые микрокомандой, в строке таблицы раскрывают её содержание.

Так, содержанием микрокоманды БР=СК является выполнение микроопераций выдачи:

$$Ш1:=0, Ш2:=СК,$$

преобразования:

$$A1:=0, A2:=Ш2, a:=0,$$

$$БР:=A1+A2+a=A2+0.$$

Аналогично читаются из таблицы другие микрокоманды.

Например:

$$БР=СК+1: \quad Ш1:=0, Ш2:=СК,$$

$$A1:=0, A2:=Ш2, a:=1,$$

$$БР:=A1+A2+a=A2+1.$$

$$БР=РД: \quad Ш2:=РД, Ш1:=0,$$

$$A1:=0, A2:=Ш2, a:=0,$$

$$БР:=A1+A2+0=A2+0.$$

$$БР=РД+1: \quad Ш1:=0, Ш2:=РД,$$

$$A1:=Ш1, A2:=Ш2, a:=1,$$

$$БР:=A1+A2+a=A2+1.$$

$$БР=СК+1: \quad Ш1:=0, Ш2:=СК,$$

$$A1:=Ш1, A2:=Ш2, a:=1,$$

$$БР:=A1+A2+a=A1+A2+1.$$

Таблица 1

## Микрооперационное описание микрокоманд

МК	ВЫДАЧА		ПРЕОБРАЗОВАНИЕ				ПРИЁМ
	Ш1:=	Ш2:=	A1:=	A2:=	a:=	БР:=	:=БР
СК->БР	-	СК	-	Ш2	-	A1+A2	-
БР->РА	-	-	-	-	-	-	РА
СК+1->БР	-	СК	Ш1	Ш2	1	A1+A2+1	-
БР->СК	-	-	-	-	-	-	СК
РД->БР	-	РД	-	Ш2	-	-	-
БР->РК	-	-	-	-	-	-	РК
ОП(РА) ->РД	-	-	-	-	-	-	-
РД+1->БР	-	РД	-	Ш2	1	A1+A2+1	-
БР->РД	-	-	-	-	-	-	РД
РД->ОП(РА)	-	-	-	-	-	-	-
СК+1->БР	-	СК	Ш1	Ш2	1	A1+A2+1	-
A+COM(0) ->БР	A	-	Ш1	$\overline{\emptyset 2}$	-	A1+A2	-
A+1->БР	A	-	Ш1	-	1	A1+A2+1	-
0->БР	-	-	-	-	-	A1&A2	-
COM(A) ->БР	A	-	$\overline{\emptyset 1}$	-	-	-	-
RAL(A) ->БР	RAL(A)	-	-	-	-	-	-
RAR(A) ->БР	RAR(A)	-	-	-	-	-	-
РД+COM(0) ->БР	-	РД	$\overline{\emptyset 1}$	Ш2	-	-	-
A&РД->БР	A	РД	Ш1	Ш2	-	A1&A1	-
БР->A,N,Z	-	-	Ш1	Ш2	-	A1+A2	A,N,Z
A->БР	A	-	-	-	-	A1+A2	-

Полученное описание микрокоманд позволяет представить список микроопераций (таблица 2), обеспечивающих выполнение любой из команд. Состав операционных устройств (таблица 3), позволяющих реализовать любую из команд, список микроопераций, указывающих на взаимодействие, взаимосвязь между операционными устройствами, дают возможность представить структуру операционного устройства процессора (рис. 1). Входы 1, 2, АЛУ являются выходами преобразователя данных шин 1 и 2 данных. Шины 1, 2 данных являются выходами преобразователя данных регистров, подключенных к нему.

При моделировании на микрооперационном уровне регистрируются данные на всех операционных устройствах, участвующих в цепях передачи и преобразования данных микрокоманды. Таблица 4 микрооперационного моделирования процессора в отличие от микрокомандного дополняется колонками регистрации результатов операционных устройств промежуточного преобразования данных при выполнении микрокоманды (Ш1, Ш2, А1, А2, *a*).

Список кодированных условий представлен в таблице 5. Содержание разрядов регистра состояний показано на рис. 2. Пример микрооперационного моделирования показан в таблице 6. Колонки Ш1, Ш2, А1, А2 заполняются на основании содержания кодированных микроопераций  $Y$  [3].

### **3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ**

1. Изучить структуру процессора, содержание, состав микроопераций и микропрограммы выполнения арифметико-логических команд на микрооперационном уровне (рис. 3-7).

2. Составить программу моделирования на микрооперационном уровне арифметико-логических команд.

3. Выполнить моделирование в пошаговом режиме составленной программы на модели процессора и зарегистрировать результаты.

4. Заполнить таблицу моделирования в соответствии с выполненными микрооперациями.

## Список микроопераций

№ п/п	Содержание микрооперации	Код микрооперации
1	ОСТАНОВ	Y0
2	Ш2:=РД	Y1
3	Ш2:=РК	Y2
4	Ш2:=СК	Y3
5	Ш1:=А	Y4
6	Ш1:=РС	Y5
7	$A1 := \overline{\emptyset 1}$	Y7
8	$A2 := \overline{\emptyset 2}$	Y8
9	БР:=А1&А2	Y9
10	$a := 1$	Y10
11	Ш1:=RAR(A)	Y11
12	Ш1:=RAL(A)	Y12
13	С:=БР	Y13
14	Н:=БР	Y14
15	З:=БР	Y15
16	С:=0	Y16
17	С:=1	Y17
18	РА:=БР	Y18
19	РД:=БР	Y19
20	РК:=БР	Y20
21	СК:=БР	Y21
22	А:=БР	Y22
23	РД:=ОП(РА)	Y23
24	ОП(РА):=РД	Y24
25	В:=РД	Y25
26	Ф:=0	Y26
27	РазрПРЕ:=0	Y27
28	РазрПРЕ:=1	Y28
29	БР:=А1+А2+ $a$	$\overline{Y9}$
30	$a := 0$	$\overline{Y10}$

Таблица 3

## Состав операционных устройств

№ п/п	Операционное устройство	Обозначение
1	Регистр адреса ячейки памяти	РА
2	Аккумулятор	А
3	Счетчик команд	СК
4	Ячейка оперативной памяти	ОП (РА)
5	Триггер переноса	С
6	Регистр внешнего устройства В	В
7	Триггер разрешения прерывания	Разр. ПРЕ
8	Триггер знака	N
9	Триггер нуля аккумулятора	Z
10	Регистр состояния	РС
11	Буферный регистр	БР
12	Регистр данных оперативной памяти	РД
13	Регистр команд	РК
14	Триггер состояния флага	СФ
15	Шина1 данных	Ш1
16	Шина2 данных	Ш2
17	Вход1 АЛУ	А1
18	Вход2 АЛУ	А2
19	Вход3 АЛУ	<i>a</i>

5. Изучить микропрограмму выполнения команд передачи управления на микрооперационном уровне и провести исследования в соответствии с пунктами 2-4.

6. Изучить микропрограмму выполнения команды перехода к подпрограмме на микрооперационном уровне и провести исследования в соответствии с пунктами 2-4.



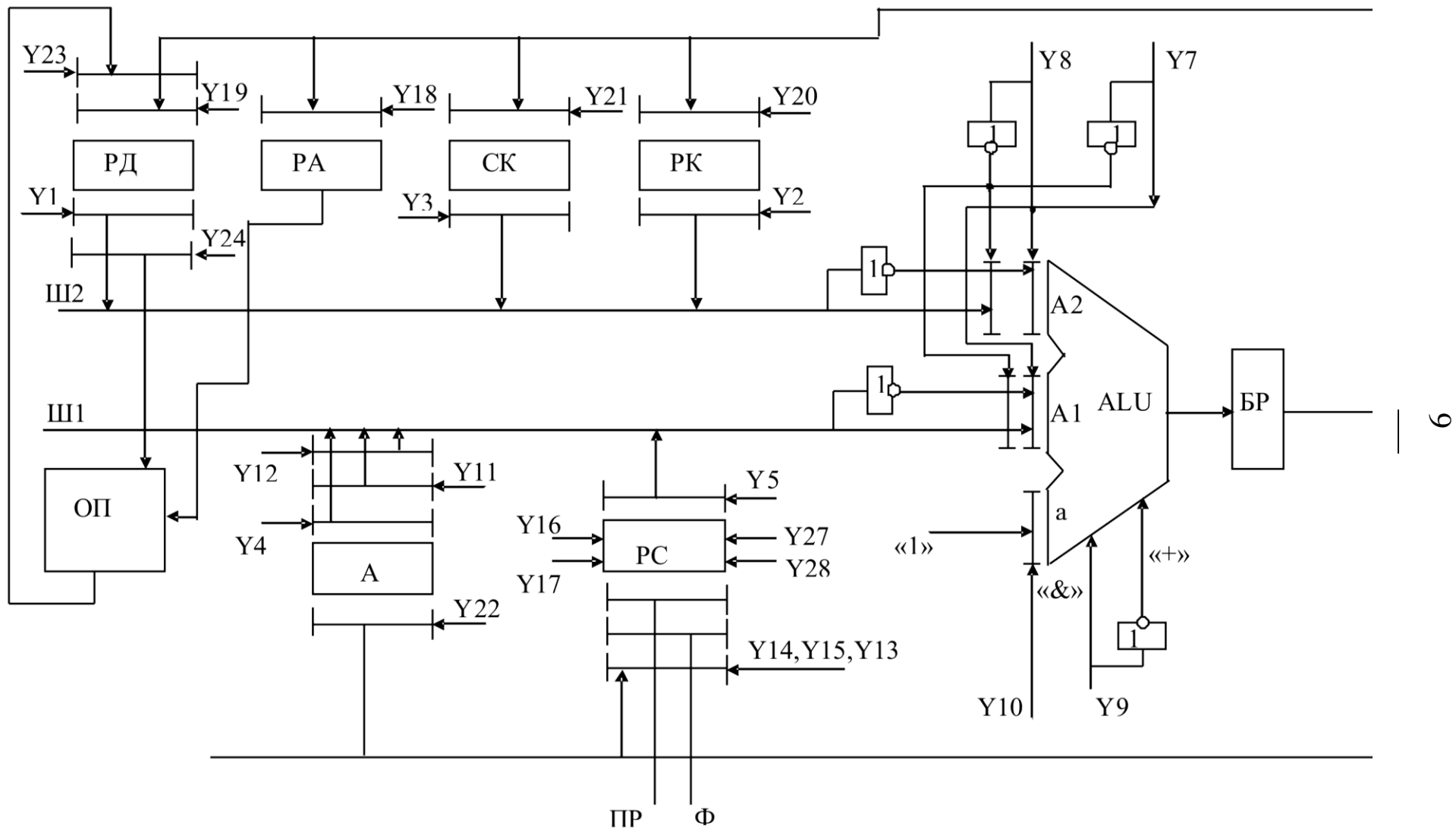


Рис. 1. Структура операционного устройства

Таблица 4

Результаты микрооперационного моделирования

№ шага	РА	РД	ОП[РА]	СК	РК	А	БР	С	N	Z	Ш1	Ш2	А1	А2	<i>a</i>	Микрооперации

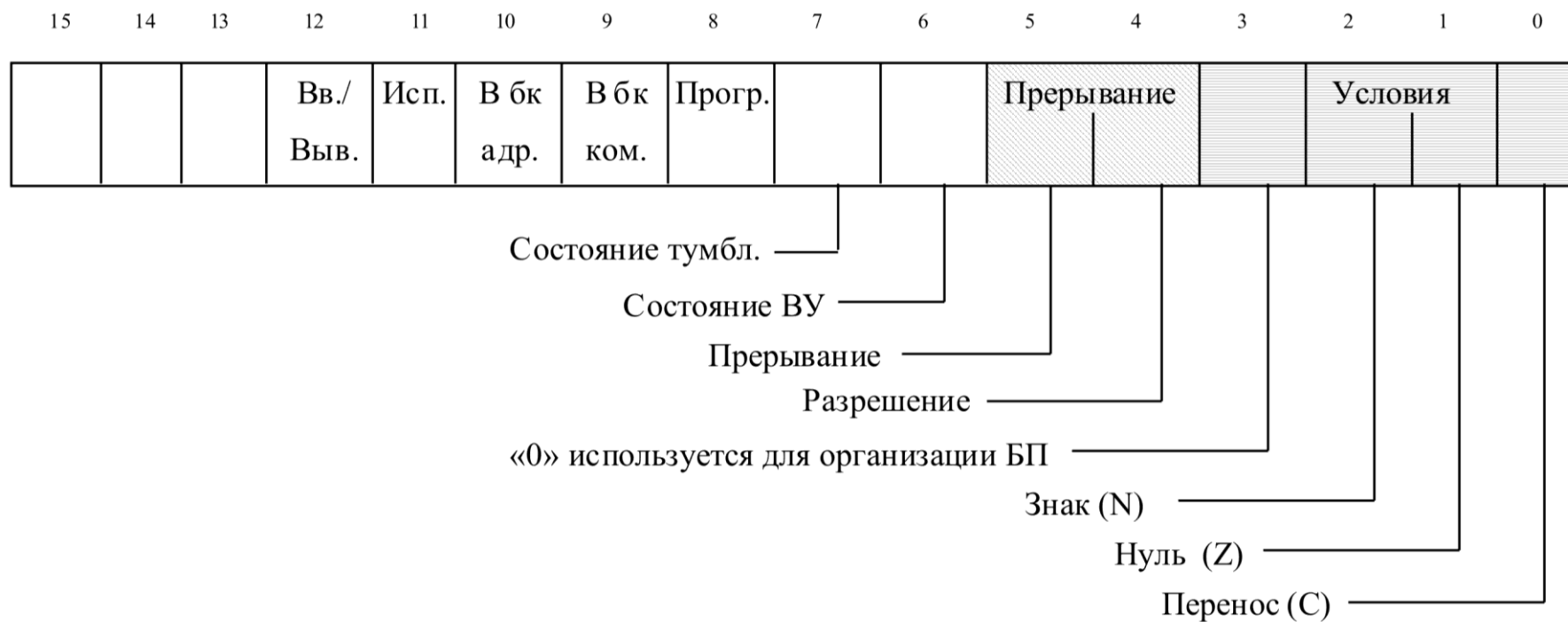


Рис. 2. Содержание разрядов регистра состояний (РС)

## Список логических условий

<b>Условие</b>	<b>Код</b>	<b>Примечание</b>
РК (15)	$x_1$	КОП
РК (14)	$x_2$	
РК (13)	$x_3$	
РК (12)	$x_4$	
РК (3)	$x_5$	Разряды адреса
РК (4)	$x_6$	
РК (5)	$x_7$	
РК (6)	$x_8$	
РК (7)	$x_9$	
РК (8)	$x_{10}$	
РК (9)	$x_{11}$	
РК (10)	$x_{12}$	
РС (2)	$x_{13}$	Знак
РС (1)	$x_{14}$	Нуль
РD (15)	$x_{15}$	Знак
РК (11)	$x_{16}$	Признак адресации
РС (0)	$x_{17}$	Перенос
РС (7)	$x_{18}$	ПСК/ОБ
РС (5)	$x_{19}$	Прерывание

Таблица 6

## Пример микрооперационного моделирования команды ADD

Микро-команда	СК	БР	РА	РД	РК	А	Ш1	Ш2	А1	А2	<i>a</i>	С	N	Z
Ш2:=СК, А2:=Ш2, БР:=А1+А2+0	020	0020	000	0000	0000	0000	0000	0020	0000	0020	0000	0000	0000	0000
РА:=БР	020	0020	020	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
Ш2:=СК, А2:=Ш2, <i>a</i> :=1 БР:=А1+А2+1 РД:=ОП(РА)	020	0021	020	4002	0000	0000	0000	0020	0000	0020	1	0000	0000	0000
СК=БР	021	0021	020	4002	0000	0000	0000	0000	0000	0000	0000	0000	0000	0000
Ш2:=РД, А2:=Ш2, БР:=А1+А2+0	021	4002	020	4002	0000	0000	0000	4002	0000	4002	0000	0000	0000	0000
РК=БР	021	4002	020	4002	4002	0000	0000	0000	0000	0000	0000	0000	0000	0000
Ш2:=РК, А2:=Ш2, БР:=А1+А2+0	021	4002	020	4002	4002	0000	0000	4002	0000	4002	0000	0000	0000	0000
Ш2:=РД, А2:=Ш2, БР:=А1+А2+0	021	4002	020	4002	4002	0000	0000	4002	0000	4002	0000	0000	0000	0000
РА:=БР	021	4002	002	4002	4002	0000	0000	0000	0000	0000	0000	0000	0000	0000
Ш2:=РК, А2:=Ш2, БР:=А1+А2+0	021	4002	002	4002	4002	0000	0000	4002	0000	4002	0000	0000	0000	0000
РД:=ОП(РА)	021	4002	002	3001	4002	0000	0000	0000	0000	0000	0000	0000	0000	0000

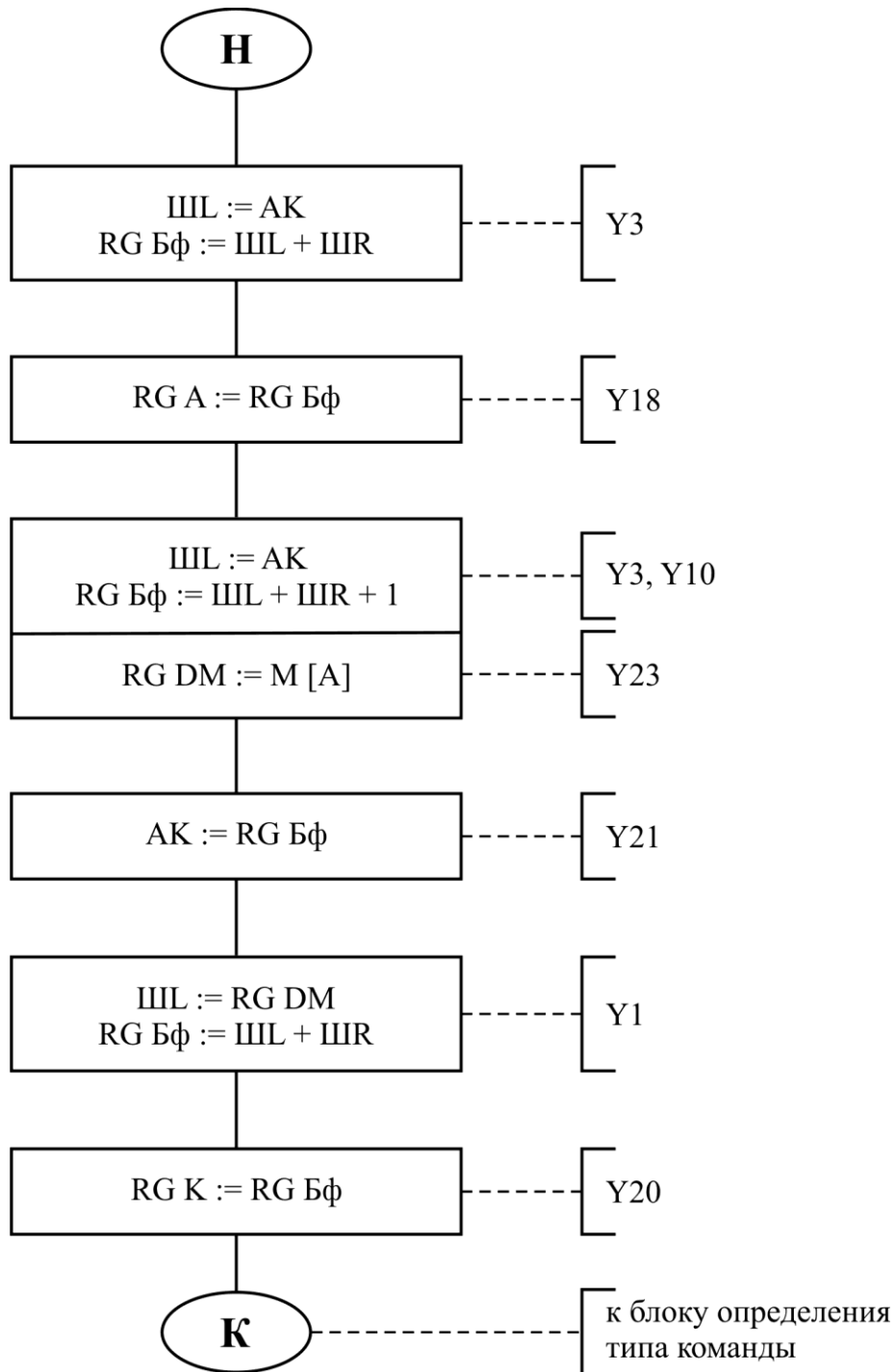


Рис. 3. Цикл выборки команды

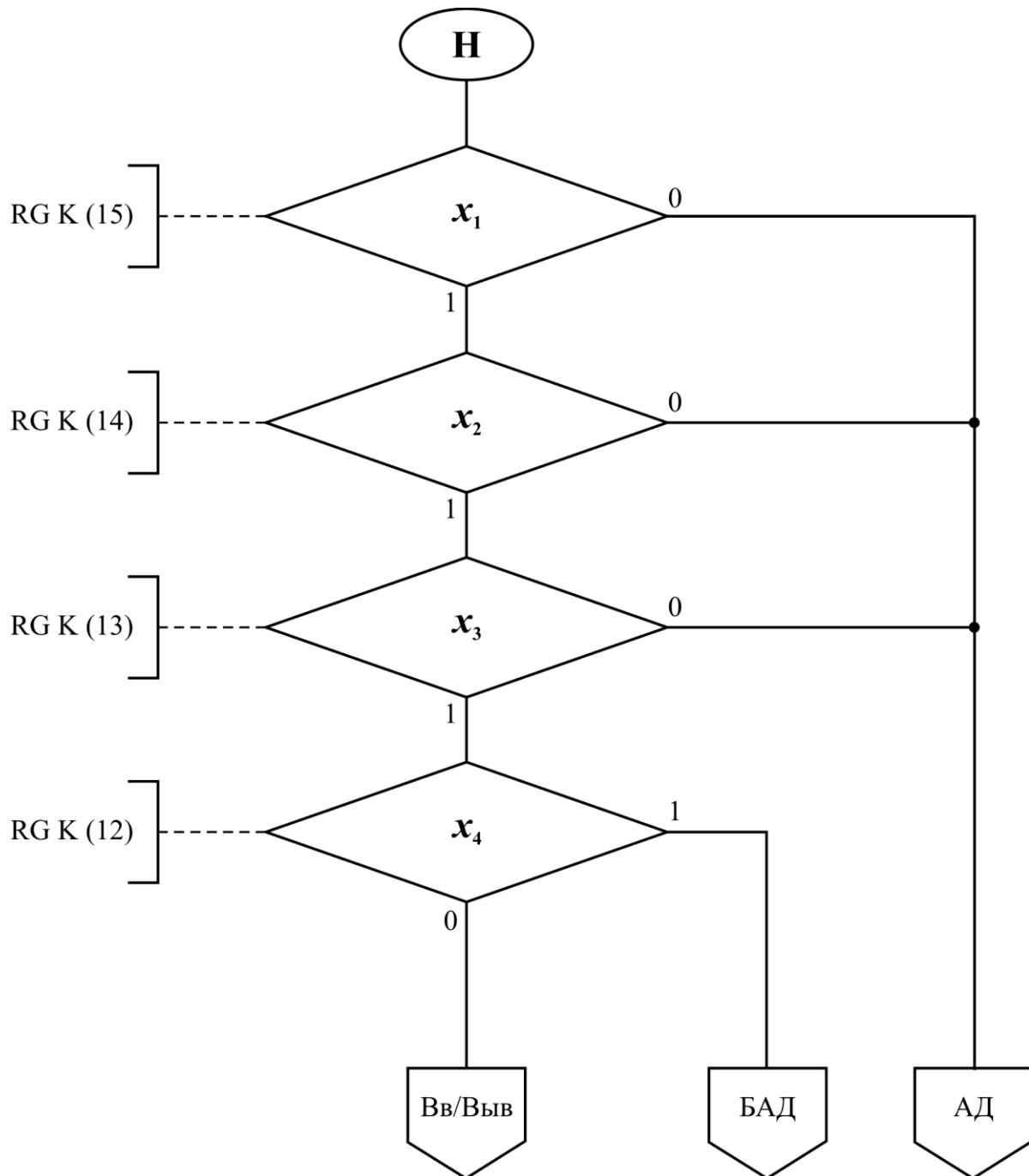


Рис. 4. Микропрограмма определения типа команды

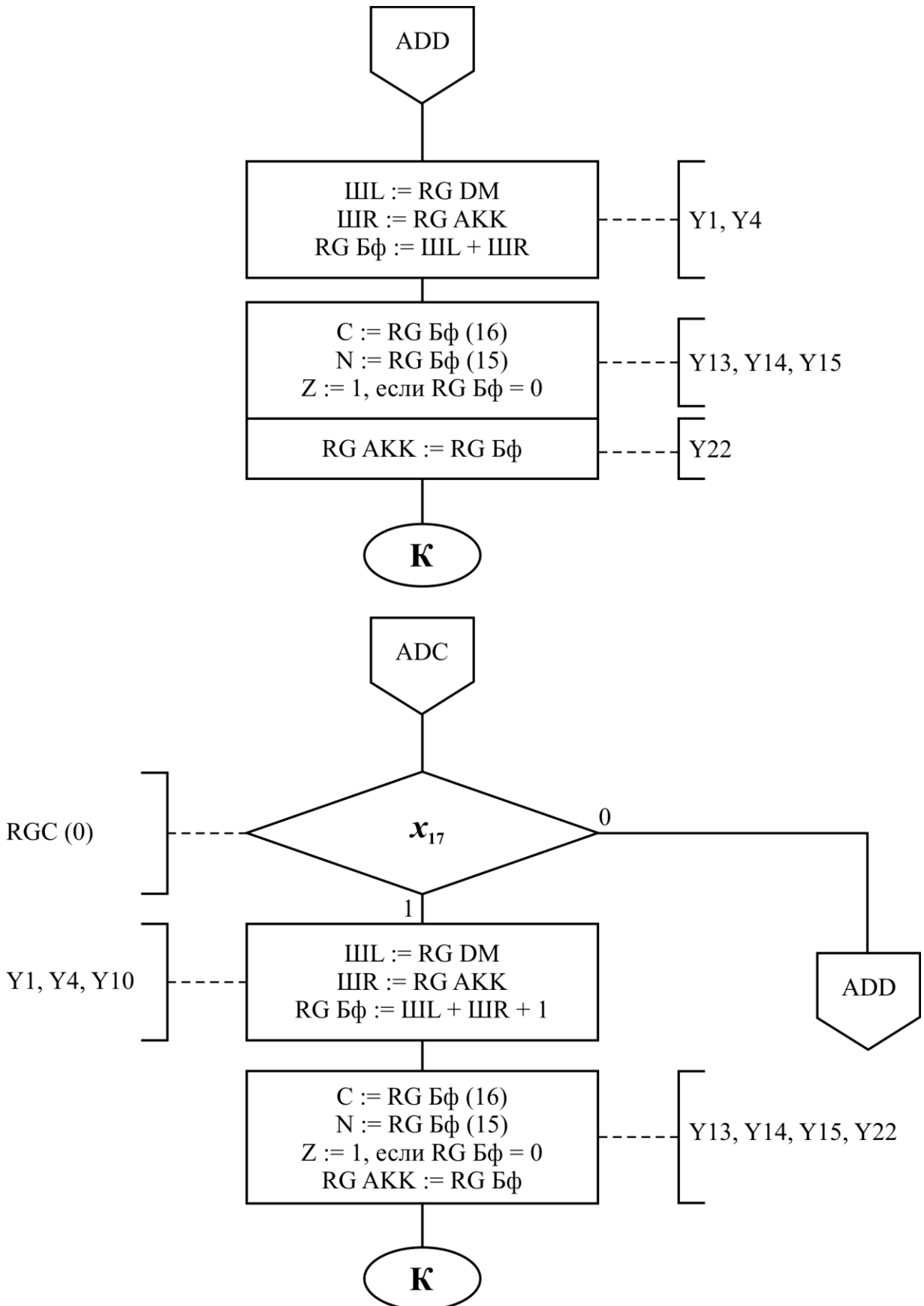


Рис. 5. Микропрограмма арифметико-логических операций

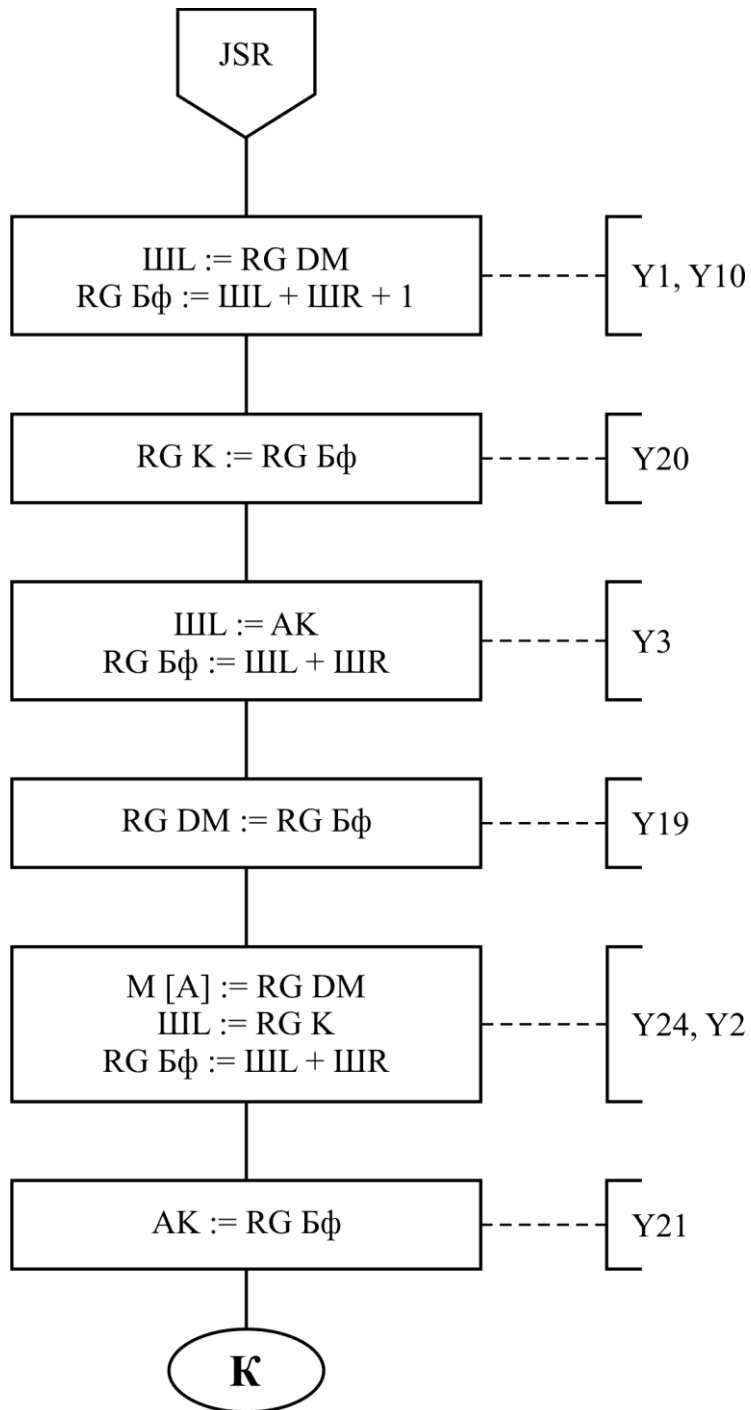


Рис. 6. Микропрограмма обращения к подпрограмме



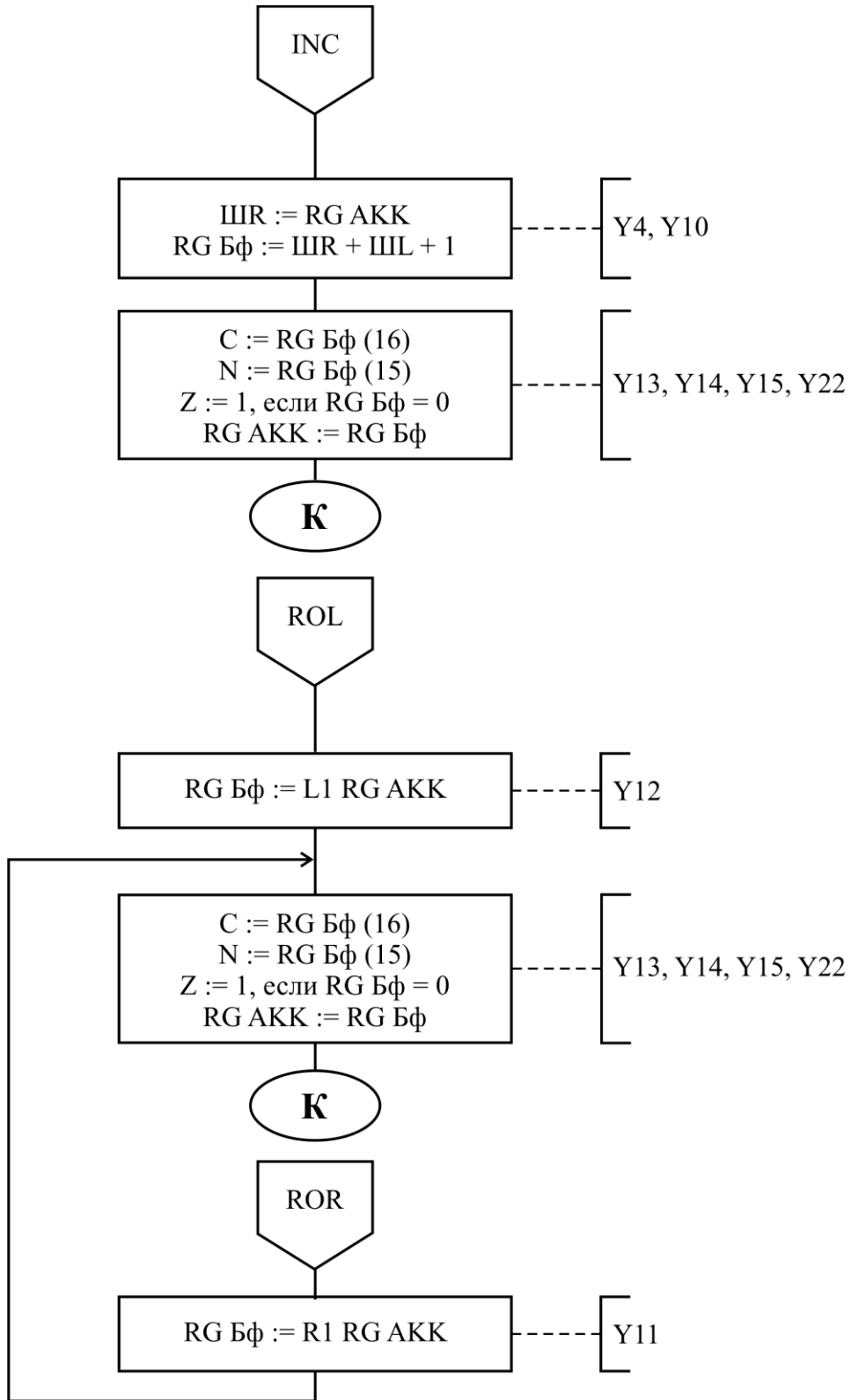


Рис. 7. Микропрограмма управления операционными устройствами

#### **4. СОДЕРЖАНИЕ ОТЧЁТА.**

1. Цель работы.
2. Кодированная микропрограмма выполнения арифметико-логических команд.
3. Кодированная микропрограмма выполнения команд передачи управления.
4. Кодированная микропрограмма выполнения команды перехода к подпрограмме.
5. Структура операционного автомата процессора.
6. Программа исследования арифметико-логических команд.
7. Таблица результатов моделирования.
8. Программа исследования команд передачи управления.
9. Таблица результатов моделирования микропрограммы выполнения команд передачи управления.
10. Программа исследования команды перехода к подпрограмме.
11. Таблица результатов моделирования микропрограммы выполнения команды перехода к подпрограмме.

#### **5. КОНТРОЛЬНЫЕ ВОПРОСЫ.**

1. Какие действия выполняются при реализации микрокоманды?
2. Как выполняются микрооперации выдачи?
3. Какие действия выполняются в микрооперации преобразования?
4. Как выполнить переход от описания микрооперации к цепям преобразования в структуре процессора?
5. Какие микрооперации преобразования выполняются в арифметико-логическом устройстве?
6. Как строится таблица описания микрокоманд набором микроопераций?

7. Какие операционные устройства включаются в таблицу результатов микрооперационного моделирования?

### **БИБЛИОГРАФИЧЕСКИЙ СПИСОК.**

- 1) Макконелл Дж. Анализ алгоритмов. Активный обучающий подход [Текст] : учебное пособие / Дж. Макконелл - М.: Техносфера, 2009. - 416 с.
- 2) Мелехин В.Ф. Вычислительные машины, системы и сети [Текст] : учебник / В.Ф. Мелехин, Е.Г. Павловский. - М.: Академия, 2010. - 560 с.
- 3) Юров В.И. Assembler [Текст] : учебник / В.И. Юров. - СПб.: Питер, 2010. - 637 с.