

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное
образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра космического приборостроения и средств связи

УТВЕРЖДАЮ

Проректор по учебной работе

О.Г.Локтионова

2017 г.



ПРОЕКТИРОВАНИЕ СТРУКТУРЫ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Методические указания по выполнению курсовой работы
для студентов специальностей 11.03.02, 11.03.03

УДК 681.3

Составитель В.Н. Усенков

Рецензент

Доктор технических наук, профессор *И.Е. Чернецкая*

Проектирование структуры микропроцессорной системы: методические указания по выполнению курсовой работы / Юго-Зап. гос. ун-т; сост.: В.Н. Усенков. - Курск, 2017. - 68 с.: ил.36, табл. 12, прилож. 3. - Библиогр.: с. 64.

Изложены сведения по основным вопросам проектирования микропроцессорной системы. Приведены примеры схмотехнических решений. Описывается порядок выполнения курсовой работы. Приводятся рекомендации по оформлению пояснительной записки и графического материала.

Методические указания соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальностям автоматике и электроники (УМО АЭ).

Предназначены для студентов специальностей 11.03.02, 11.03.03 дневной и заочной форм обучения.

Текст печатается в авторской редакции

Подписано в печать . Формат 60x84 1/16.
Усл.печ.л. 3,95 . Уч.изд.л. 3,58 . Тираж 100 экз. Заказ. Бесплатно.
Юго-Западный государственный университет.
305040, г. Курск, ул. 50 лет Октября, 94.

Содержание

Введение	4
1 Структурная схема микропроцессорной системы	7
2 Анализ различий и особенностей микропроцессоров и микро-ЭВМ	12
3 Распределение адресного пространства	16
4 Проектирование дешифратора адреса	21
5 Проектирование подсистемы ввода	25
6 Проектирование подсистемы вывода	29
7 Проектирование подсистемы памяти данных	33
8 Проектирование подсистемы памяти команд	39
9 Проектирование подсистемы ввода-вывода с применением микросхемы 8255	44
10 Функциональная схема микропроцессорной системы	49
11 Конструктивные особенности микропроцессорной системы	54
12 Оформление пояснительной записки курсовой работы	62
Список литературы	64
Приложение А – Сведения о некоторых микросхемах ОЗУ	65
Приложение Б – Сведения о некоторых микросхемах ПЗУ	67
Приложение В – Габаритные размеры некоторых корпусов	68

Введение

Современные электронные устройства, приборы и системы для задач управления, как правило, проектируются с применением микропроцессоров или микро – ЭВМ. Цель выполнения данной курсовой работы – приобретение начальных навыков проектирования таких систем и ознакомление с существующими подходами к решению подобных задач.

В тематику включены основные подсистемы микропроцессорной системы: память команд и данных, устройства ввода и вывода, дешифратор адреса. Некоторые важные задачи рассмотрены обзорно, например полное согласование подсистем по временным и электрическим параметрам. Это связано с тем, что в соответствии с учебным планом данная тематика будет впоследствии поддержана изучением других дисциплин.

Техническое задание на проектирование включает в себя:

- тип микропроцессора, являющегося основой проектируемой микропроцессорной системы (МПС);
- информационный объем памяти команд;
- информационный объем памяти данных;
- минимальное количество линий ввода цифровой информации;
- минимальное количество линий вывода цифровой информации;
- тип интерфейсов, которые должна поддерживать МПС;
- перечень дополнительных периферийных устройств.

Основные задачи, которые должны быть решены при выполнении курсовой работы, следующие:

- распределение адресного пространства микропроцессорной системы в соответствии с требуемыми объемами для памяти команд, памяти данных и устройств ввода – вывода (УВВ);
- проектирование подсистемы памяти команд;
- проектирование подсистемы памяти данных;
- проектирование подсистемы ввода - вывода;
- проектирование интерфейсной части системы;

- согласование подсистем с микропроцессором.

Для решения обозначенных задач необходимо выполнить следующие работы:

- изучение характеристик микропроцессора, на котором базируется проектируемая система;
- изучение характеристик микросхем памяти, на основе которых будет построена подсистема памяти команд;
- изучение характеристик микросхем памяти, на основе которых будет построена подсистема памяти данных;
- изучение способов построения устройств *вывода* цифровых сигналов и характеристик соответствующих микросхем;
- изучение способов построения устройств *ввода* цифровых сигналов и характеристик соответствующих микросхем;
- изучение основных свойств интерфейсов для осуществления взаимодействия проектируемой МПС с другим оборудованием.

Конечным продуктом выполнения курсовой работы является отчет, включающий в себя графический материал. Графический материал должен содержать:

- таблицу распределения адресного пространства;
- структурную схему разработанной МПС;
- функциональную схему разработанной МПС;
- схему расположения элементов на печатной плате.

В качестве базового демонстрационного примера для проектирования в дальнейшем рассматривается система, соответствующая следующим входным данным:

- микропроцессор - intel 8085;
- память команд – 4К;
- память данных – 4К;
- устройств ввода – 1, не менее 8 линий;
- устройств вывода – 1, не менее 8 линий.

В некоторых случаях для демонстрации особенностей подсистем приводятся примеры с другими параметрами, что уточняется для каждого случая.

В рамках подготовки к выполнению курсовой работы полезно ознакомиться с литературой [1], [2]. В процессе выполнения заданий по большинству рассматриваемых тем можно воспользоваться сведениями из справочника [3]. При изучении тем по вопросам применения микросхем памяти следует опираться на источники [4], [5].

1 Структурная схема МПС

Рассмотрим процесс построения структурной схемы МПС, пошагово усложняя ее вид.

В начале проектирования о системе известно, что в ее основе лежит один из множества микропроцессоров. Однако для функционирования микропроцессора по заданному алгоритму, необходимо этот алгоритм реализовать в виде последовательности команд. С этой целью необходимо дополнить систему памятью команд. Кроме того, для хранения промежуточных результатов вычислений или иных целей, следует обеспечить наличие памяти данных, как это показано на рисунке ниже. Задание на проектирование включает еще несколько обязательных элементов, некоторые из которых показаны на следующем рисунке.

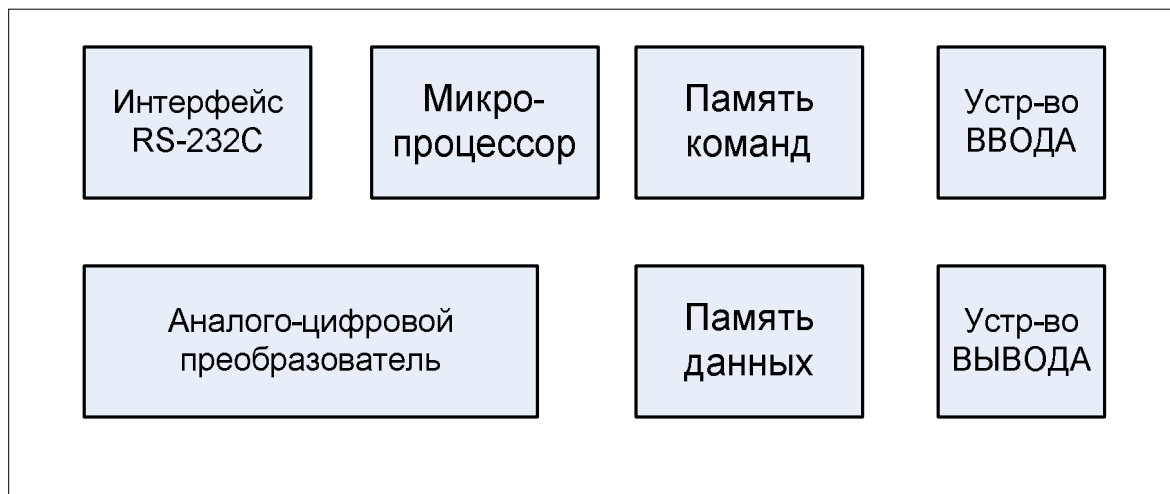


Рисунок 1 – Состав микропроцессорной системы

Структурная схема по своему назначению не ограничивается перечислением элементов системы: также необходимо обозначить взаимосвязи между этими элементами. Следующий рисунок 2а) показывает наличие информационного обмена между микропроцессором и двумя видами памяти.

Память любого вида может состоять из нескольких микросхем. И в этом случае при расширении системы по заявленному варианту необходимо обеспечить индивидуальную

информационную связь между микропроцессором и множеством других элементов.

Такой подход требует большого количества соединительных линий и не предоставляет возможности простого дальнейшего расширения системы. Поэтому в МПС применяют шинный (магистральный) метод информационного обмена, как показано на рисунке 2б).

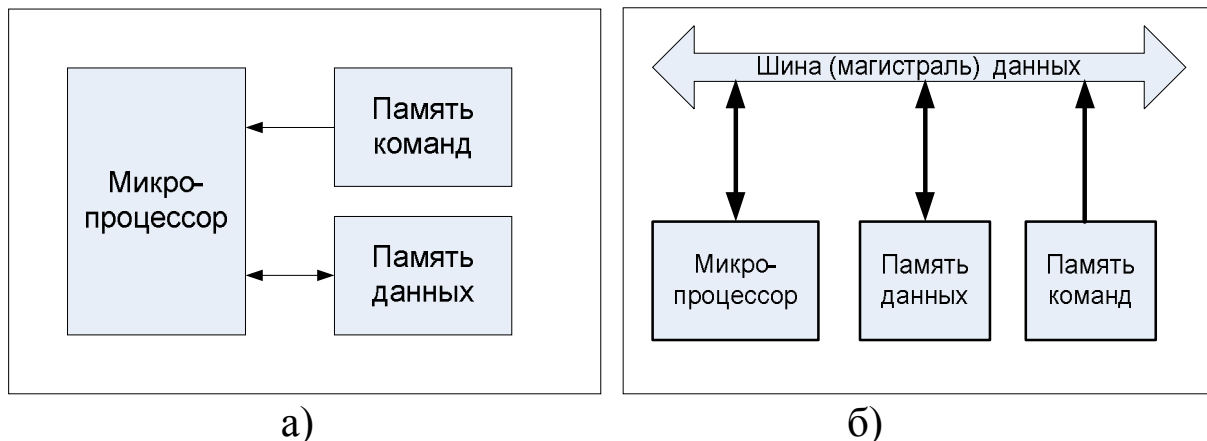


Рисунок 2 – Способы организации информационного взаимодействия.

Этот принцип базируется на том, что в каждый момент времени микропроцессор будет взаимодействовать лишь с одним объектом. В этом случае вся информация может передаваться по одному и тому же набору линий, который принято называть шиной (магистралью). Каждый элемент системы осуществляет связь с микропроцессором по этой шине, и при этом количество элементов можно легко увеличивать.

Отметим, что система, соответствующая приведенной структуре, бесполезна для практического использования, так как не имеет средств взаимодействия с "внешним миром".

Для устранения этого недостатка система расширяется специальными элементами, именуемыми устройствами ввода - вывода, как показано на следующем рисунке.



Рисунок 3 – Структура МПС с элементами ввода-вывода.

Показанная структура недостаточно полно описывает свойства системы с позиций их взаимодействия. Например, память может быть представлена как набор (массив) ячеек, вследствие чего необходим механизм выбора той из них, которая требуется по алгоритму работы.

Уточненная структурная схема приводится ниже. Она дополнена шиной адреса и шиной управления.

Шина (магистраль) адреса предназначена для точного указания объекта, с которым будет взаимодействовать микропроцессор.

Шина управления (линии управления) определяют характер взаимодействия, например направление передачи: из микропроцессора ("запись") или в микропроцессор ("чтение").

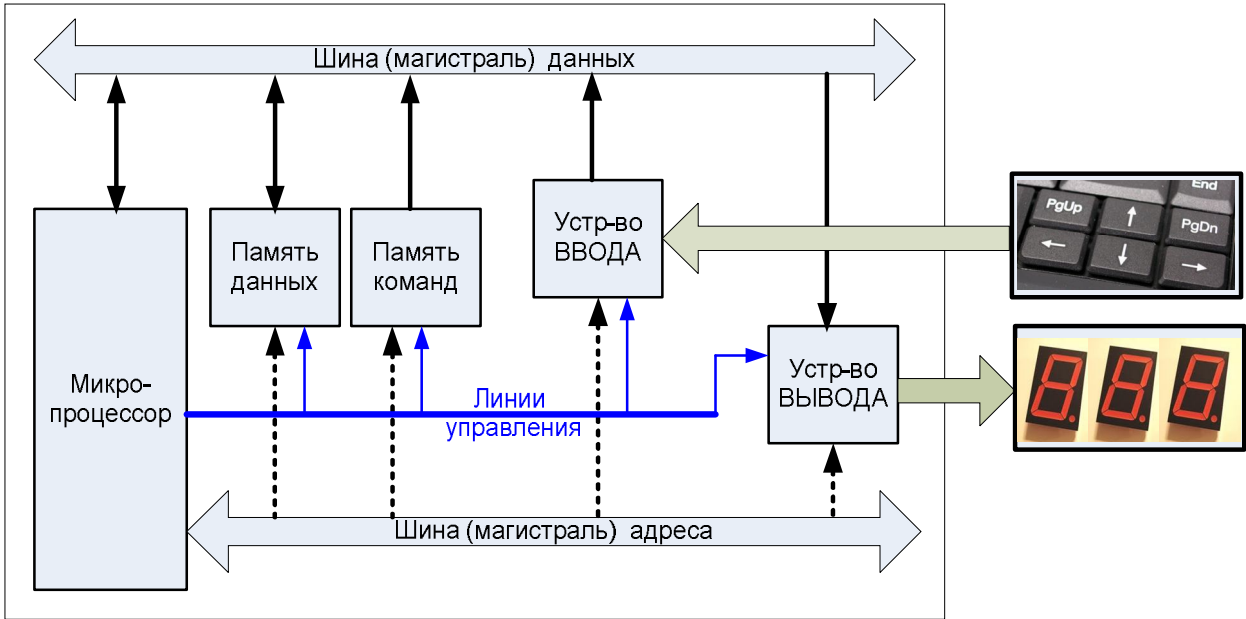


Рисунок 4 – Структура МПС с указанием основных взаимосвязей

Такая структурная схема дает качественное представление о работе микропроцессорной системы. Однако для дальнейшего проектирования необходимы количественные характеристики.

На следующем рисунке приведен пример структурной схемы МПС, имеющей в своем составе:

- микропроцессор с 8-разрядной шиной данных и 16-разрядной шиной адреса;
- память команд с информационным объемом 8Кбайтов;
- память данных с информационным объемом 8Кбайтов;
- одно устройство ввода (8 линий);
- одно устройство вывода (8 линий).

При этом цифры на шинах и их ответвлениях указывают число сигнальных линий, согласованное с параметрами компонента. Например, адресация памяти данных объемом 8К байтов подразумевает наличие 13 линий адреса.

В системе появился дополнительный элемент, именуемый дешифратором адреса. Он позволяет выбрать для взаимодействия с микропроцессором только один из множества элементов системы.

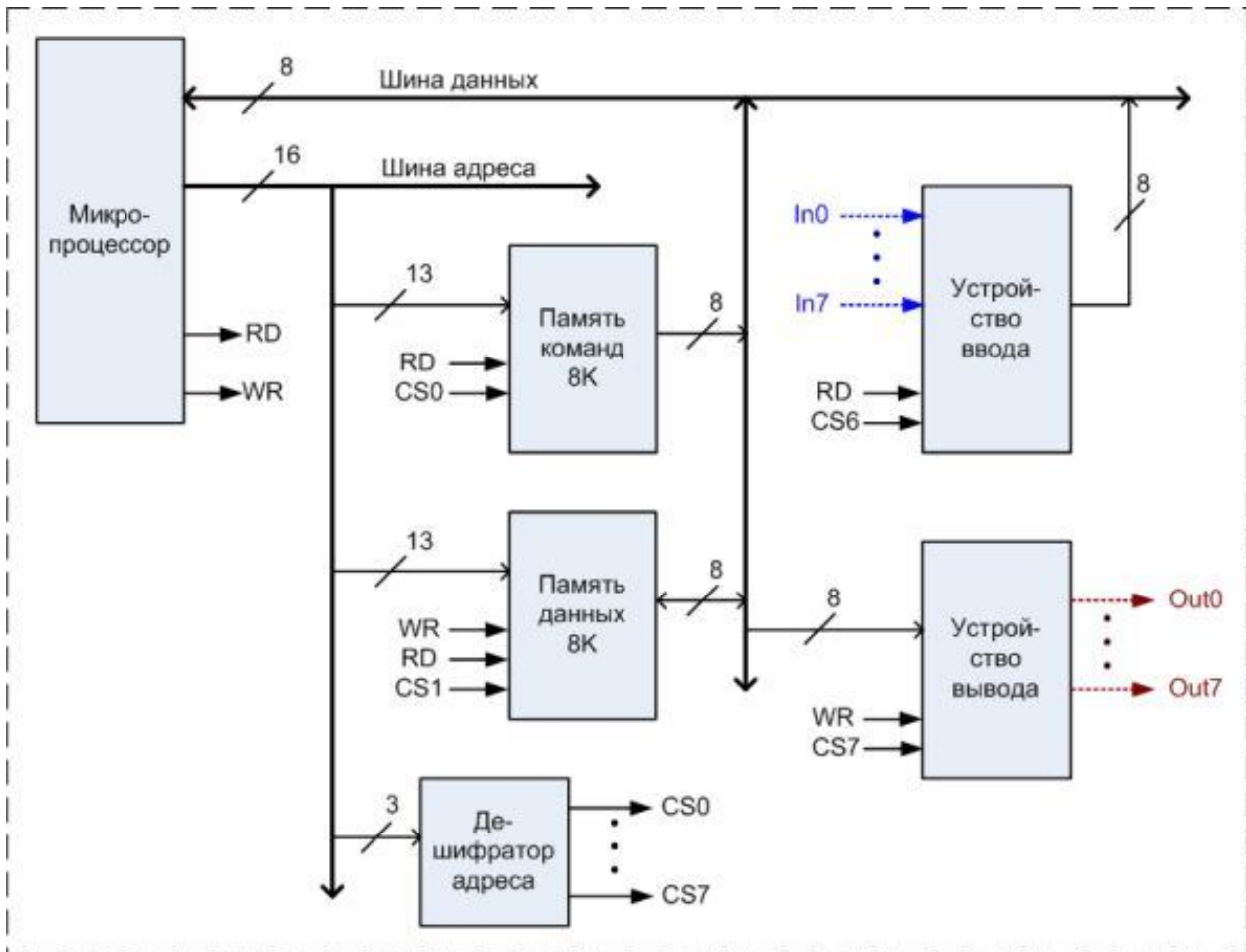


Рисунок 5 – Развернутая структурная схема микропроцессорной системы

2 Анализ различий и особенностей микропроцессоров и микро-ЭВМ

В рамках данной курсовой работы тип микропроцессора уже определен в техническом задании, поскольку на начальном этапе обучения самостоятельно сделать такой выбор затруднительно. Тем не менее, при выполнении работы полезно ознакомиться с особенностями других микропроцессоров или микро-ЭВМ, а также рассмотреть вопросы, связанные с особенностями выбора микропроцессора или микро-ЭВМ.

Выбор микропроцессора или микро-ЭВМ (микроконтроллера) при проектировании микропроцессорной системы (МПС) является непростой задачей, особенно с учетом обширной номенклатуры выпускаемых различными фирмами устройств. Важно также учитывать привычки и предпочтения разработчика архитектуры МПС и программного обеспечения.

Обычно анализ свойств микропроцессора начинается с выяснения тех параметров, от которых явно зависят сложность изготовления и сфера применения МПС:

- разрядности шины адреса;
- разрядности шины данных;
- оценки производительности.

Основными характеристиками для оценки производительности микропроцессора в первом приближении можно считать:

- тактовую частоту;
- декларируемый изготовителем параметр производительности, выраженный в MIPS (миллион операций в секунду).

Основные конструктивно-эксплуатационные характеристики:

- количество выводов;
- количество и номиналы питающих напряжений;
- ток потребления (или мощность потребления);
- тип корпуса;
- технология изготовления.

С точки зрения удобства проектирования систем следует учитывать:

- наличие микросхем в комплекте (серии) микропроцессора, расширяющих функции системы;
- наличие стандартных интерфейсов;
- необходимость применения вспомогательных микросхем (внешний тактовый генератор, регистр для мультиплексирования шины данных/адреса, и т.д.).

С точки зрения удобства проектирования программного обеспечения важны:

- количество команд в системе команд;
- удобство системы команд для программирования;
- наличие программной среды разработки (ассемблеры, компиляторы, отладчики, и т.д.).

Дополнительно учитываются:

- стоимость микропроцессора;
- доступность микропроцессора;
- поддержка микропроцессора изготовителем;
- долговременность изготовления микропроцессора.

Для сопоставления и ознакомления предлагается ограничить изучение следующим набором микропроцессоров и микро-ЭВМ:

- Intel 8080 (KP580BM80);
- Intel 8085;
- Zilog Z80;
- Motorola 68000;
- Atmel 89C52;
- Atmel Mega8.

Информация об этих изделиях предоставлена на сервере кафедры. При возможности целесообразно использовать доступ к сети Интернет.

При выполнении анализа характеристик микропроцессоров целесообразно вносить данные в таблицы по форме, представленной ниже таблицами 1 и 2.

Таблица 1 – основные характеристики микропроцессоров

Наименование	Шина данных	Шина адреса	Тактовая частота, MHz	Производительность, MIPS или uS/ком	Количество команд
8085АН-2	8	16	5MHz	0,8 uS/ком	80

Таблица 2 – конструктивные характеристики микропроцессоров

Наименование	Технология изготовления	Корпус	Напряжения питания, V	Потребляемый ток или мощность	Комплект
8085АН	n-MOP	DIP-40	+5V	135mA	Имеется

При выполнении анализа характеристик микро - ЭВМ следует вносить дополнительные данные в таблицу по форме, представленной ниже таблицей 3.

Таблица 3 – основные характеристики микро-ЭВМ

Наименование	Разрядность	Память команд	Память данных	UART	SPI	I2C	Цифровые линии
AT89S52	8	8К	256	1	1	-	32

В качестве базового микропроцессора для формирования примеров будет использован микропроцессор intel 8085. [10]. Некоторые его характеристики указаны в ранее описанных таблицах.

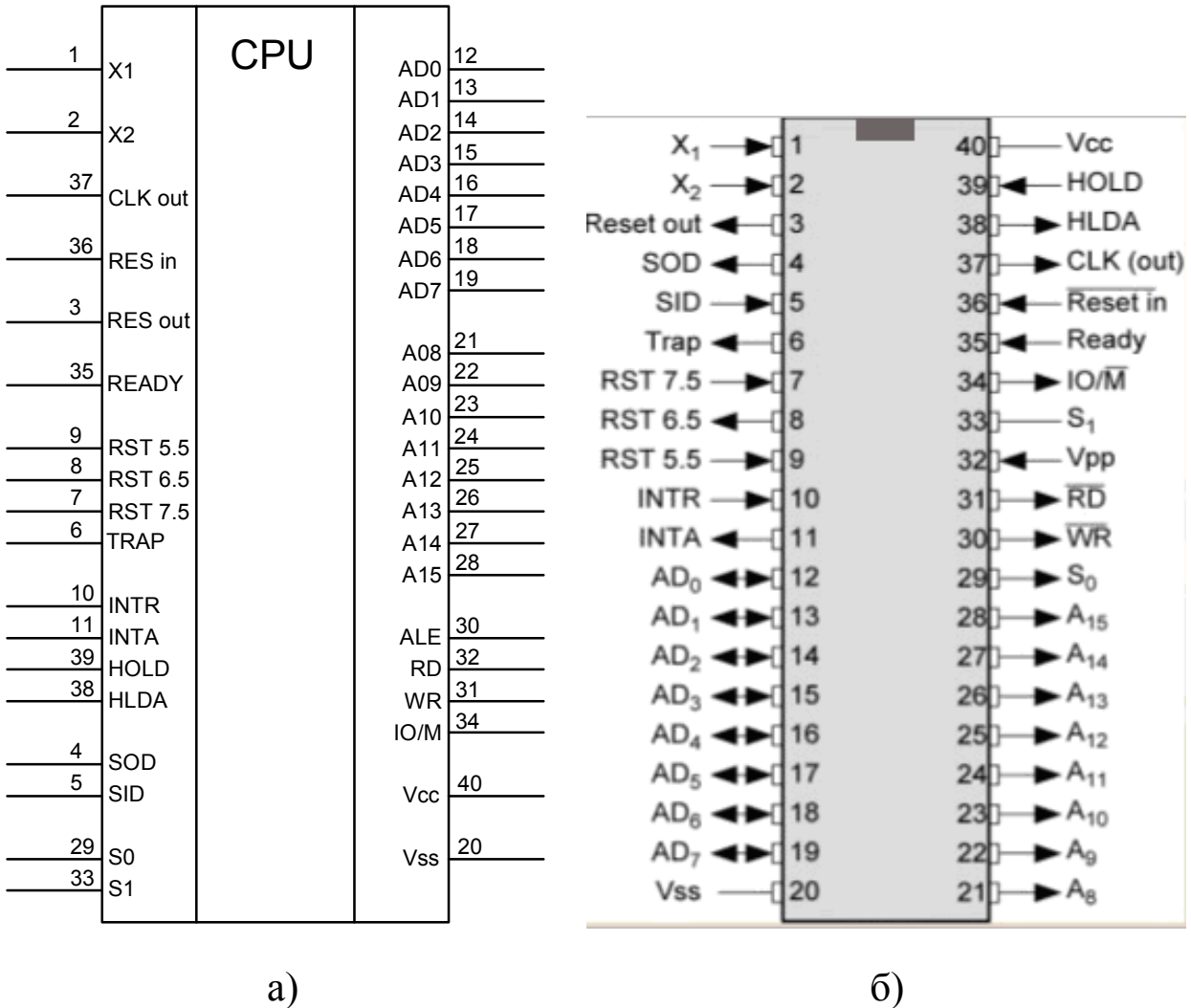


Рисунок 6 – Условное графическое обозначение а) и нумерация контактов i8085 б)

Рисунок 6 а) показывает, как можно изобразить микропроцессор на структурной и принципиальной схемах. Для каждого контакта на корпусе есть соответствующее название и его номер. Например, сигнал «X1» выведен на контакт №1 корпуса микропроцессора, а общий провод питания подключается к контакту №20 и обозначается «Vss». Нумерация контактов для корпуса DIP показана на рисунке 6 б). Контакт 1 идентифицируется специальным маркером: вырезом на кромке корпуса (как на рисунке), точкой или иным способом.

Заметим, что при использовании зарубежной документации приходится приводить условное графическое обозначение (УГО) элементов, как это сделано в данном примере.

3 Распределение адресного пространства

Микропроцессорная система включает в свой состав память команд и память данных. Конструктивно подсистема памяти любого вида состоит из микросхем, обладающих набором характеристик, к которым относятся:

- количество линий данных;
- количество линий адреса;
- особенности хранения информации;
- особенности записи информации;
- особенности считывания информации.

Чтобы обеспечить работоспособность системы, разрядность шин данных всех подключаемых компонентов должна соответствовать разрядности шины данных микропроцессора.

Суммарный информационный объем всех адресуемых устройств не может превышать максимального значения, поддерживаемого микропроцессором. Эту величину можно рассчитать по формуле:

$$N=2^{Na}, \quad (1)$$

где Na – разрядность шины адреса микропроцессора.

В зависимости от решаемой микропроцессорной системой задачи может потребоваться различное количество компонентов каждого из нижеследующих видов:

- памяти команд;
- памяти данных;
- устройств ввода;
- устройств вывода.

Устройство ввода и вывода возможно рассматривать как объекты, эквивалентные ячейкам памяти (это не единственно возможный вариант, но он часто используется на практике).

Некоторые микропроцессоры, в том числе 8085, предоставляют отдельное адресное пространство для

подсистемы ввода-вывода. Механизм информационного обмена при этом тот же, что и для пространства памяти, в том числе используются одни и те же линии адреса и данных. Физически разделение пространства памяти и ввода-вывода осуществляется введением двух отдельных линий управления чтением (/IORD) и записью (/IOWR). На программном уровне доступ к ячейкам пространства ввода-вывода осуществляется специальными командами. Для микропроцессора 8085 это команды IN и OUT. Эти возможности обычно используют в тех случаях, когда для решения задачи требуются большие объемы памяти и поэтому занимать часть пространства памяти устройствами ввода-вывода нецелесообразно.

Распределение адресного пространства осуществляется с целью подключения перечисленных компонентов. Перечень компонентов и их основные характеристики задаются техническим заданием на разработку МПС.

В качестве примера рассмотрим задачу подключения к микропроцессору intel 8085 следующих компонентов:

- ПЗУ – 8К байтов;
- ОЗУ – 16К байтов;
- Устройства ввода – 2;
- Устройства вывода – 1.

Микропроцессор intel 8085 имеет 16-разрядную шину адреса. Таким образом, возможно подключение $2^{16}=65536$ ячеек памяти или устройств ввода-вывода. Для расчетов в дальнейшем будем использовать шестнадцатеричную систему счисления и нумеровать ячейки, начиная с 0. В этом случае весь диапазон адресов представляется в более компактной записи от 0000H (начальный адрес) до FFFFH (конечный адрес), где символ «H» обозначает шестнадцатеричную систему счисления и является «суффиксом».

Удобно при распределении адресного пространства разбить это пространство не на отдельные ячейки, а на блоки. Например, на нижеследующем рисунке показано разбиение на 8 блоков. Каждый блок, соответственно, имеет информационный объем 8К байт. Напомним, что единица, именуемая «1К», численно равна

десятичному числу 1024, что соответствует двум в степени 10. Эта единица также введена для удобства расчетов в шестнадцатеричной системе.

Блок 1	8К	0000H 1FFFH
Блок 2	8К	2000H 3FFFH
Блок 3	8К	4000H 5FFFH
Блок 4	8К	6000H 7FFFH
Блок 5	8К	8000H 9FFFH
Блок 6	8К	A000H BFFFH
Блок 7	8К	C000H DFFFH
Блок 8	8К	E000H FFFFH

Рисунок 7 - Разбиение адресного пространства на блоки по 8К байтов.

Количество блоков выбирается исходя из удобства разбиения в каждом конкретном случае. Однако объем блока всегда равен степени числа 2.

Как будет показано далее, блоки образуются старшими разрядами шины адреса. Для приведенного примера это линии A15, A14, A13.

ПЗУ 8К	0000H 1FFFH
ОЗУ 1 8К	2000H 3FFFH
ОЗУ 2 8К	4000H 5FFFH
Не используется	6000H 7FFFH
Устройство ввода 1	8000H 9FFFH
Устройство ввода 2	A000H BFFFH
Устройство вывода	C000H DFFFH
Не используется	E000H FFFFH

Рисунок 8 - распределение адресного пространства для примера 1.

В данном примере память команд (ПЗУ) располагается в блоке 1 и полностью занимает его объем, память данных располагается в двух блоках и также использует весь их объем. Каждое из устройств ввода-вывода в примере ассоциируется не с одной ячейкой памяти, а с множеством ячеек, входящих в соответствующий блок. Это избыточный и неэкономичный вариант, но его аппаратная реализация оказывается проще и дешевле. Более подробно информация на эту тему рассмотрена в главе «Проектирование дешифратора адреса».

При таком распределении адресного пространства естественным является применение микросхем памяти объемом 8К байтов. Собственно говоря, размер блока следует выбирать учитывая то, какие микросхемы памяти будут выбраны для применения в проектируемой МПС. Более подробно информация

на эту тему рассмотрена в главах «Проектирование подсистемы памяти команд» и «Проектирование подсистемы памяти данных».

Неиспользованные блоки являются резервными, их можно задействовать при модернизации системы.

Важно иметь в виду, что размещение памяти команд должно осуществляться в блоке, адресное пространство которого соответствует **стартовому** (после включения питания или сброса) **адресу** используемого микропроцессора.

Среди оборудования, которое по техническому заданию входит в состав МПС, могут быть устройства аналого-цифрового преобразования (АЦП и ЦАП), а также устройства для организации интерфейсов различного вида. Среди них существует множество устройств, спроектированных специально для использования в МПС. Обычно это микросхемы, содержащие параллельный интерфейс для согласования с шиной данных 8-разрядных микропроцессоров (при большей разрядности обрабатываемых данных эти данные передаются в два этапа). Соответственно, среди управляющих сигналов присутствует сигнал *разрешения выбора*, обычно обозначаемый как «CS». В этом случае их подключение происходит аналогично подключению обычных устройств ввода-вывода, которое будет подробно описано в дальнейшем.

Пример подключения дополнительного оборудования со сложной логикой работы приведен в разделе «Проектирование подсистемы ввода-вывода с применением микросхемы 8255».

4 Проектирование дешифратора адреса

Для упрощения проектирования сложных МПС, содержащих множество микросхем памяти и устройств ввода-вывода, используются следующие правила:

- каждый модуль (микросхема) имеет специальную линию управления, разрешающую участие этого модуля в процессе обмена данными;
- все устройства, не участвующие в данный момент времени в процессе обмена, «отключены» от линий передачи данных;
- алгоритмы обмена информацией одинаковы для всех устройств и соответствуют спецификации микропроцессора;
- обмен данными инициирует микропроцессор.

Типичная структура МПС приведена на рисунке ниже.

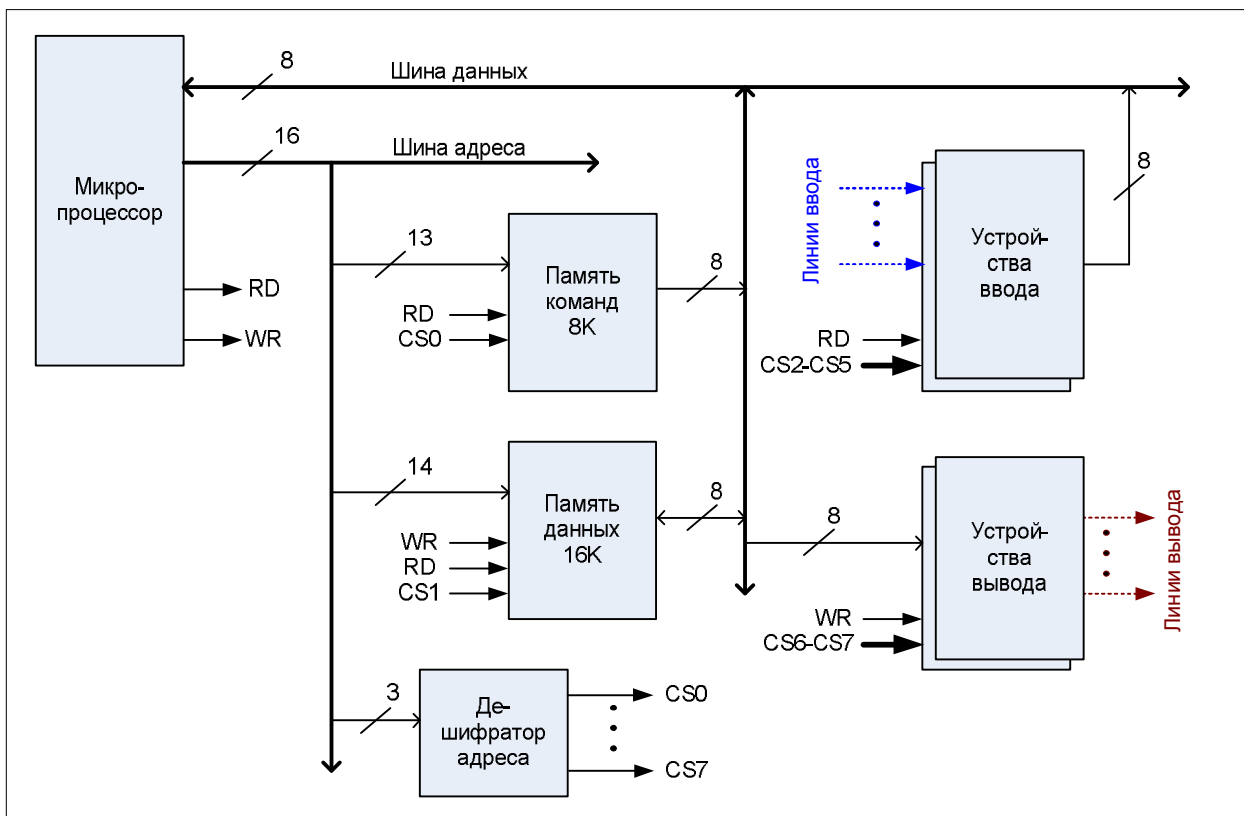


Рисунок 9 - Структура микропроцессорной системы

На рисунке сигналы разрешения подключения выбранного модуля обозначены CS0...CS7. Эти сигналы формируются дешифратором адреса.

Формирование сигналов осуществляется на основе обработки части сигналов шины адреса.

Адресная шина содержит 16 линий, которые нумеруются и обозначаются как A_0, A_1, \dots, A_{15} . Старшим значащим разрядом является A_{15} , младшим – A_0 .

Удобно выделить старшие разряды $A_{15} - \dots$ для разбиения адресного пространства на блоки. На рисунке 10 а) показан случай, когда в разбиении участвует один старший разряд шины адреса. При $A_{15}=0$ остальные линии адресной шины задают диапазон адресов $0000H \dots 7FFFH$, а при $A_{15}=1$ диапазон адресов $8000H \dots FFFFH$. Итого имеем два блока равным объемом 32К.

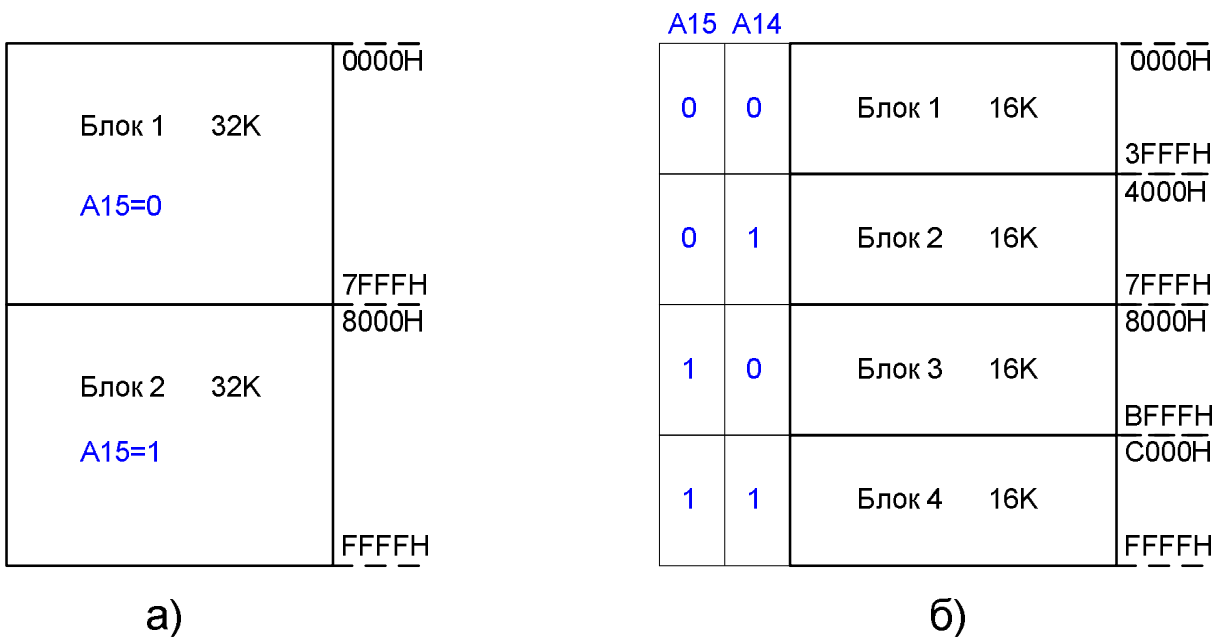


Рисунок 10 - Примеры разбиения адресного пространства.

На рисунке 10 б) в разбиении участвуют два старших разряда A_{15} и A_{14} , что приводит к появлению четырех блоков объемом 16К.

Дешифратор адреса может быть спроектирован таким образом, что каждому блоку ставится в соответствие один выходной сигнал. Таким образом, количество выходных сигналов дешифратора равно количеству блоков. Только один из сигналов дешифратора в каждый момент времени может иметь *активный*

уровень. Обычно, активный уровень соответствует логическому 0, а пассивные – логической 1. Функционирование дешифратора адреса при разбиении на 8 блоков можно описать табличным способом, как показано ниже.

Таблица 4 - логика работы дешифратора адреса под управлением линиями A15, A14, A13.

A15	A14	A13	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
0	0	0	1	1	1	1	1	1	1	0
0	0	1	1	1	1	1	1	1	0	1
0	1	0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	1	0	1	1	1
1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1
1	1	0	1	0	1	1	1	1	1	1
1	1	1	0	1	1	1	1	1	1	1

Синтез комбинационных схем для подобных случаев не представляет особых трудностей, но удобнее воспользоваться готовыми микросхемами, построенными специально для подобных задач и именуемых *дешифраторами*.

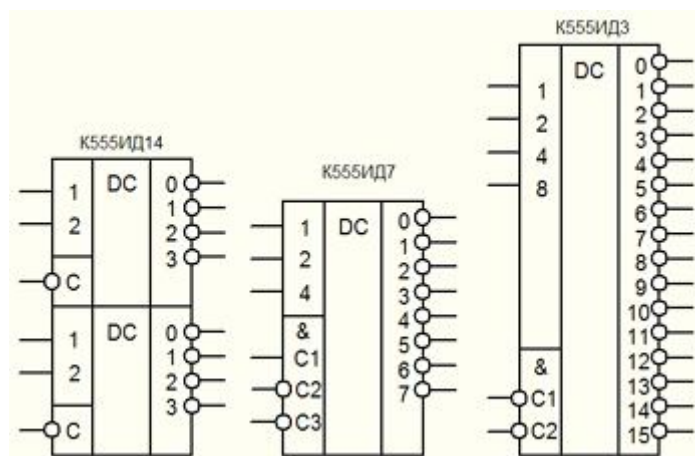


Рисунок 11 - Примеры микросхем дешифраторов

В тех случаях, когда требуется большое количество выходных линий дешифратора, применяют технику каскадирования, что иллюстрируется следующим рисунком. Техника каскадирования

использует свойство дешифратора переводить все выходы в неактивное состояние при подаче на специальный управляющий код сигнала запрета (или, что эквивалентно, разрешать работу дешифратора при подаче на тот же вход сигнала разрешения). На предыдущем рисунке такие управляющие сигналы имеют обозначение C, C1, C2, C3.

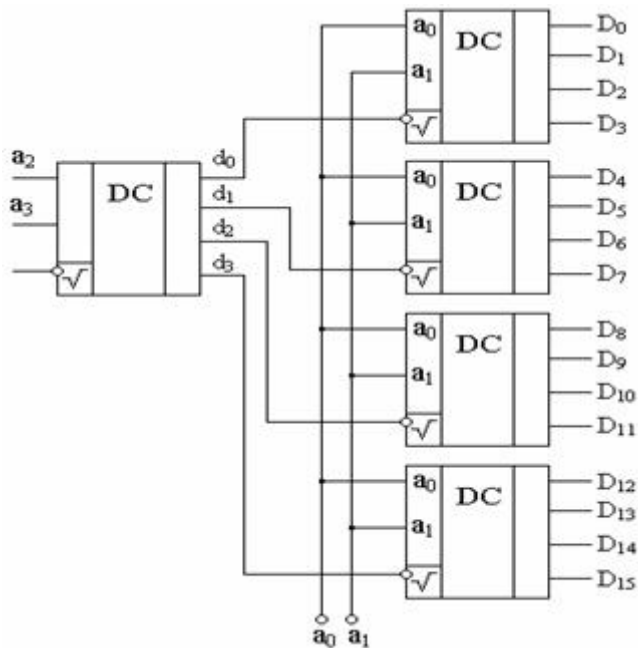


Рисунок 12 - Пример каскадирования дешифраторов с 4-мя выходами

На приведенном выше рисунке сигналы, обозначенные a_0 , a_1 , a_2 , a_3 должны быть подключены к адресным линиям A_{12} , A_{13} , A_{14} , A_{15} соответственно.

Важно отметить, что блочное разбиение адресного пространства по указанной методике в большей степени ориентировано на подключение микросхем памяти, представляющих собой массив ячеек памяти; при этом каждой ячейке памяти ставится в соответствие одно из значений адресного пространства. При подключении элементарных устройств ввода-вывода, очевидно, требуется всего лишь одно значение адреса, но выделяется целый блок. Более рациональные решения, связанные с доступом к устройствам ввода-вывода рассмотрены в разделах «Проектирование подсистемы ввода» и «Проектирование подсистемы вывода».

5 Проектирование подсистемы ввода

Устройства ввода предназначены для считывания сигналов, поступающих в МПС из внешней среды. В рамках темы рассматриваются сигналы, имеющие цифровой вид и согласованные по уровням с аппаратурой МПС. Примерами устройств, формирующих такие сигналы, являются клавиатура, герконовый датчик числа оборотов, датчик открытия дверцы автомобиля и т.п.

Поскольку в рассматриваемых нами МПС инициатором обмена является микропроцессор, считываемые сигналы должны быть поданы на шину данных под его управлением. Это означает, что линии ввода должны иметь не два, а три состояния: кроме значений 0 и 1 необходимо обеспечить режим отключения от шины данных, чтобы не мешать другим операциям обмена. Для таких целей разработаны специальные устройства, именуемые *буферами с тремя состояниями*. Такие устройства могут выпускаться в виде микросхем (155ЛП8, 155ЛП10, 580ВА86) или входить в состав других функциональных узлов (555ИР22).

Очевидно, что количество входных линий, которые микропроцессор способен опросить за одно обращение, не может превышать разрядности шины данных. Поскольку чаще всего в задачах управления приходится иметь дело с 8-разрядными микропроцессорами и микро-ЭВМ, полезно изучить функционирование микросхем, способных работать с 8 сигналами.

Примером такой микросхемы, имеющей такие буферы на выходе, является регистр 555ИР22. Хотя его основное назначение – хранение информации, возможна схема включения, позволяющая использовать его выходные буферы для непосредственного считывания входной информации. Такая схема приведена на нижеследующем рисунке.

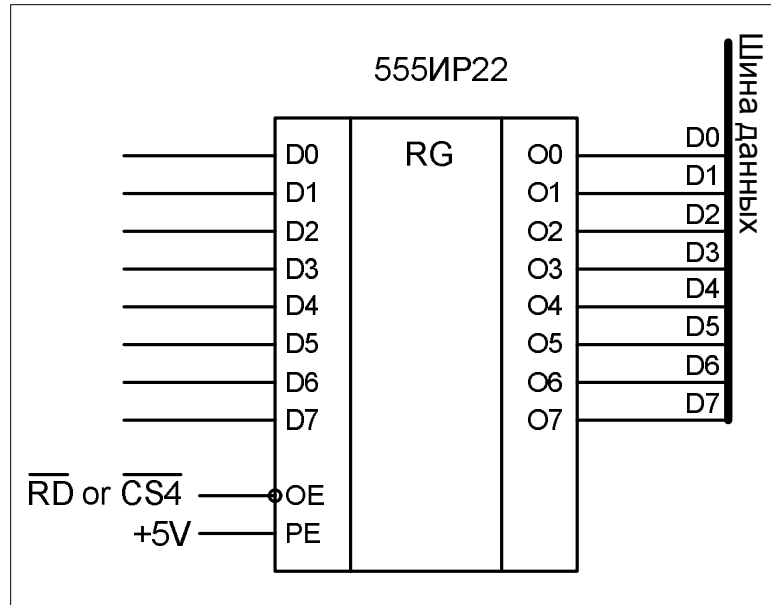


Рисунок 13 - Устройство ввода на базе регистра 555IP22

Сигнал /OE при подаче на него логического нуля разрешает подключение к шине данных, при этом входные сигналы могут быть считаны микропроцессором. Момент считывания задается управляющим сигналом /RD микропроцессора. При этом блокируются все устройства, кроме выбранного. Выбор устройства для обращения осуществляется соответствующим сигналом дешифратора адреса.

Дешифратор адреса, построенный по методике, изложенной в разделе «Проектирование дешифратора адреса», будет разрешать работу выбранного устройства ввода при поступлении любого адреса из диапазона, соответствующего данному блоку. Таким образом, при объеме блока 8К, имеем явную избыточность для одного устройства ввода. В то же время, общее число адресуемых устройств не может превысить 8. Для ряда задач требуется обеспечить существенно большее количество адресов ввода и вывода.

Проблема легко может быть решена, если считать, что дешифратор адреса формирует сигнал разрешения не одного устройства, а блока устройств. Очевидно, что в рамках блока устройств необходимо осуществлять их индивидуальный выбор.

Для решения этой проблемы достаточно задействовать те линии шины адреса, которые не подключены к дешифратору адреса. Обычно используют младшие разряды адреса. Например, три младших разряда A0, A1 и A2 обеспечат при нижеприведенной схеме включения выделение в рамках блока трех устройств.

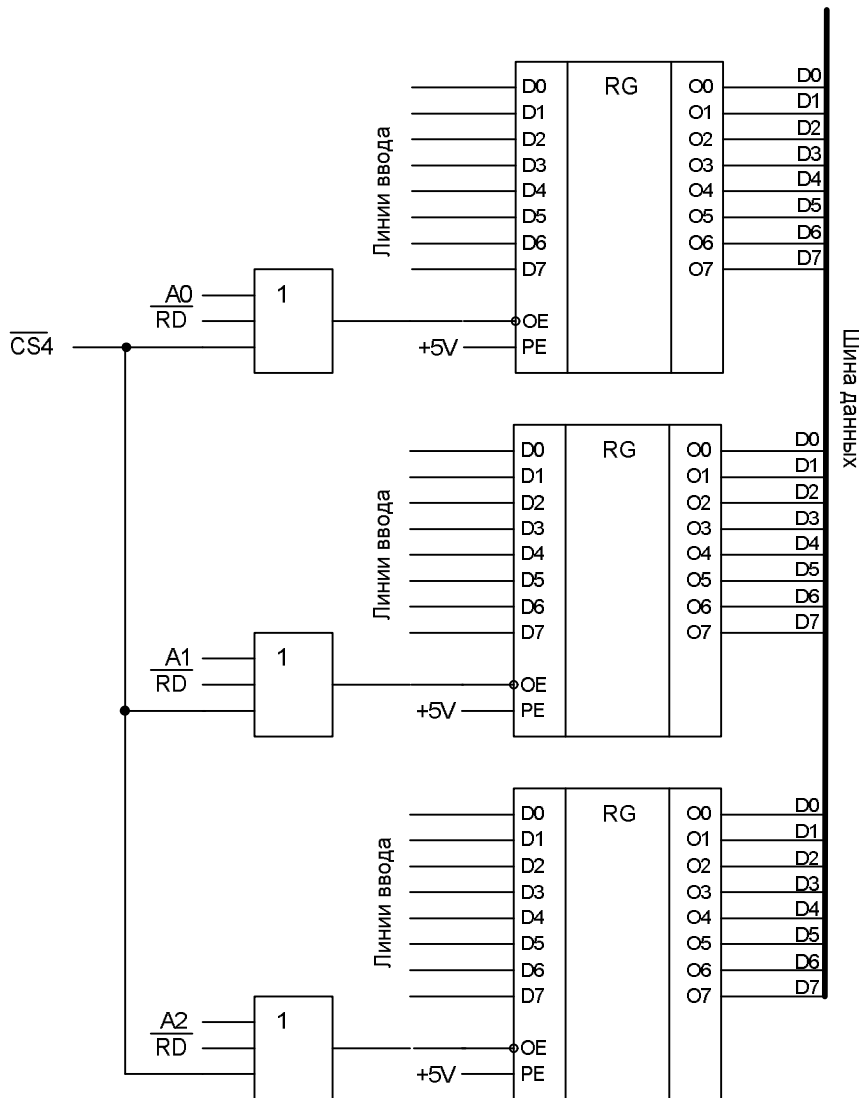


Рисунок 14 - Выделение устройств ввода в рамках блока /CS4

Для выбора верхнего по схеме устройства адрес должен выглядеть следующим образом:

Таблица 5 - структура формирования адреса устройства ввода

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	0	x	x	x	x	x	x	x	x	x	x	1	1	0

Предполагается выделение дешифратором 8 блоков по 8К байтов. Тогда значения A15, A14, A13 позволяют дешифратору сформировать сигнал /CS4, имеющий активный уровень 0. Поскольку A0=0, верхний логический элемент обеспечит присутствие на входе /OE верхнего регистра активного нулевого уровня, что приведет к активизации выходных буферных элементов и передаче входных данных в микропроцессор. Считывание произойдет в момент активности сигнала /RD.

Заметим, что линии A2 и A1 при этом находятся в состоянии 1 и не позволят открыться буферам нижних регистров.

Необходимо помнить, что при этом возможны конфликты между устройствами ввода, если в программном коде ошибочно задается адрес вывода с наличием нулей, разрешающих работу нескольких устройств одновременно. Например при A2=0, A1=0, A0=1 два нижних по схеме устройства ввода одновременно подключатся к шине данных, и информация, поступившая в микропроцессор, будет ошибочной.

Существуют другие способы выделения устройств в пределах блока, например с использованием дешифраторов. В этом случае ранее обозначенный конфликты не могут проявиться, так как дешифратор в принципе формирует разрешающий сигнал только на одном из выходов в любой момент времени.

6 Проектирование подсистемы вывода

Устройства вывода предназначены для формирования цифровых сигналов с целью управления внешними объектами. В качестве примера можно привести индикаторы на светоизлучающих элементах, символьные комбинации таких элементов (семисегментные индикаторы), устройства управления электродвигателями и т.п.

Информация на линиях вывода формируется микропроцессором и должна существовать до следующего момента ее формирования. По этой причине основным элементом в устройствах ввода - вывода является набор триггеров или *регистр*.

Часто применяются регистры 555ИР22, 55ИР23, 555ИР27 описание которых можно найти в [3].

Микропроцессор записывает информацию в устройство вывода в течение цикла записи путем формирования управляющего сигнала /WR. К моменту действия этого сигнала соответствующее устройство должно быть выбрано с помощью дешифратора адреса. Записываемая информация передается по линиям шины данных, к которой подключены параллельно входы всех устройств. При условии, что входные токи подключенных устройств малы, можно обойтись без дополнительных буферных элементов, изолирующих шину данных от каждого устройства вывода (сравните со случаем устройств ввода).

Сигнал /OE при подаче на него логического нуля разрешает включение выходных буферов, и записанная информация присутствует на линиях вывода. Момент записи задается управляющим сигналом /WR микропроцессора. При этом блокируются все устройства, кроме выбранного. Выбор устройства для обращения осуществляется соответствующим сигналом дешифратора адреса.

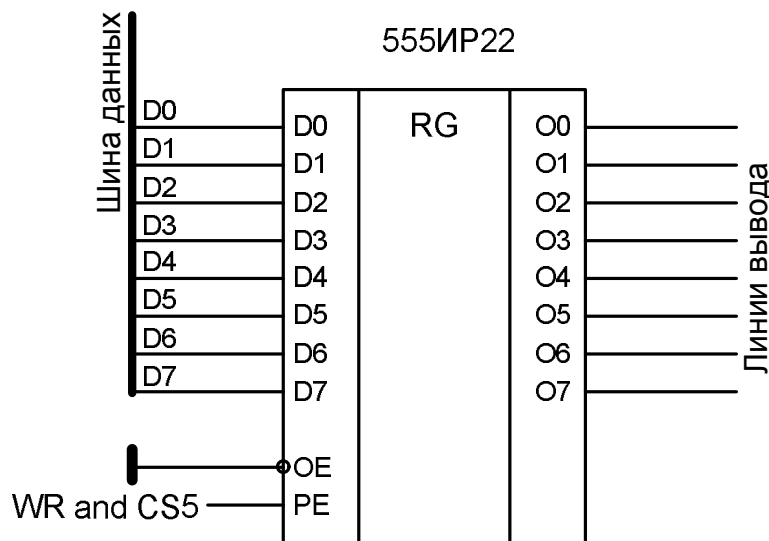


Рисунок 15 - Устройство вывода на базе регистра 555IP22

Дешифратор адреса может быть построен в соответствии с методикой, описанной в разделе «Проектирование дешифратора адреса». При этом существует та же самая проблема избыточности множества адресов, входящий в блок, при выборе одного-единственного устройства вывода, которая наблюдалась в случае устройства ввода. Способ устранения проблемы остается прежним: следует считать, что дешифратор адреса формирует сигнал разрешения не одного устройства, а блока устройств.

В пределах выбранного блока доступно множество адресов, и для подключения дополнительных устройств вывода достаточно задействовать те линии шины адреса, которые не подключены к дешифратору адреса. Обычно используют младшие разряды адреса. Например, три младших разряда A0, A1 и A2 обеспечат при нижеследующей схеме включения выделение в рамках блока трех устройств.

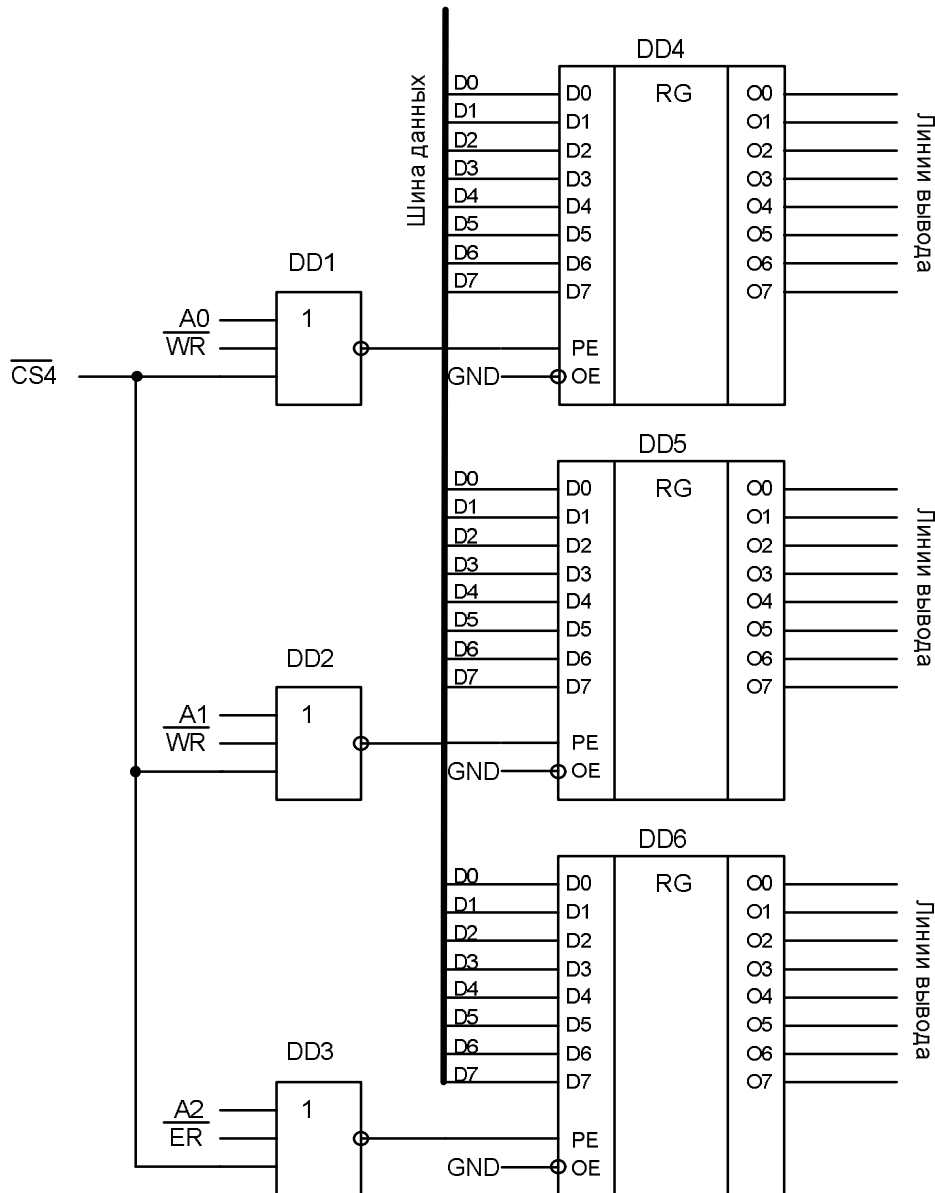


Рисунок 16 - Выделение устройств вывода в рамках блока /CS4

Для выбора верхнего по схеме устройства адрес должен выглядеть следующим образом:

Таблица 6 - структура формирования адреса устройства ввода

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	0	x	x	x	x	x	x	x	x	x	x	1	1	0

Предполагается выделение дешифратором 8 блоков по 8К байтов. Тогда значения A15, A14, A13 позволяют дешифратору

сформировать сигнал $\overline{CS4}$, имеющий активный уровень 0. Поскольку $A0=0$, верхний логический элемент обеспечит присутствие на входе PE инверсного импульса записи WR, что приведет к обновлению данных на линиях вывода.

Заметим, что линии A2 и A1 при этом находятся в состоянии 1 и не позволят открыться буферам нижних регистров.

Необходимо помнить, что при ошибочном задании адреса, когда разрешены два или более устройств вывода (например $A2=A1=0$), конфликтов на шине данных между устройствами вывода не возникнет, но информация, записываемая микропроцессором, будет продублирована на выходных линиях всех одновременно разрешенных устройств. Как и в случае устройств ввода, для устранения этого следует тщательно следить на программном уровне за правильным заданием адресов, либо применять другие способы выделения устройств в пределах блока, например с использованием дополнительных дешифраторов.

7 Проектирование подсистемы памяти данных

Микропроцессорная система включает в свой состав память команд и память данных. Конструктивно подсистема памяти любого вида состоит из микросхем, обладающих совокупностью характеристик, к которым относятся:

- количество линий данных;
- количество линий адреса;
- особенности хранения информации;
- особенности записи информации;
- особенности считывания информации.

Количество линий адреса N_a определяет количество информационных ячеек, доступных при обмене с микропроцессором.

Количество линий данных N_d определяет разрядность каждой информационной ячейки.

Информационный объем микросхем памяти N часто выражают количеством хранимой информации, измеряемой в битах. Два предыдущих параметра связаны с информационным объемом в соответствии с формулой:

$$N = N_d \times 2^{N_a} \quad (1)$$

При выборе микросхем ОЗУ необходимо учитывать множество других их параметров, в том числе временные характеристики. Временные характеристики должны быть согласованы с примененным микропроцессором. В дальнейших примерах и задачах этот фактор *не учитывается*, но на практике он *обязателен* к рассмотрению. Также не учитываются электрические характеристики микросхем и вопросы применения буферных элементов для согласования подсистем МПС.

В качестве примера рассмотрим микросхему 537РУ2. Ее основные характеристики приведены ниже [5].

Статическое ОЗУ на основе КМОП - структур.

Микросхемы 537РУ2 представляют собой статическое оперативное запоминающее устройство со схемой управления емкостью 4 кбит (4к x 1).

Содержат 28 582 интегральных элемента.

Тип корпуса: 427.18-2.01.

Рабочая температура: -60...+85°C.

Ток потребления, не более 0, 3мА.

Напряжение питания: 5.0 В ±5 %.

Можно рассчитать, пользуясь данными из описания, что при информационном объеме 4Кбит, микросхема имеет одну линию для обмена данными и 12 линий адреса.

Еще одна микросхема, 537РУ8А, при информационном объеме 16Кбит, имеет 8 линий для обмена данными и 11 линий адреса.

Статическое ОЗУ на основе КМОП - структур.

Микросхемы 537РУ8А представляют собой статическое оперативное запоминающее устройство емкостью 16 кбит (2к x 8).

Содержат 102872 интегральных элемента.

Корпус типа 4131.24-3, масса не более 2,5 г.

Технические условия: БК0.347.243-08ТУ.

Рабочая температура: -60...+85°C.

Ток потребления, не более 1 мА.

Напряжение питания: 5.0 В ±5 %.

Очевидно, что подсистема памяти должна быть согласована по разрядности данных с микропроцессором. Например, при использовании 8-разрядного микропроцессора КР580ВМ80 и микросхем 537РУ2 возможно обеспечить разрядность данных также равной 8 битам, если подключить 8 таких микросхем. При этом адресные линии всех микросхем памяти соединяются вместе поразрядно, а линии данных в совокупности образуют 8-разрядную шину.

При использовании микросхем 537РУ8 согласование по разрядности шины данных уже выполнено, поэтому возможно подключение и единичного экземпляра.

На рисунке ниже приведена схема подключения двух микросхем ОЗУ (оперативное запоминающее устройство) к микропроцессору с 8-разрядной шиной данных. Общий объем подсистемы памяти данных составляет 4К байтов, в адресном пространстве они занимают *несмежные* области, активизируемые выходами дешифратора адреса /CS2 и /CS3.

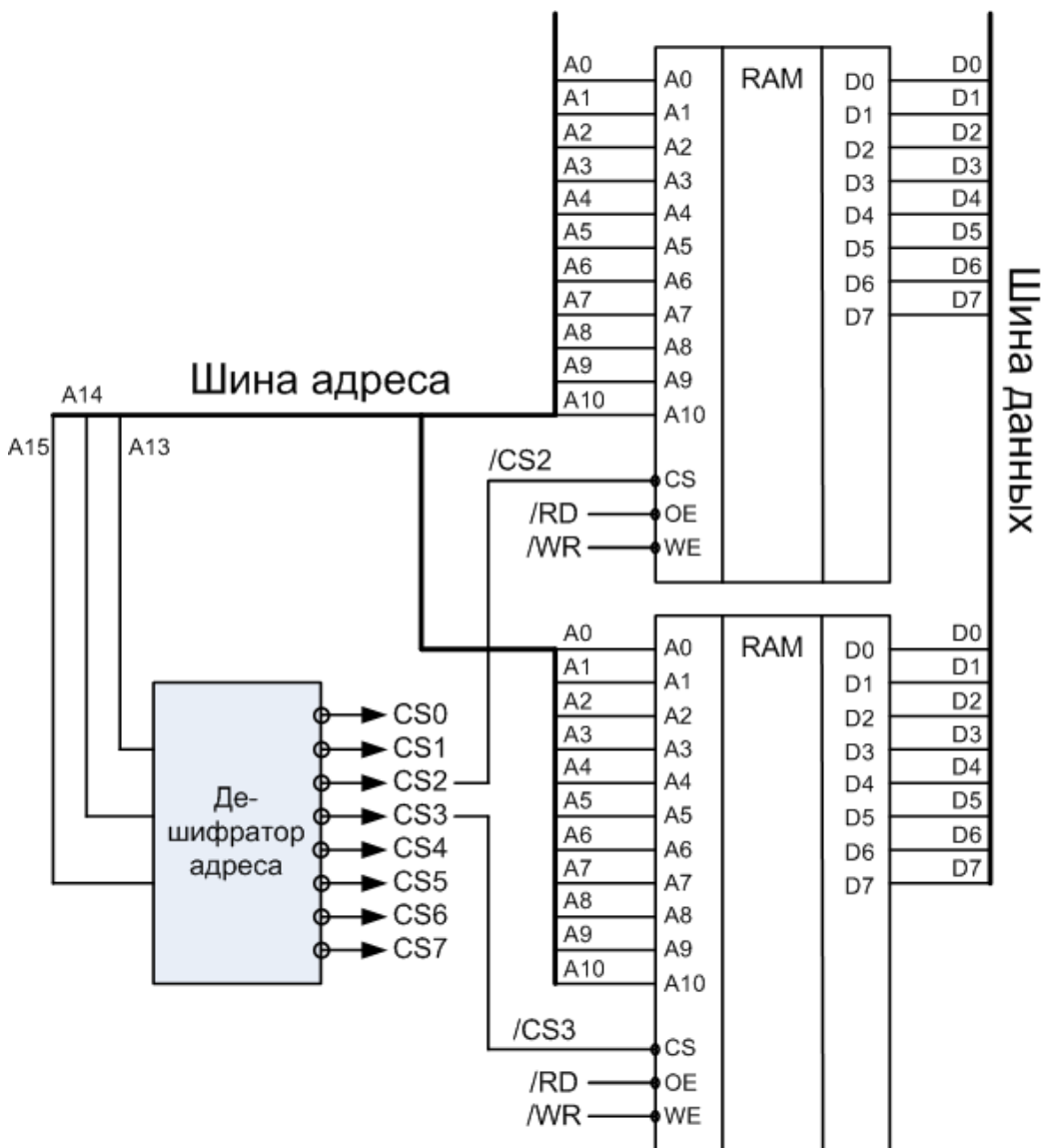


Рисунок 17 - Пример простого подключения микросхем подсистемы памяти данных.

На следующем рисунке приведена схема подключения двух микросхем ОЗУ к микропроцессору с 8-разрядной шиной данных. Общий объем подсистемы памяти данных составляет 4К байтов, в адресном пространстве они занимают *смежные* области, активизируемые выходом дешифратора адреса /CS2.

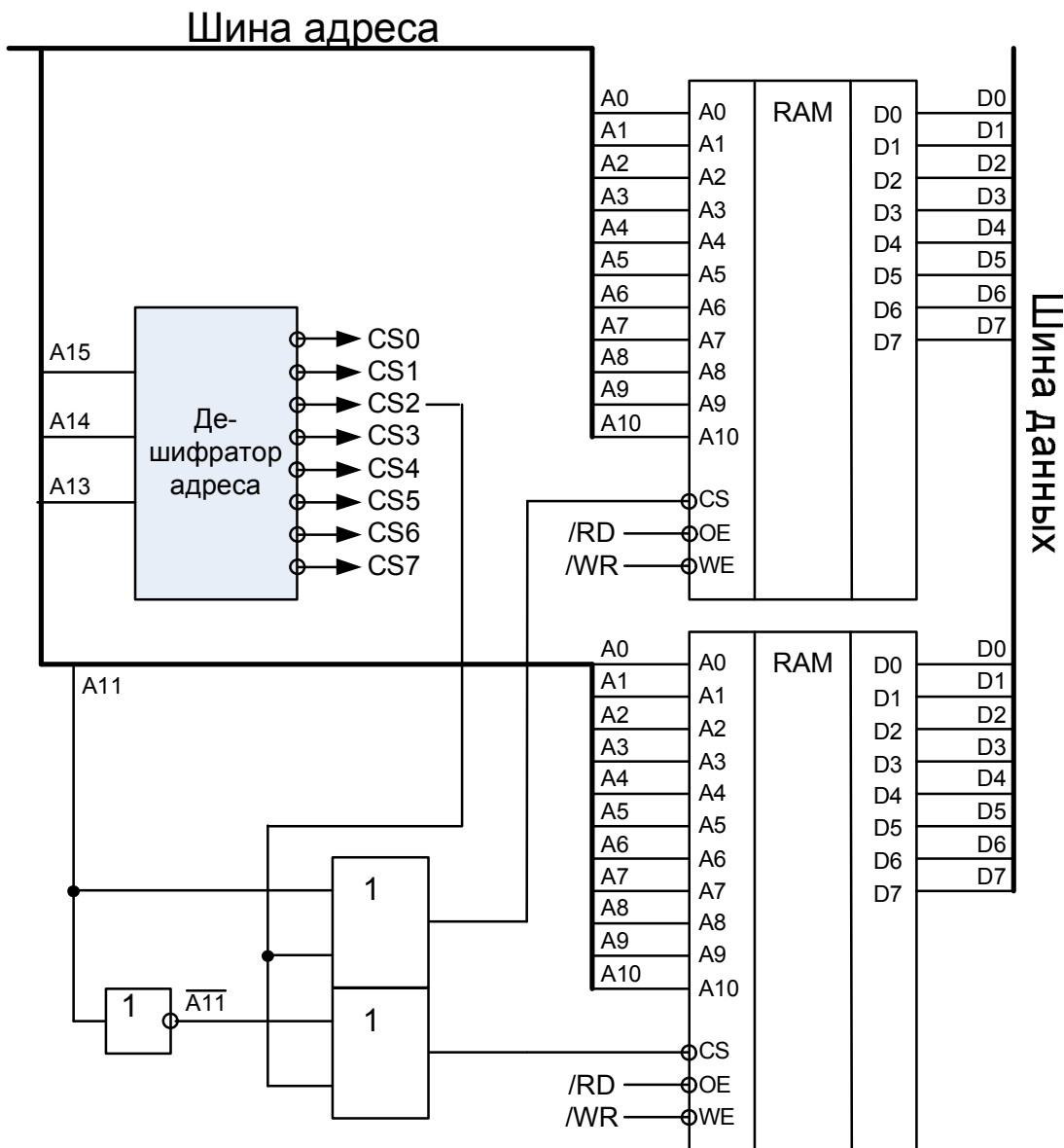


Рисунок 18 - Пример подключения микросхем подсистемы памяти данных без нарушения непрерывности адресного пространства.

На очередном рисунке ниже приведена схема подключения микросхемы ОЗУ к микропроцессору с 8-разрядной шиной данных. Общий объем подсистемы памяти данных составляет 8К байтов, в адресном пространстве она занимают две области, активизируемые выходами дешифратора адреса /CS12 и /CS13.

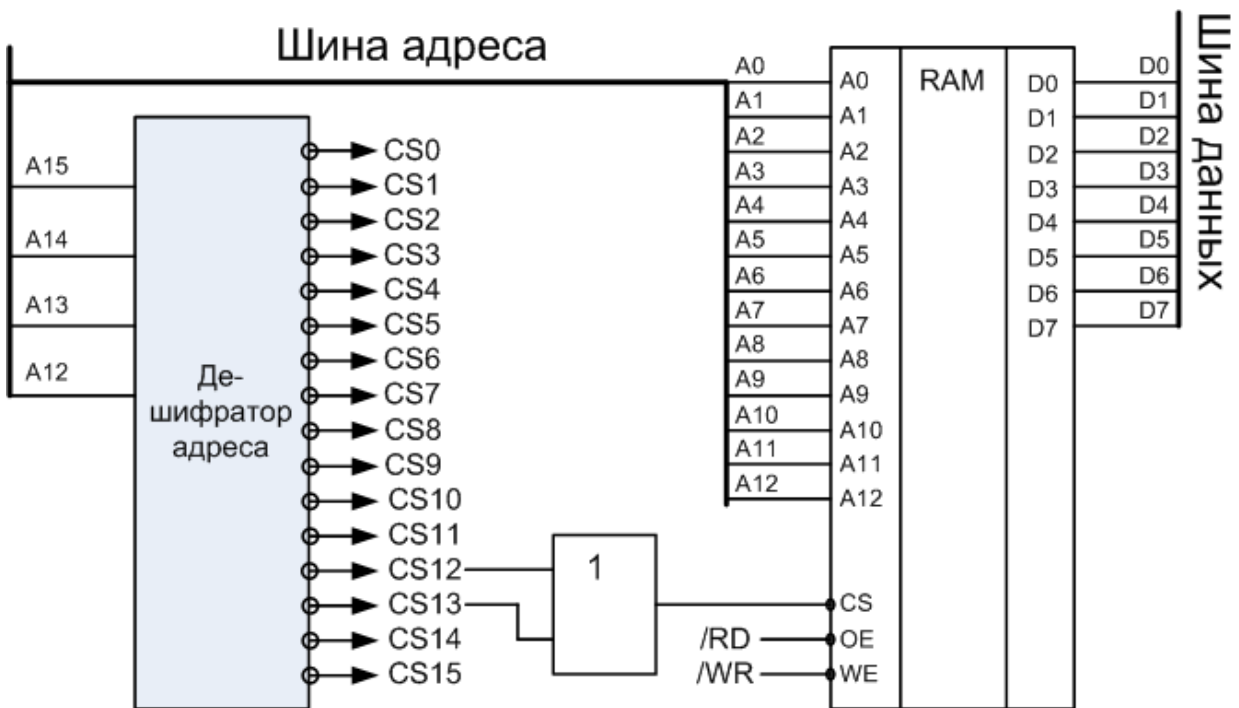


Рисунок 19 - Пример подключения микросхемы ОЗУ с объемом, превышающим размер блока памяти дешифратора адреса

Для каждого из трех случаев целесообразно рассмотреть особенности, отраженные на рисунке ниже.

	0000H		0000H		0000H	CS0
	CS0		CS0			
	1FFFH		1FFFH		1FFFH	CS1
	2000H		2000H		2000H	CS2
	CS1		CS1			
	3FFFH		3FFFH		3FFFH	CS3
O3Y 1 2K	4000H	O3Y 1 2K	4000H		4000H	CS4
O3Y 1* 2K		O3Y 2 2K				
O3Y 1* 2K		O3Y 1* 2K				
O3Y 1* 2K	5FFFH	O3Y 2* 2K	5FFFH		5FFFH	CS5
O3Y 2 2K	6000H		6000H		6000H	CS6
O3Y 2* 2K						
O3Y 2* 2K						
O3Y 2* 2K	7FFFH		7FFFH		7FFFH	CS7
	8000H		8000H		8000H	CS8
	CS4		CS4			
	9FFFH		9FFFH		9FFFH	CS9
	A000H		A000H		A000H	CS10
	CS5		CS5			
	BFFFH		BFFFH		BFFFH	CS11
	C000H		C000H		C000H	CS12
	CS6		CS6	O3Y 8K		
	DFFFH		DFFFH		DFFFH	CS13
	E000H		E000H		E000H	CS14
	CS7		CS7			
	FFFFH		FFFFH		FFFFH	CS15

a)

б)

в)

Рисунок 20 - Распределение адресного пространства для трех случаев

На рисунке 20 а) отмечен тот факт, что каждая микросхема ассоциирована с адресным пространством еще трех зон (надписи помечены *). Иными словами, обращаться к каждой микросхеме можно по четырем различным диапазонам адресов.

На рисунке 20 б) также показаны «теневые» диапазоны адресов для каждой микросхемы.

Этот эффект отсутствует, если микросхема полностью перекрывает выделенный ей блок адресного пространства.

На рисунке 20 в) микросхема памяти занимает два блока адресного пространства.

8 Проектирование подсистемы памяти команд

Некоторые общие вопросы проектирования подсистем памяти были рассмотрены в теме «Проектирование подсистемы памяти данных». Предполагается, что этот материал уже рассмотрен и изучен.

Рассмотрим главные отличия микросхем памяти команд и особенности проектирования подсистемы памяти команд.

Часто, рассматривая память данных, учитывают только микросхемы оперативной памяти (ОЗУ). Соответственно, при рассмотрении памяти данных, речь идет о постоянных запоминающих устройствах (ПЗУ).

Вообще говоря, программа может находиться и в ОЗУ, а данные в виде констант – в ПЗУ. Однако, при включении МПС или сбросе микропроцессора, невозможно гарантировать сохранность или наличие какой-либо информации в микросхемах ОЗУ, если не приняты особые меры (резервное питание блока оперативной памяти). Поэтому главная отличительная особенность ПЗУ – долговременное хранение записанной информации, в том числе и при отсутствии питания – является важным фактором, обязательно учитываемым при проектировании МПС.

При включении питания или после сброса микропроцессор начинает выборку команды по predetermined адресу. Как правило, это адрес 0000H (для восьмиразрядных устройств). Соответственно, в этом диапазоне адресов должна быть установлена микросхема ПЗУ. Другие микросхемы, как ОЗУ, так и ПЗУ, могут располагаться в произвольных участках адресного пространства. Однако для удобства стремятся обеспечить непрерывность адресов для области памяти команд и памяти данных.

При рассмотрении устройств ввода-вывода как ячеек памяти и учета их в адресном пространстве требование непрерывности обычно не является актуальным.

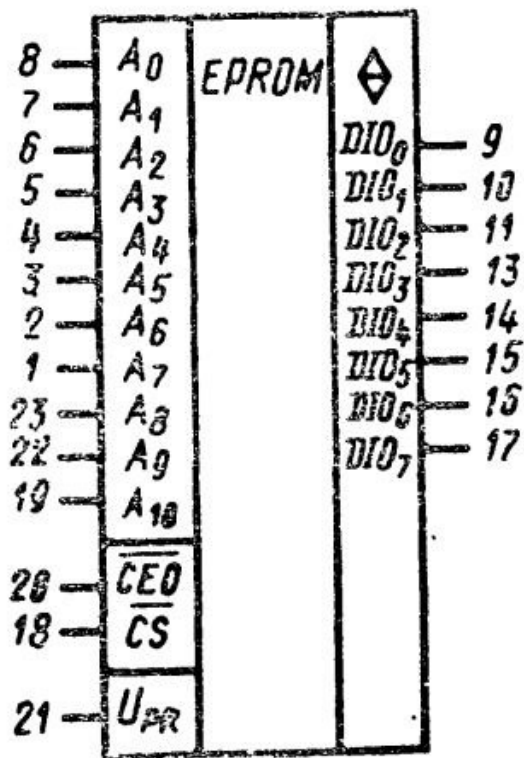
Микросхемы ПЗУ в большинстве случаев *программируются* (т.е. в них заносится информация) до установки их в систему. В некоторых случаях предусматривается возможность программирования ПЗУ, уже установленного в систему, с

помощью специального оборудования. В последнее время разрабатываются также системы, где изменение содержимого ПЗУ возможно во время работы МПС.

Отсутствие возможности программирования в системе исключает из числа необходимых управляющих сигналов сигнал микропроцессора «запись» (как правило, имеющий обозначение /WR).

Существует множество разновидностей ПЗУ. В дальнейшем изложении особенности каждой разновидности не будут учитываться. Также не будут учитываться вопросы согласования подсистем по временным диаграммам и электрическим параметрам. Отметим, что при проектировании реальных МПС эти факторы **обязательны** к рассмотрению.

В качестве примера возьмем микросхему ПЗУ 573РФ5.



К573РФ5

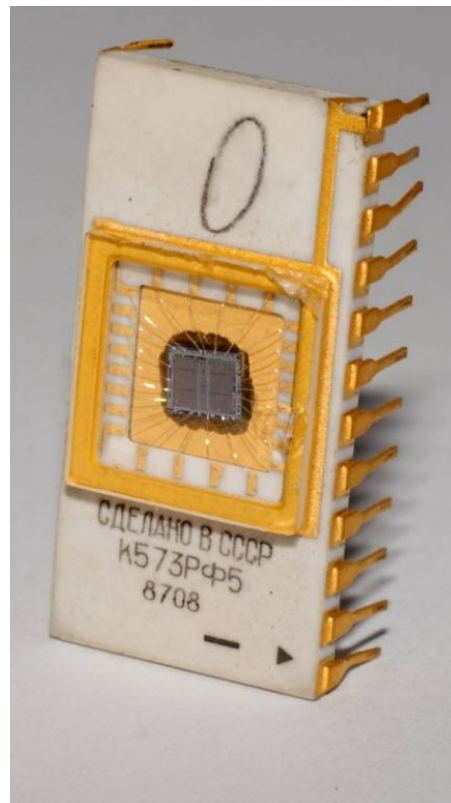


Рисунок 21 - Соответствие сигналов и контактов микросхемы 573РФ5 и ее внешний вид

Микросхема К573РФ5 - электрически программируемое постоянное запоминающее устройство с ультрафиолетовым

стиранием (ПЗУ УФ). Информационная емкость - 16384 бит. Организация - 2048 слов x 8 разрядов. Корпус типа 210Б.24-5. Аналог К573РФ2.

На следующем рисунке приведен пример подсистемы памяти команд, имеющей информационный объем 4К байтов. В подсистему входят 2 микросхемы 573РФ5, при этом непрерывность адресного пространства не соблюдается.

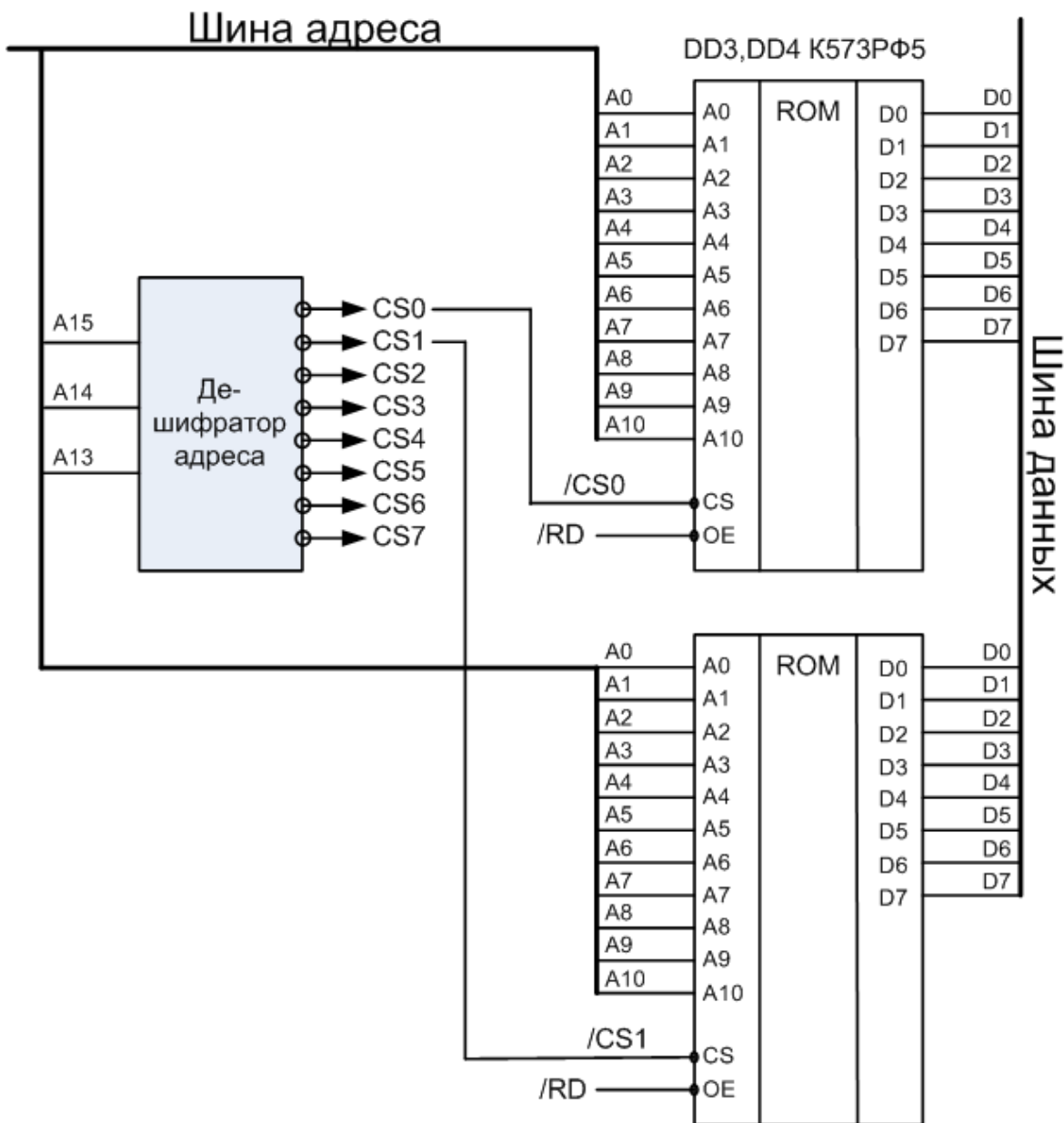


Рисунок 22 - Простой вариант построения подсистемы памяти команд

Для обеспечения непрерывности адресов подсистемы памяти команд можно использовать решение, предложенное на рисунке ниже. Дополнительный дешифратор включается в работу при активном сигнале CS0 дешифратора адреса и формирует сигналы выбора для микросхем с объемом 2К байтов. Используя все выходы вспомогательного дешифратора возможно разместить в данном блоке адресного пространства 4 микросхемы указанного типа, т.е. увеличить объем вдвое, вписав его в блок 8К байтов.

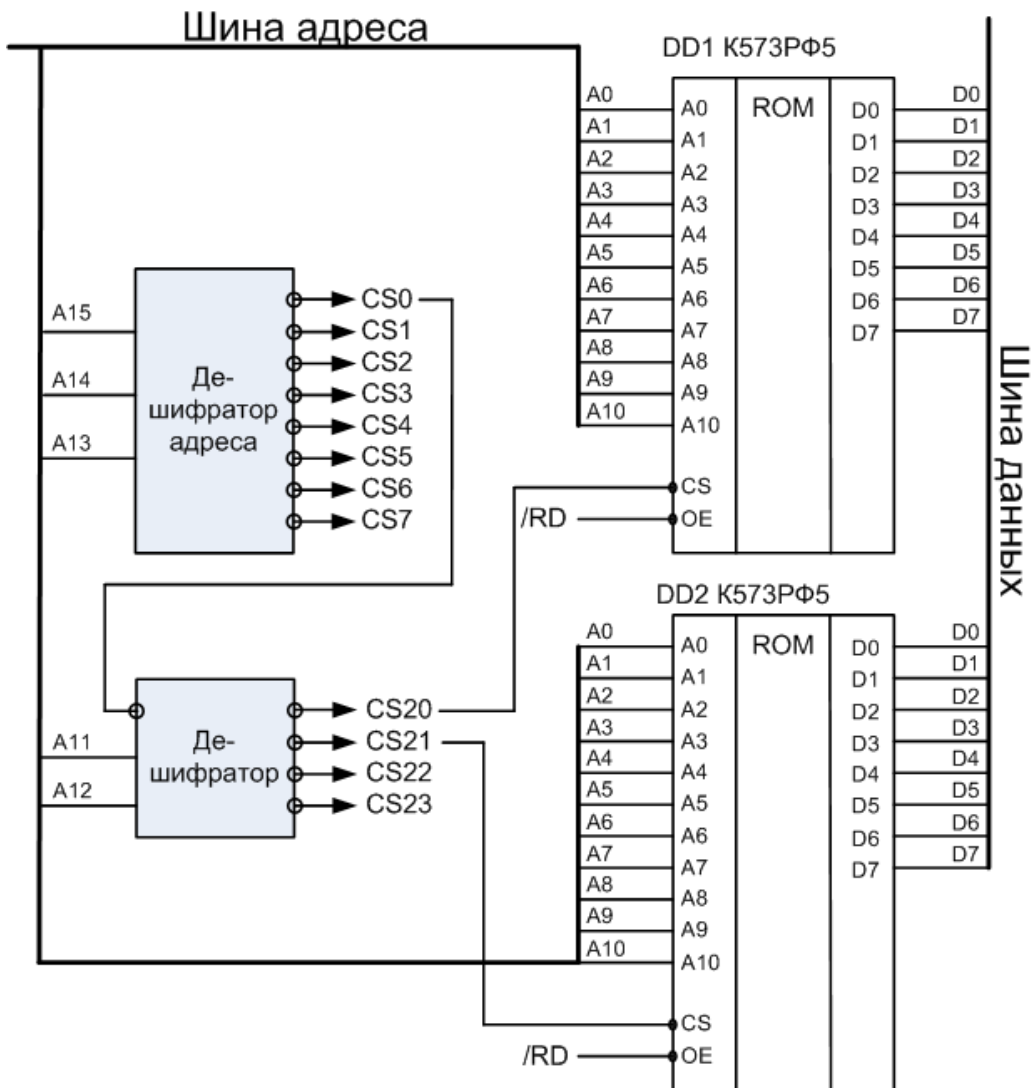


Рисунок 23 - Улучшенный вариант построения подсистемы памяти команд

Отметим, что рассмотренные в теме «Проектирование подсистемы памяти данных» способы построения узлов дополнительной дешифрации пригодны и для подсистемы команд. Аналогично, рассмотренные здесь способы могут быть применены и при построении подсистемы памяти данных.

При объединении предложенных схем в рамках системы, следует помнить, что дешифратор адреса является единым для всей системы.

9 Проектирование подсистемы ввода-вывода с применением микросхемы 8255

Рассмотренные ранее устройства ввода – вывода обладают одним существенным недостатком: после изготовления микропроцессорной системы количество линий ввода и линий вывода фиксировано и их соотношение не может быть изменено. Это снижает сферу применения разработанной МПС, поскольку для некоторых задач важно преобладание линий ввода, для других задач – преобладание линий вывода или иные особенности. Попытки поднять универсальность за счет изначального внедрения большого количества устройств обоих типов приводит к удорожанию системы, либо к увеличению габаритов за счет посадочных мест зарезервированных под дополнительные микросхемы.

Более удобен вариант, когда каждую имеющуюся линию можно настроить либо на ввод, либо на вывод. Для облегчения этой задачи в большинстве микропроцессорных комплектов присутствуют специальные микросхемы. Заметим, что для однокристальных микро – ЭВМ такой подход предполагался изначально.

Наиболее известна и широко распространена микросхема 8255, разработанная фирмой intel для собственных семейств микропроцессоров. Однако ее можно использовать и в МПС, построенных на базе микропроцессоров других изготовителей.

Структурная схема микросхемы 8255 приведена ниже. Как следует из рисунка, микросхема содержит 24 линии, которые могут быть настроены на режим ввода или вывода. Так как устройство ориентировано на 8-разрядные микропроцессоры, все выходные линии разделены на 3 группы по 8 линий. В терминологии разработчика, мы имеем дело с тремя *портами*, именуемыми Port A, Port B и Port C.

Каждый порт может взаимодействовать с микропроцессором индивидуально. Обмен данными происходит через шину данных D7-D0. Выбор порта для обмена определяется информацией на линиях A1 и A0. Фактически, с точки зрения сопряжения с микропроцессором, данное устройство может рассматриваться как

обычный блок устройств ввода – вывода. Взаимодействие этого блока разрешается при наличии разрешающего нулевого сигнала на входе /CS. Процедура записи осуществляется по линии /WR, процедура чтения – по линии /RD.

Настройка режима работы производится путем записи в специальный регистр управления, который находится внутри микросхемы и который далее именуется Port Y.

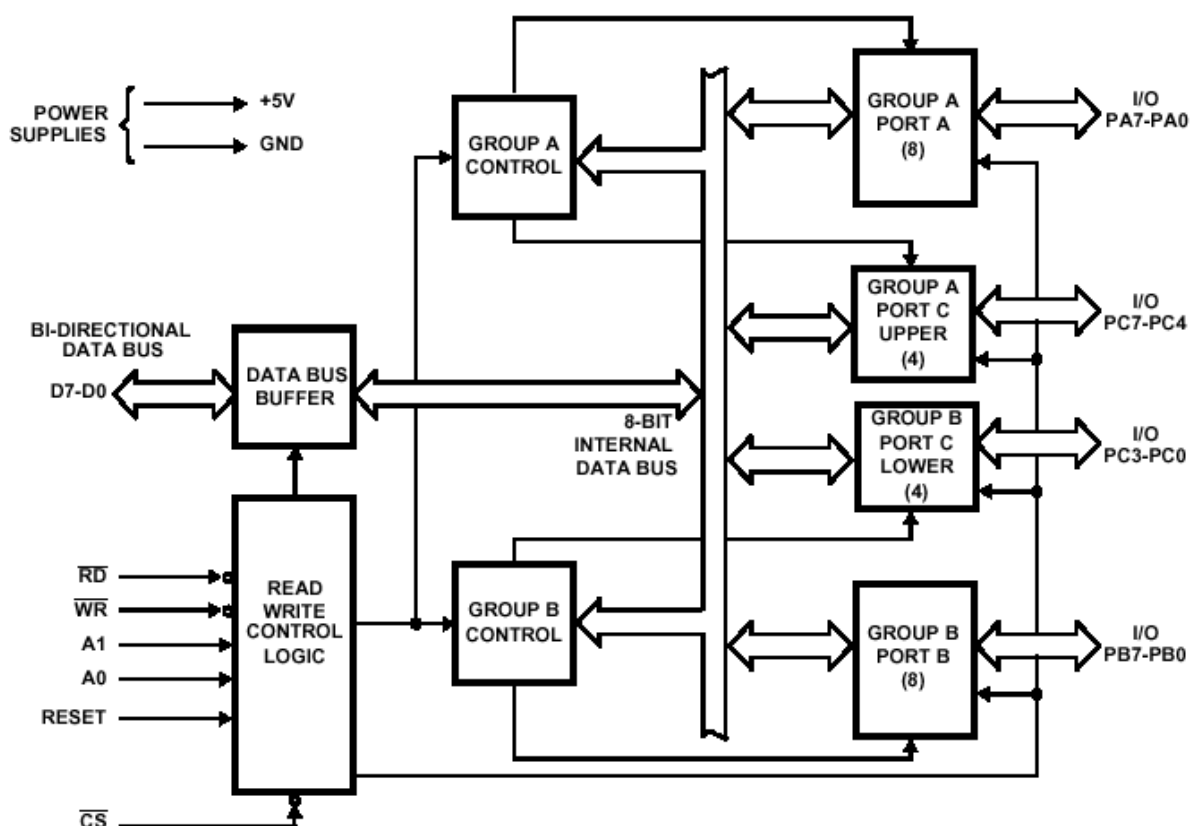


Рисунок 24 - Структура микросхемы 8255

Все порты имеют внутренний адрес, задаваемый сочетанием сигналов на линиях A1, A0 в соответствии с нижеследующей таблицей.

При обращении процессора к портам A, B и C передаваемые по линиям шины данных сигналы представляют собственно информацию для устройств ввода-вывода.

При обращении к порту Y передаваемые сигналы представляют собой команды, которые должны исполниться внутренней аппаратурой 8255. Команды существуют двух типов:

- настройка режимов работы устройства;
- манипуляция отдельными битами порта С.

Таблица 7 - адреса портов микросхемы 8255

A1	A0	Выбираемый порт	Назначение и свойства порта
0	0	Port A	Ввод или вывод, 8 разрядов
0	1	Port B	Ввод или вывод, 8 разрядов
1	0	Port C	Ввод или вывод, две группы по 4 разряда
1	1	Port Y	Настройка режима работы всех портов

Признаком команд настройки является 1-ое значение старшего разряда записываемых в порт Y данных. Признаком команд манипуляции битами порта С является 0-ое значение старшего разряда.

Ниже представлен формат команд настройки.

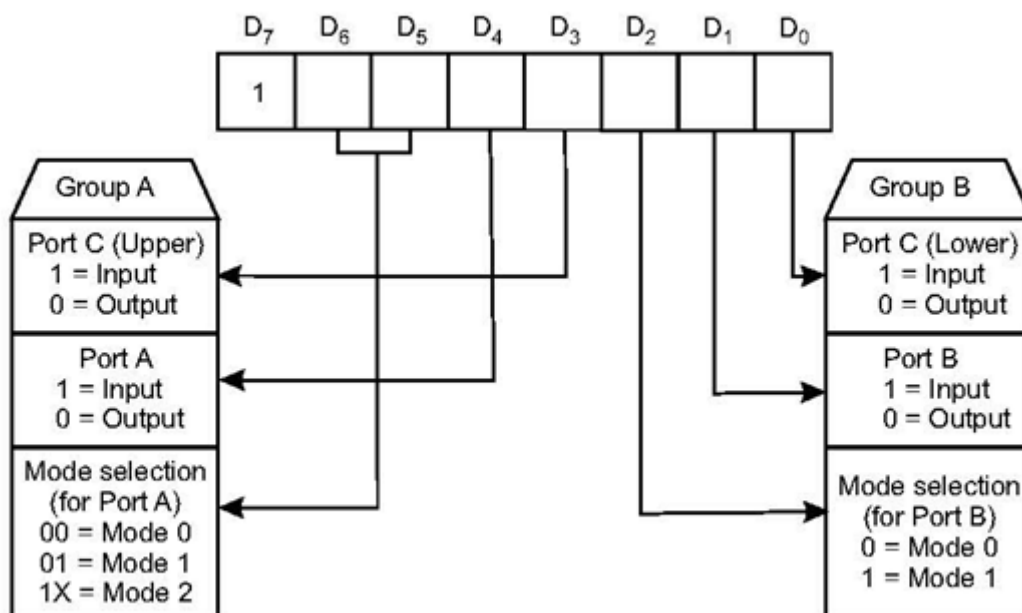


Рисунок 25 - Формат команд настройки режима работы 8255

Как следует из рисунка, существует 3 режима работы, именуемые режим 0, режим 1 и режим 2. Далее, настройка режима

осуществляется отдельно для порта А и порта В, а обе части порта С настраиваются независимо друг от друга. При этом порт А и старшие 4 разряда порта С образуют одну группу (группа А), а порт В и младшие 4 разряда порта С образуют другую группу (группа В).

В большинстве случаев обе группы настраивают на работы в режиме 0. Это как раз тот режим, который позволяет выбирать направление линий каждого порта.

Таблица 8 - Команда настройки 8255 в режиме 0

D7	D6	D5	D4	D3	D2	D1	D0	Пояснения
1	0	0			0			Общий вид настройки в режиме 0
1	0	0	1		0			Порт А – на ввод
1	0	0	0		0			Порт А – на вывод
1	0	0			0	1		Порт В – на ввод
1	0	0			0	0		Порт В – на вывод
1	0	0			0		1	Порт С3...С0 - ввод
1	0	0			0		0	Порт С3...С0 - вывод
1	0	0		1	0			Порт С7...С4 - ввод
				0				Порт С7...С4 - вывод

В каждой команде должны быть заданы значения всех разрядов, т.е. настройка всех объектов осуществляется одновременно и независимо. Приведем команду, которая в режиме 0 настроит порт А на ввод, порт В на вывод, порт С целиком на ввод:

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	1	0	0	1

Манипуляция битами порта С осуществляется в соответствии с нижеследующим рисунком.

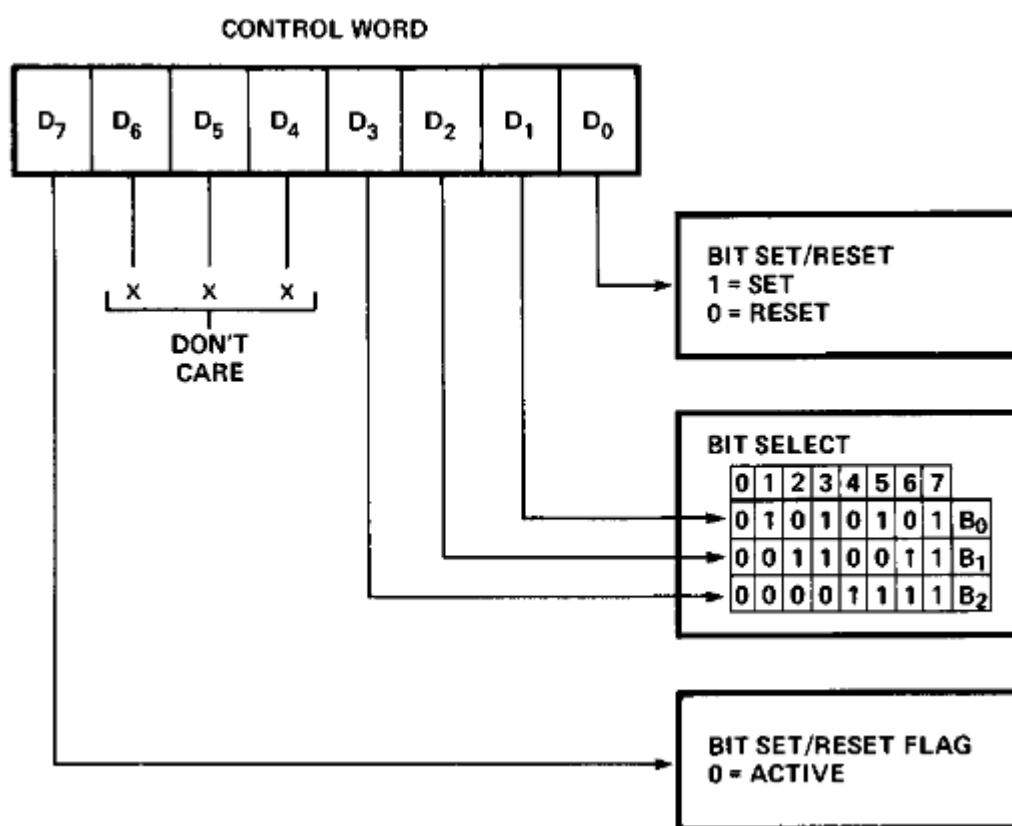


Рисунок 26 - Правила управления битами порта С

Примеры манипуляции битами порта С приведены ниже.

D7	D6	D5	D4	D3	D2	D1	D0	Пояснения
0	0	0	0	0	0	1	0	PortC[0]=0
0	0	0	0	0	0	1	1	PortC[0]=1
0	0	0	0	1	0	1	0	PortC[5]=0

При считывании информации из порта, настроенного на ввод, будет получено текущее состояние линий ввода данного порта. При считывании информации из порта, настроенного на вывод, будут получены данные, занесенные в этот порт последней командой записи.

Режимы 1 и 2 предназначены для организации параллельного интерфейса для обмена информацией с внешними системами. Дополнительную информацию можно найти в документации на микросхему.

10 Функциональная схема микропроцессорной системы

Следующим этапом детализации проекта после структурной схемы является функциональная схема устройства. К моменту ее разработки должны быть известны все компоненты системы: микропроцессор, микросхемы памяти ПЗУ и ОЗУ, микросхемы поддержки устройств ввода-вывода и т.п.

Назначение функциональной схемы – детально раскрыть особенности функционирования устройства. В этой схеме должны присутствовать все линии передачи информации и линии управления, должны быть указаны и грамотно обозначены сигналы, ...

Для данной курсовой работы функциональная схема является конечным этапом разработки, но в практике реального проектирования электронных устройств таковой является *схема электрическая принципиальная*, на основе которой разрабатывается конструкция устройства. Принципиальная схема содержит все элементы системы (включая разъёмы и т.п.), а также нумерацию контактов всех микросхем.

В рамках курсовой работы функциональная схема может быть построена на основе структурной путем объединения в единое целое всех разработанных подсистем. На следующем рисунке показана функциональная схема, на примере которой можно рассмотреть некоторые особенности оформления.

1. Каждый элемент, имеющий функциональное назначение, имеет обозначение, соответствующее виду этого элемента. Так, цифровые микросхемы имеют обозначение DD и последующий порядковый номер, который определяется положением элемента на схеме в порядке «слева сверху вниз направо».

2. Однотипные группы линий объединяются в «жгуты», которые обозначаются утолщенной линией. Каждый сигнал, входящий в «жгут» имеет индивидуальное обозначение, которое в пределах жгута является уникальным. Соответственно, при каждом выходе из «жгута» это обозначение повторяется, чтобы можно было проследить данную сигнальную цепь.

3. В «жгут» допустимо включать линии, не имеющие функционального сходства с другими. Это делается для того, чтобы не загромождать чертеж многочисленными индивидуально идущими линиями.

4. Обозначение сигнала указывают непосредственно у точки входа – выхода в жгут. Сигнальные линии могут входить в жгут под прямым углом, или под углом 45 градусов. Последний случай имеет специальное назначение: направление наклонного окончания линии указывает, в каком направлении следует искать в жгуте прочие точки разветвления данного сигнала. Такой случай специально употреблен для модуля U1.

Приведенная схема может рассматриваться как образец, но не как эталон. Во многих случаях целесообразными могут быть иные варианты исполнения, но в любом случае следует придерживаться существующих стандартов.

Функциональная схема дополняется текстовым описанием и пояснениями.

МПС включает в свой состав память команд объемом 4К байтов (DD7, DD8), память данных объемом 4К байтов (DD4, DD5), устройство ввода на 8 цифровых линий (DD9) и устройство вывода на 8 цифровых линий (DD10).

В основе системы лежит микропроцессор 8085АН (DD1). Он имеет встроенный тактовый генератор, частота работы которого определяется кварцевым резонатором ZQ1. Цепь сброса в начальное состояние при включении выполнена на элементах R1, C1, VD1.

Мультиплексирование шины адреса/данных AD0...AD7 потребовало применения дополнительного регистра DD2 для фиксации младших разрядов адреса. Сформированная 16-разрядная шина адреса имеет наименование сигналов A0...A15. Линии шины адреса/данных, исполняющие роль шины данных, обозначены как D0...D7 и подключены к микросхемам памяти данных DD4, DD5 и памяти команд DD8, DD9. Также к шине

данных подключены выходы регистра ввода DD10 и входы регистра вывода DD11.

Старшие три линии шины адреса подключены к дешифратору адреса, выполненному на микросхеме DD3. Выходы дешифратора адреса имеют обозначение CS0...CS7 и предназначены для подключения выбранной микропроцессором для информационного обмена микросхемы.

Операция считывания данных в микропроцессор инициируется сигналом /RD, операция записи данных - сигналом /WR.

Неиспользуемые выходные линии микропроцессора на схеме обозначены, но не подключены (S0, S1,..). Неиспользуемые входные линии подключены к общему проводу (INTR, HOLD,..) либо к уровню логической единицы (READY) в соответствии с логикой их функционирования.

Блок U1 представляет собой преобразователь уровней сигналов для непосредственного подключения к линиям интерфейса RS-232C. Преобразователь выполняется на микросхеме max232. Управление интерфейсом предполагается выполнить программно, используя аппаратную поддержку, заложенную в микропроцессор 8085 в виде линий SID и SOD и двух специальных команд SIM и RIM.

Элементы DD6 и DD7 формируют сигналы управления для устройства ввода и устройства вывода соответственно.

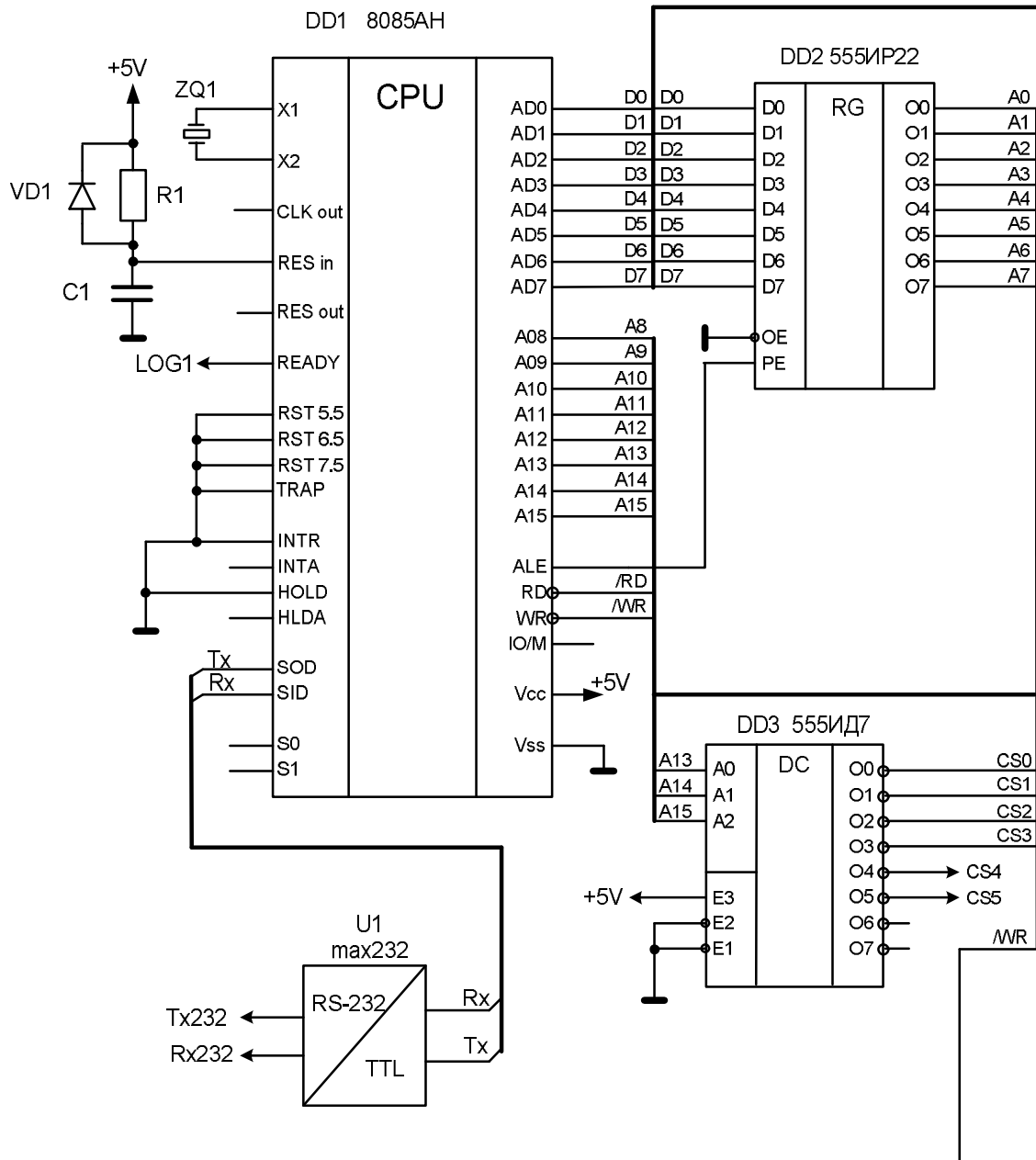
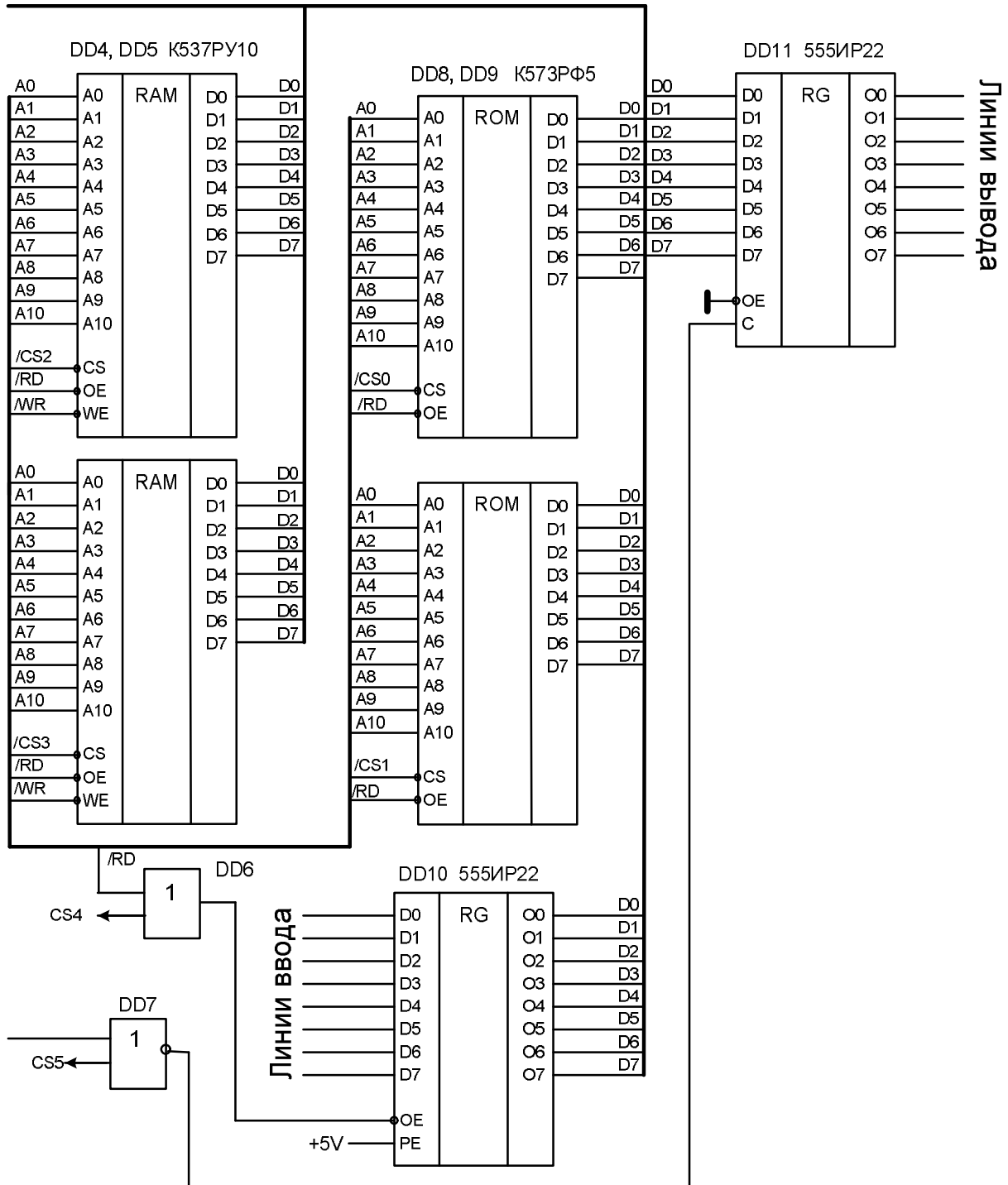


Рисунок 27 – Пример функциональной схемы микропроцессорной системы



11 Конструктивные особенности микропроцессорной системы

Тактовые генераторы

Выполнение действий в микропроцессорах синхронизируется специальной регулярной последовательностью прямоугольных сигналов, называемых тактовыми. Один период такого сигнала обычно именуется машинным тактом; за время одного такта управляющая подсистема микропроцессора выполняет некоторый набор действий. Отдельный смысл имеет время выполнения логически законченного набора действий, который называют машинным циклом.

К сигналам, формируемым тактовым генератором предъявляются жесткие требования в отношении их стабильности, чем обусловлено применение кварцевых резонаторов. Однако в ряде случаев, возможны варианты применения времязадающих LC и RC цепей.

Многие микропроцессоры и подавляющее большинство микро-ЭВМ имеют встроенный генератор. Возможности встроенного генератора микропроцессора 8085 показаны на рисунке ниже [10].

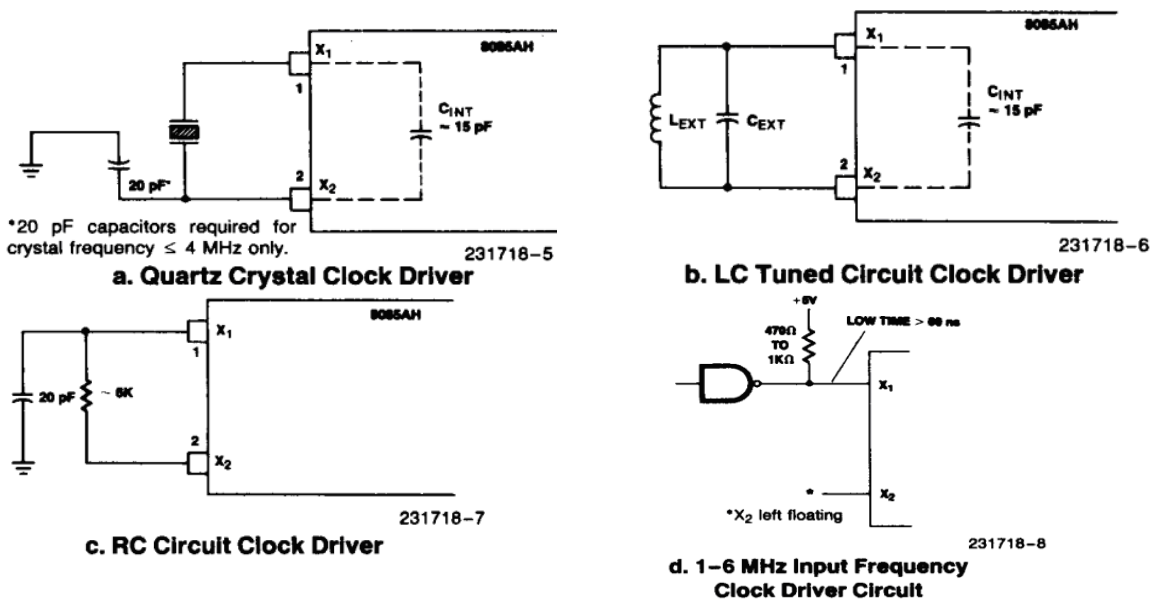


Рисунок 28 - Способы тактирования 8085

Для некоторых микропроцессоров, например Z80, требуется применение внешнего генератора. Такой генератор может быть построен с применением логических элементов или транзисторов (рисунок ниже, справа). Существуют специальные микросхемы генераторов, содержащие в своем составе кварцевый резонатор и обеспечивающие хорошие показатели стабильности. В качестве примера можно привести изделие AEL 1200CSN (рисунок ниже, слева).

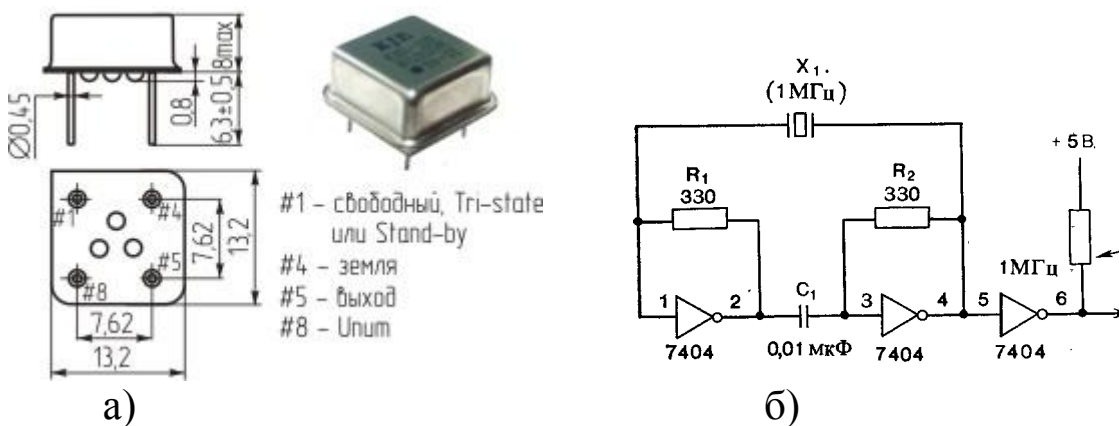


Рисунок 29 - Кварцевые генераторы

Следует помнить, что частота кварцевого генератора не всегда соответствует тактовой частоте, на которой работает микропроцессор. Например, для 8085 тактовая частота вдвое меньше, чем генерируемые колебания. Это связано с необходимостью соблюдать форму тактовых сигналов, обеспечивающих удобную скважность со значением, близком к 2 («меандр»).

Согласование элементов МПС по нагрузочной способности

Микропроцессоры часто не могут обеспечить значительных выходных токов, необходимых для переключения управляемых элементов. Например, для 8085 заявлен выходной ток 0 на уровне 2 мА, а выходной ток логической 1 – на уровне 0,4 мА. Это

означает, что допустимо подключение не более одной стандартной нагрузки ТТЛ. Ситуация упрощается тем, что большинство микросхем памяти имеют входные токи на уровне токов утечки (5...10 μ A). Микросхема 555ИР22, которая приводилась в примерах, имеет входные токи 0,5mA (лог. 0 на входе) и 0,01mA (лог. 1 на входе). Поэтому суммарный ток для выходных линий 8085 в приведенных ранее в качестве примеров схемах не превышает заявленного предела.

В случае, если это условие не выполняется, необходимо применение буферных элементов, устанавливаемых между линиями микропроцессора и подключенными к ним устройствами.

Буферирование также необходимо и в том случае, когда независимо от величины входного тока суммарная паразитная емкость на линиях оказывается чрезмерно большой. Это особенно важно при высоких частотах тактирования микропроцессоров.

Примеры буферирования можно найти в [6].

Согласование элементов по временным характеристикам

Машинный цикл обращения к ячейке памяти или внешнему устройству описывает порядок подачи управляющих сигналов и их *временные* характеристики. Временные диаграммы приводятся в описании к микропроцессору. Любое подключаемое устройство должно обладать достаточным быстродействием, чтобы не превысить нормируемые временные параметры. Понятно, что изготовители памяти стараются обеспечить согласование временных характеристик с требованиями изготовителей микропроцессоров.

Для микросхем памяти для грубой оценки соответствия обычно используют *время выборки микросхемы*. Этот параметр характеризует временной интервал между моментом начала доступа к памяти и моментом ее готовности к обмену - обычно, это наиболее критичный для согласования параметр. Далее по тексту приведены взятые из [5] параметры для микросхемы ОЗУ 537РУ10.

Таблица 9 – временные параметры 537РУ10

Параметры	КР537РУ10	
	мин.	макс.
Время удержания сигнала CS относительно входных данных, $t_{H(DI-CS)}$, нс	160	—
Длительность сигнала CS в режиме считывания, $t_{W(CS)RD}$, нс	220	—
Длительность сигнала CS в режиме записи, $t_{W(CS)WR}$, нс	160	—
Длительность сигнала записи, $t_{W(WR)}$, нс	160	—
Время сохранения адреса относительно сигнала CS , $t_{V(CS-A)}$, нс	30	—
Время сохранения адреса относительно сигнала WR , $t_{V(WR-A)}$, нс	30	—
Время цикла записи, $t_{CY(RD)}$, нс	220	—
Время цикла считывания, $t_{CY(RD)}$, нс	220	—
Входная емкость, C_I , пФ	—	8
Выходная емкость, C_O , пФ	—	14
Емкость нагрузки, C_L , пФ	—	50
Время выборки адреса, $t_{A(A)}$, нс	—	220
Время выбора, t_{CS} , нс	—	220
Время выборки сигнала разрешения по выходу, $t_{A(CEO)}$, нс	—	150
Время установления сигнала CS относительно адреса, $t_{SU(A-CS)}$, нс	30	—
Время установления сигнала WR относительно адреса, $t_{SU(A-WR)}$, нс	30	—
Время сохранения входных данных после сигнала записи, $t_{V(WR-DI)}$, нс	30	—
Время сохранения входных данных после сигнала CS , $t_{V(CS-DI)}$, нс	30	—
Время удержания сигнала записи относительно входных данных, $t_{H(DI-WR)}$, нс	160	—

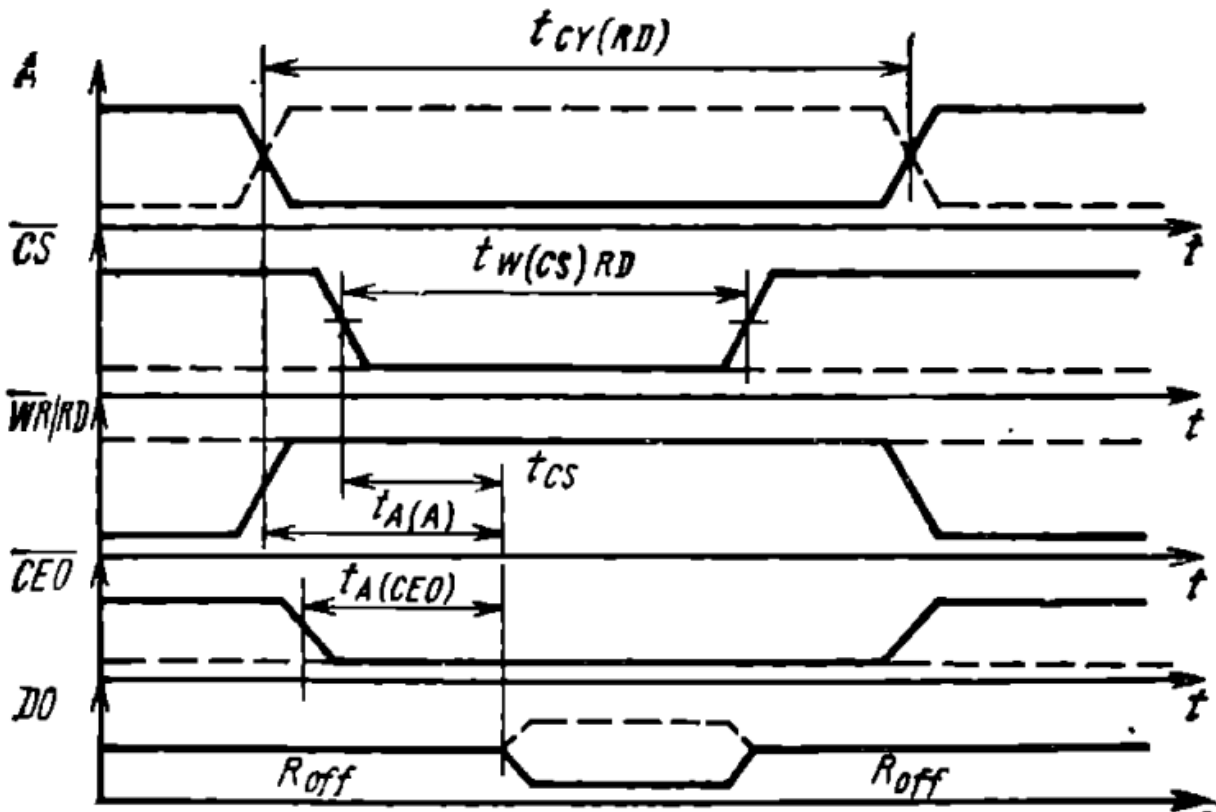


Рисунок 30 - Временная диаграмма для 537PY10 в режиме чтения

Время выборки адреса $t_{A(A)}$ указано равным 220 ns. Т.е., после появления адресной информации и своевременном разрешении микросхемы, данные для считывания будут готовы через указанное время.

Упрощенная диаграмма цикла считывания из памяти приведена ниже. Считывание происходит за 3 машинных такта. При надлежащем выборе регистра фиксации адреса адресная информация появляется на линиях памяти в начале такта T1. Сигнал ALE фиксирует значения младших разрядов адреса в середине такта T1. Таким образом, адресная информация действительна в течение всех трех тактов, и это можно считать началом выборки из памяти. Запрос на выдачу данных начинается по спаду сигнала /RD, данные должны быть действительны в интервале такта T3, а их фиксация произойдет по нарастанию сигнала /RD.

Следовательно, для надежности считывания, время выборки для микросхемы памяти в данном случае не должно превышать

длительности двух машинных тактов. При тактовой частоте микропроцессора 5 МГц это соответствует величине 400 нС. Таким образом, микросхема 537РУ10 с запасом удовлетворяет критерию применимости в данной МПС.

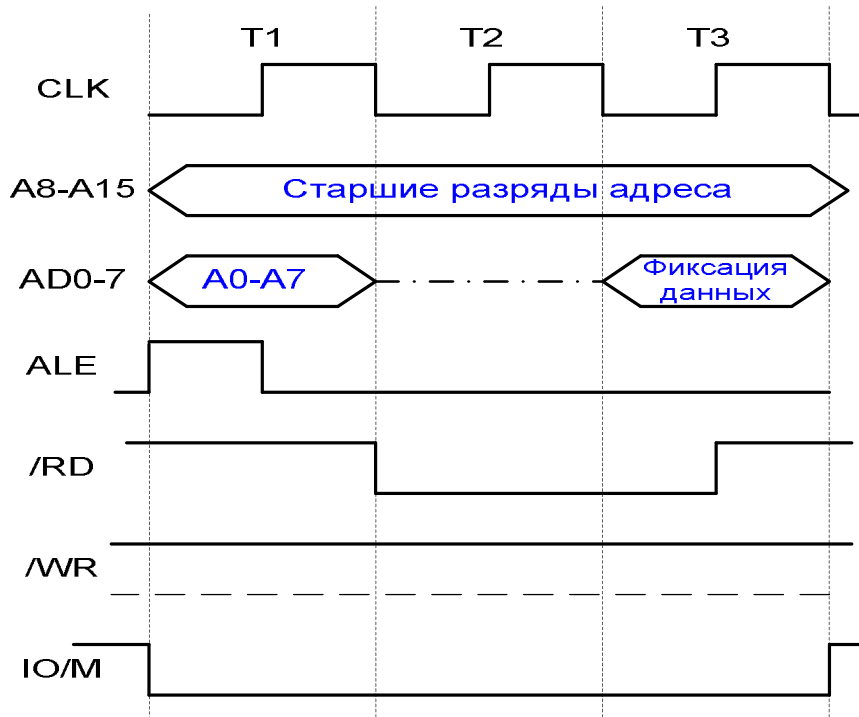


Рисунок 31 - Примерная временная диаграмма цикла чтения 8085

Приведенные расчеты дают грубую оценку пригодности. При грамотном проектировании системы необходимо убедиться в соответствии всех временных параметров во всех режимах работы МПС. Примеры работы с временными диаграммами при обработке прерываний приведены в [7].

Печатная плата

Надежность функционирования любого электронного изделия напрямую зависит от его конструктивного исполнения. Это тем более справедливо для микропроцессорных систем, работающих при высоких частотах тактирования. На таких частотах проводной монтаж, например, трудно реализуем. Основным видом конструктивного исполнения МПС является печатная плата.

Рассмотрение вопросов изготовления печатной платы относится к другим дисциплинам. Тем не менее, уже на начальных этапах проектирования полезно представлять внешний вид изделия. В рамках данной курсовой работы целесообразно выполнить эскизный чертеж расположения элементов на печатной плате. Промежуточным этапом является составление перечня элементов и выяснение размеров микросхем. Учитывая, что полный перечень элементов соответствует разработке принципиальной схемы, ограничимся упрощенным вариантом перечня элементов, совместив его с информацией о размерах корпусов.

Таблица 10 – Перечень микросхем и их габариты

Наименование	Количество	Тип корпуса	Габариты, ориентировочно, mm
8085АН	1	DIP-40	53x16
555ИР22	3	DIP-20	25x8
537РУ10	2	DIP-24	31x16
573РФ5	2	DIP-24	31x16
555ЛЛ1	1	DIP-14	20x8
555ЛЕ1	1	DIP-14	20x8
555ИД7	1	DIP-16	20x8
max232	1	DIP-16	20x8

С учетом вышеприведенной таблицы и пробных попыток размещения образов микросхем в натуральном масштабе можно предложить следующий вариант компоновки.

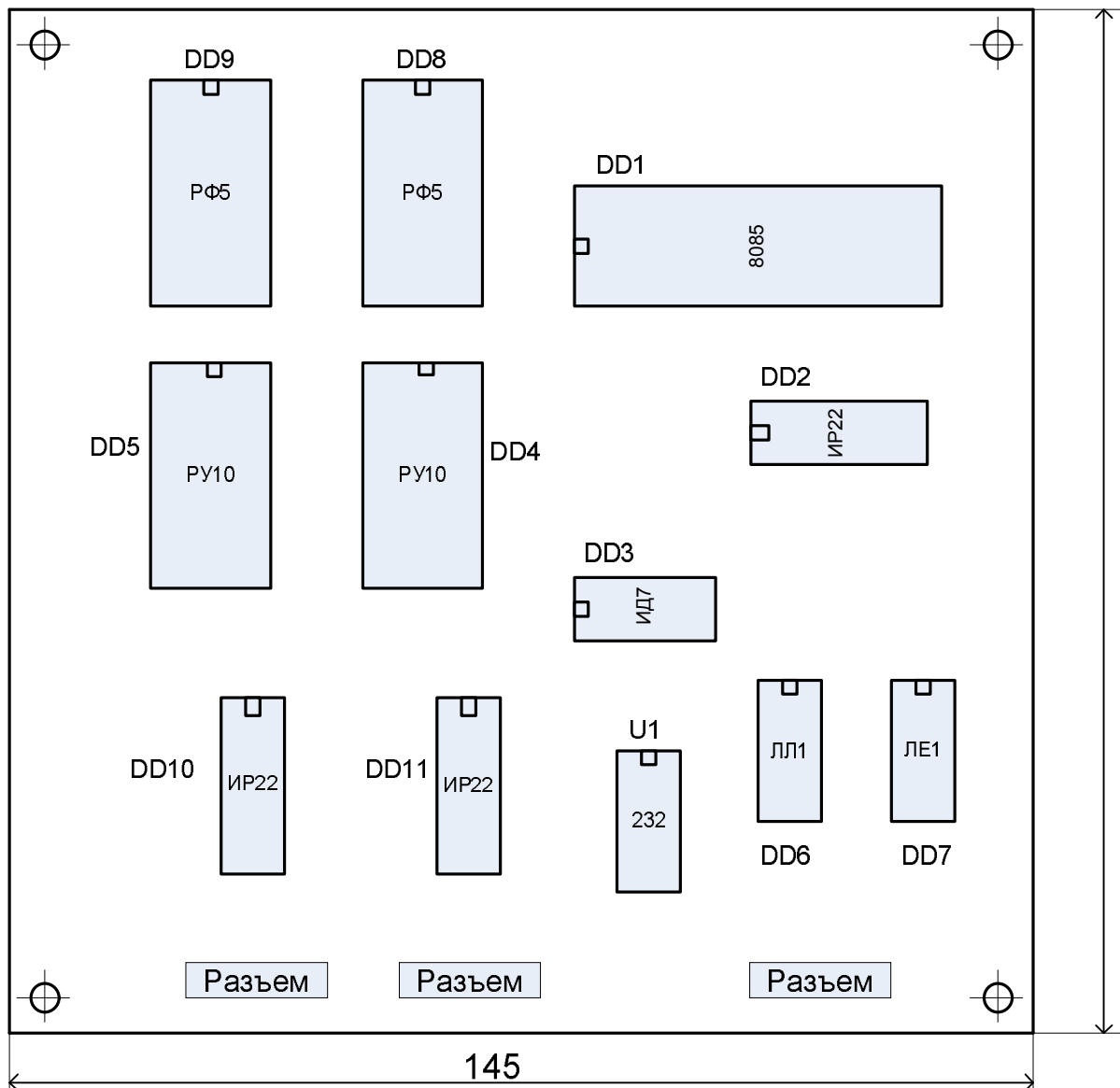


Рисунок 32 - Примерное расположение микросхем на печатной плате

При размещении учитывалось расположение линий на корпусе микропроцессора, в частности линий адреса-данных, которые необходимо подвести к микросхеме DD2. Между микросхемами обеспечена свободная площадь для облегчения разводки. Предусмотрены разъемы для линий ввода-вывода, интерфейса RS-232 и питания.

12 Оформление пояснительной записки курсовой работы

Требования к оформлению пояснительной записки изложены в [8]. Некоторые положения из этого документа будут процитированы.

Пояснительная записка содержит элементы и разделы, перечисленные ниже.

Титульный лист

Задание на курсовую работу (проект)

Отзыв руководителя

Реферат

Введение

1 Анализ технического задания

2 Распределение адресного пространства

3 Проектирование дешифратора адреса

4 Проектирование подсистемы ввода

5 Проектирование подсистемы вывода

6 Проектирование подсистемы памяти данных

7 Проектирование подсистемы памяти команд

8 Функциональная схема микропроцессорной системы

9 Конструктивные особенности микропроцессорной системы

Заключение

Список использованных источников

Приложения

К приведенному обязательному списку разделов полезно добавить дополнительные темы. Например, можно привести пример возможного использования разработанной системы, пример программного кода для обращения к устройствам ввода-вывода и т.д.

Основные требования к оформлению текста из [8]:

7.1.3 Текст ПЗ набирается ... в формате doc и печатается на принтере на одной стороне листа белой бумаги формата А-4.

7.1.4 Шрифт – Times New Roman. Размер шрифта – 14.

- 7.1.5 Абзацный отступ – 1,25 см. Междустрочный интервал – 1,5.
- 7.1.6 Размеры полей: левое, верхнее, нижнее – 20 мм; правое – 10 мм.
- 7.1.7 Выравнивание – по ширине.
- 7.2.1 Каждый структурный элемент ПЗ начинается с новой страницы.
- 7.2.2 Название структурного элемента в виде заголовка записывается строчными буквами, начиная с первой прописной без точки в конце.
- 7.2.3 Заголовки следует печатать с абзацного отступа.
- 7.2.4 Заголовки выделяют жирным шрифтом.
- 7.2.5 Заголовок раздела должен быть отделён от основного текста раздела и от текста предыдущего раздела одинарным междустрочным интервалом 8 мм (1 пустая строка основного текста 14 pt).
- 7.3.1 ... Номер страницы ставится ...без точки. Для технических направлений – в правом нижнем углу.
- 7.3.2 ... Титульный лист включается в общее количество страниц, но не нумеруется.

При оформлении графического материала следует помнить:

- лист формата А4 предусматривает **исключительно** вертикальное расположение рисунка;
- наиболее подходящим форматом для функциональной схемы будет в большинстве случаев А3;
- формат А3 удобен для горизонтального изображения чертежей;
- на всех листах графического материала следует размещать стандартный штамп;
- распечатка чертежей формата А3 в уменьшенном масштабе допускается для предварительных эскизов по согласованию с руководителем курсовой работы.

На каждый источник в списке литературы в тексте должна присутствовать ссылка.

Примеры оформления и рекомендации по оформлению графической части для электронных устройств можно найти в [9]

Бланки для оформления титульного листа и задания на курсовую работу (проект), действующие на момент проектирования, следует согласовывать с руководителем.

Список литературы

1. **Балашов, Е. П.** Микропроцессоры и микропроцессорные системы [Текст] : [учеб. пособие для вузов по спец."Электрон. вычисл. машины"] / под ред. В. Б. Смолова. - М. : Радио и связь, 1981. - 326 с. : ил.
2. **Балашов, Е. П.** Микро- и мини- ЭВМ [Текст] : учеб. пособие для вузов / В. Л. Григорьев, Г. А. Петров. - Л. : Энергоатомиздат, 1984. - 376 с. : ил.
3. **Шило, В. Л.** Популярныe цифровые микросхемы [Текст] : справочник / В. Л. Шило. - 2-е изд., испр. - Челябинск : Металлургия, 1989. - 346. с. : ил.
4. **Лебедев, О. Н.** Микросхемы памяти и их применение [Текст] / О. Н. Лебедев. - М. : Радио и связь, 1990. - 158 с. : ил.
5. **Большие интегральные схемы** запоминающих устройств [Текст] : справочник / Под ред. А. Ю. Гордона. - М. : Радио и связь, 1990. - 288 с. : ил.
6. **Коффрон Дж.** Технические средства микропроцессорных систем: Практический курс. Пер. с англ. – М.: Мир, 1983.
7. **Рафикузаман М.** Микропроцессоры и машинное проектирование микропроцессорных систем : В 2-х кн. Кн. 1. Пер. с англ. – М.: Мир, 1988.
8. **СТУ 04.02.030–2015 СТАНДАРТ УНИВЕРСИТЕТА** - Курсовые работы (проекты). Выпускные квалификационные работы. Общие требования к структуре и оформлению.
9. **Конструирование радиоэлектронного устройства** [Электронный ресурс] : методические указания к курсовой работе по дисциплине «Основы конструирования электронных средств» для студентов направления подготовки бакалавров 211000.62 «Конструирование и технология электронных средств» / Юго-Западный государственный университет, Кафедра конструирования и технологии электронно-вычислительных средств ; ЮЗГУ ; сост. В. В. Умрихин. - Курск : ЮЗГУ, 2014. - 51 с.
10. Intel ® 8085AH/8085AH-2/8085AH-1 8-bit NMOS microprocessors. September 1987. Order Number: 231718-001.

Приложение А - Сведения о некоторых микросхемах ОЗУ

Таблица 11 – параметры некоторых микросхем ОЗУ

Тип микросхемы	Информационная емкость, бит	Организация, слов x разрядов	Напряжение питания, V	Время выборки, nS
537РУ2А	4К	4К x 1	5	300
537РУ8А	16К	2К x 8	5	190
537РУ8Б	16К	2К x 8	5	320
537РУ10А	16К	2К x 8	5	220
537РУ10Б	16К	2К x 8	5	450
К537РУ13А	4К	1К x 4	5	120
К537РУ13Б	4К	1К x 4	5	200
МСМ6264С	64К	8К x 8	5	12...35
СУ62128	1024К	128К x 8	5	70

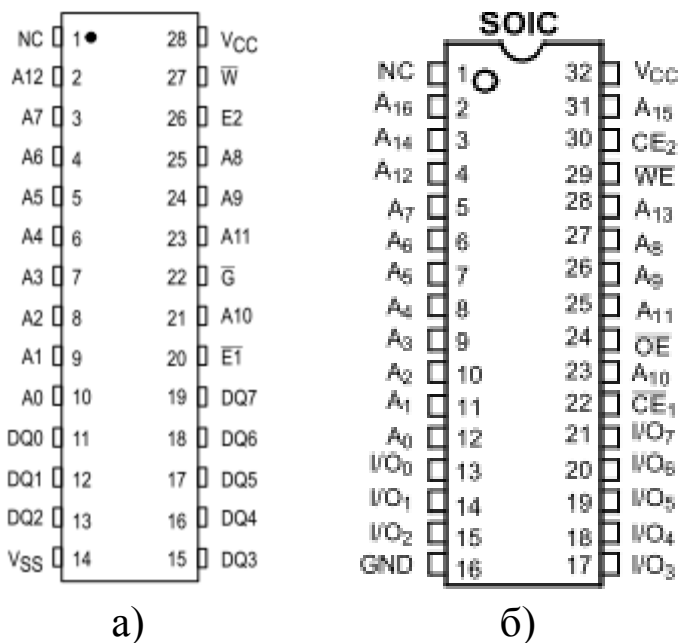
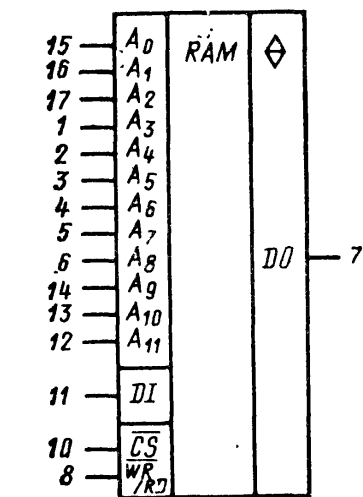
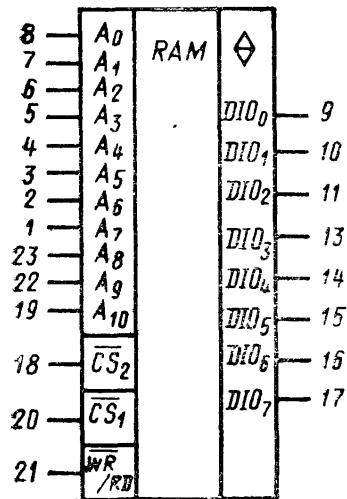


Рисунок 33 – Цоколевка микросхем МСМ6264С а) и СУ62128 б)



KP537PY2A,
KP537PY2B



KP537PY8A,
KP537PY8B

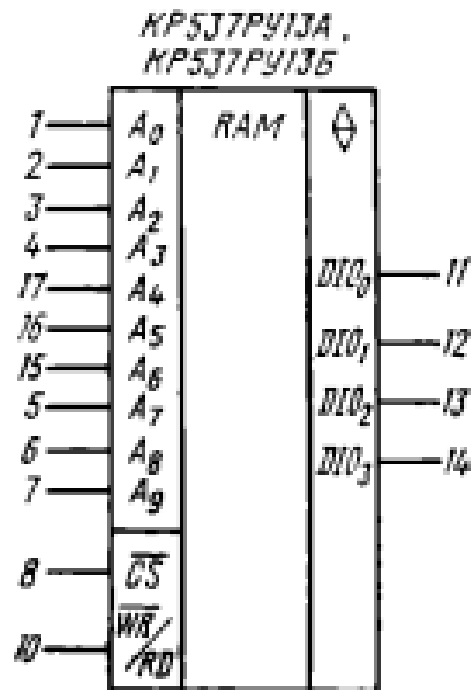
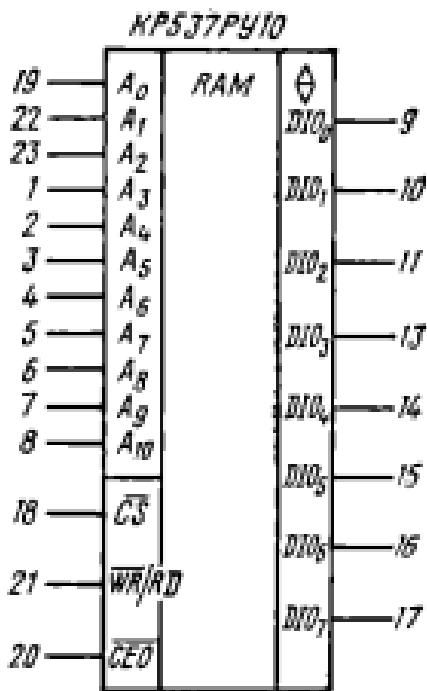


Рисунок 34 – Условные графические обозначения некоторых микросхем серии K537

Приложение Б - Сведения о некоторых микросхемах ПЗУ

Таблица 12 – параметры некоторых микросхем ПЗУ

Тип микросхемы	Информационная емкость, бит	Организация, слов x разрядов	Напряжение питания / программирования, V	Время выборки, nS
573PФ4	64К	8К x 8	5 /21	300
573PФ5	16К	2К x 8	5 /25	450
573PФ8	256К	32К x 8	5/12,5	350
M27128	128К	16К x 8	5/12	200

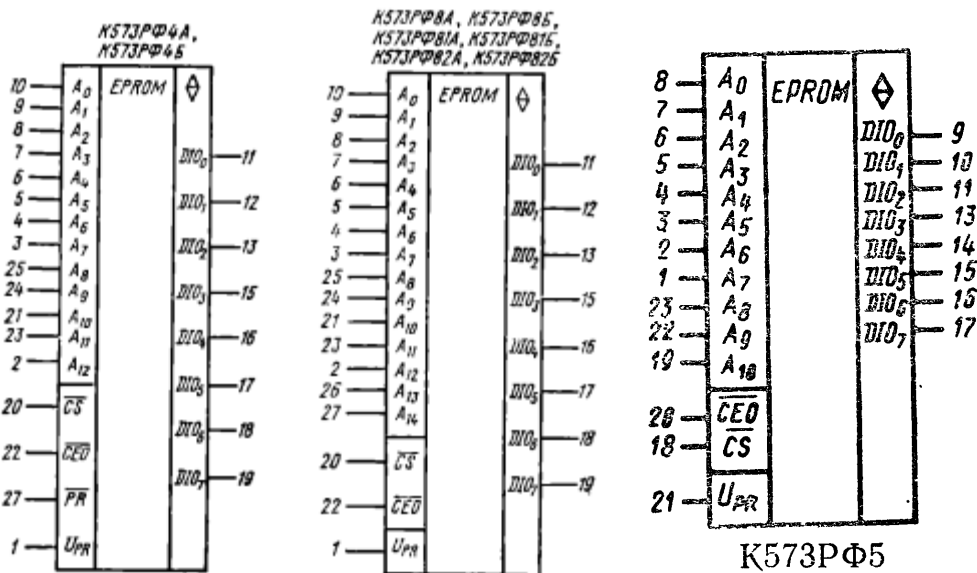


Рисунок 35 - Условные графические обозначения некоторых микросхем серии К573

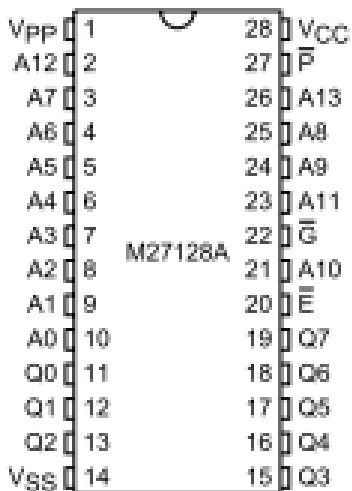
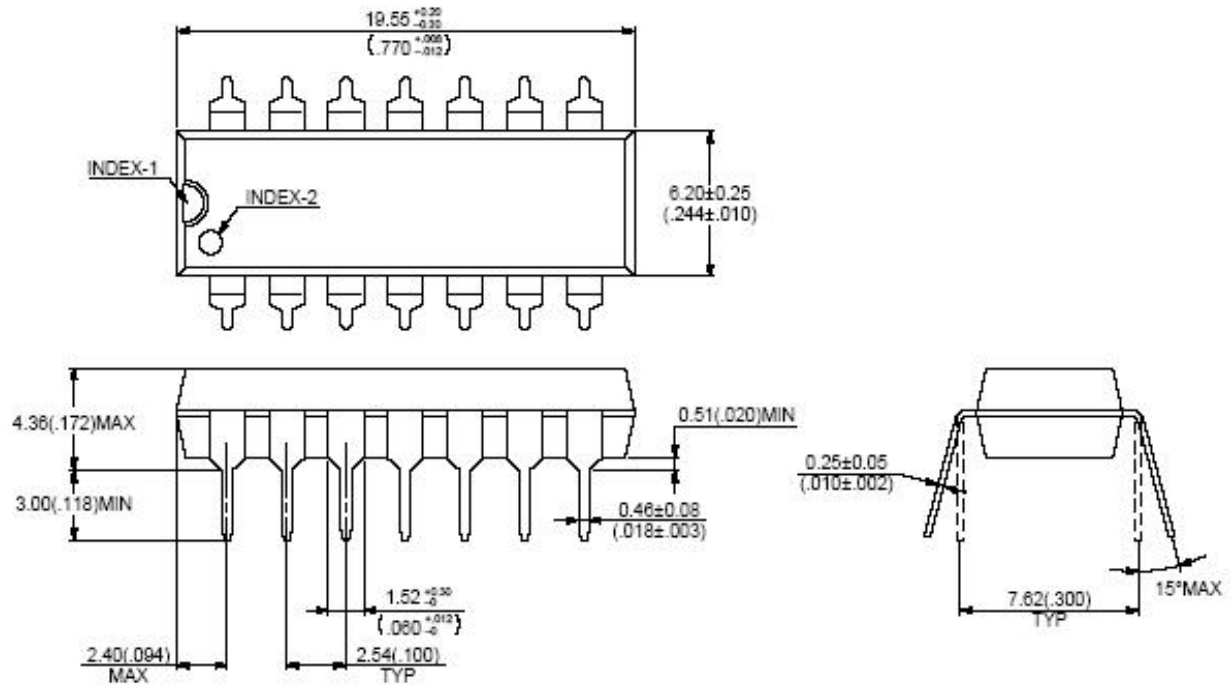


Рисунок 36 – Цоколевка микросхемы M27128A

Приложение В – Габаритные размеры некоторых корпусов

14-pin plastic DIP
(DIP-14P-M02)



40-pin plastic DIP
(DIP-40P-M02)

