

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Локтионова Оксана Геннадьевна
Должность: проректор по учебной работе
Дата подписания: 17.12.2021 10:16:37
Уникальный программный ключ:
0b817ca911e6668abb13a5d426d39e5f1c11eabbf73e943df4a4811da564089

МИНОБРАЗОВАНИЯ И НАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности

УТВЕРЖДАЮ
Проректор по учебной работе
О.Г. Локтионова
« 1 » 12 2018 г.



АНАЛИЗ И СИНТЕЗ ФУНКЦИОНАЛЬНЫХ БЛОКОВ

Методические рекомендации для лабораторных работ и практических занятий
для студентов укрупненной группы специальностей и направлений
подготовки 10.00.00 «Информационная безопасность»

Курск 2018

УДК 004

Составитель: С.С. Шевелев

Рецензент

Кандидат технических наук, доцент кафедры «Информационная безопасность» А.Л.Марухленко

Анализ и синтез функциональных блоков .[Текст] : методические рекомендации для лабораторных и практических работ по дисциплине «Аппаратные средства вычислительной техники» / Юго-Зап. гос. ун-т; сост.: С.С. Шевелев – Курск, 2018. – 43 с.: ил. 28–, табл. 11. – Библиогр.: с. 43.

Содержат сведения по вопросам работы с анализом и синтезом функциональных блоков. Указывается порядок выполнения лабораторных работ и практических занятий, правила оформления отчета.

Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности.

Предназначены для студентов укрупненной группы специальностей и направлений подготовки 10.00.00 «Информационная безопасность».

Текст печатается в авторской редакции

Подписано в печать 01.02.18 Формат 60x84 1/16.
Усл.печ. л. 2,49. Уч.-изд. л. 2,26. Тираж 100 экз. Заказ. Бесплатно. 25
Юго-Западный государственный университет.
305040, г. Курск, ул. 50 лет Октября, 94.

Содержание

1. Основные положения	6
2. Индивидуальные задания	7
3. Контрольные вопросы.....	42
4. Библиографический список.....	43

Целью работы является освоение основных этапов синтеза функциональных блоков, типовых узлов, комбинационных схем вычислительной техники с использованием механизма имитационного моделирования программы.

1. Основные положения

Существующие электронные схемы принято делить на два класса - аналоговые и цифровые. Аналоговые схемы предназначены для преобразования и обработки сигналов, изменяющихся по закону непрерывной функции (это различного рода усилители, генераторы, модуляторы, фильтры и т.д.). Цифровые схемы оперируют с сигналами, изменяющимися по закону дискретной функции. При этом в большинстве случаев эта функция является двоичной, так как возможные её значения определяются символами двоичного алфавита: 0 или 1. Этим дискретным значениям в схеме соответствуют два хорошо различающихся уровня напряжения: высокий или H-уровень (high - высокий) и низкий или L-уровень (low - низкий). Величины H- и L- уровней зависят только от типа используемой транзисторной технологии и, например, для TTL- технологии они составляют $U_H \geq 2,4 \text{ В}$ (типовые 3,4 В), $U_L \leq 0,4 \text{ В}$ (типовые 0,2 В).

В свою очередь электронные схемы в вычислительной технике по принципу функционирования принято делить на два типа - комбинационные и последовательностные (цифровые автоматы).

Комбинационной называют схему с n входами и m выходами, для которой совокупность выходных сигналов в данный момент времени полностью определяется совокупностью входных сигналов для этого же момента времени и не зависит от входных сигналов, действующих в предыдущие моменты времени. Последнее замечание отличает комбинационную схему от цифровых автоматов, которым посвящены последующие работы.

Задача анализа комбинационных схем сводится к нахождению системы логических (булевых) функций, определяющих логику работы такой схемы.

Синтез является задачей, обратной анализу, и заключается в построении комбинационной схемы по заданным условиям работы. Эти условия определяют количество входов и выходов схемы, а также закон соответствия двоичных наборов входных и выходных переменных (сигналов).

В общем случае можно выделить несколько этапов синтеза:

1. Формирование логических условий работы рассматриваемой схемы или узла путём составления таблицы истинности для каждого из выходов комбинационной схемы.

2. Получение по таблице истинности или на основании использования методов минимизации минимальных нормальных форм в дизъюнктивной или конъюнктивной форме (ДНФ или КНФ).

3. Преобразование минимальных нормальных форм к виду, соответствующему выбранному (или заданному) набору логических элементов (логическому базису).

4. Построение комбинационной схемы.

Применительно к данному лабораторному практикуму этот перечень нужно дополнить этапом исследования (моделирования) комбинационной схемы с помощью программы Multisim 2001 на предмет проверки правильности её функционирования.

2. Индивидуальные задания

Выполнить индивидуальное задание под номером, первое число которого соответствует второй цифре группы, второе число задания соответствует номеру студента по списку группы.

Индивидуальные задания к работе включают синтез комбинационных схем практически важных функциональных узлов, использующихся в схемотехнике вычислительных устройств. В зависимости от сложности задачи (или её недостаточной освещённости в рекомендуемой литературе) после формулировки задания даются краткие пояснения, следуя которым можно решить поставленную задачу. Выбор логического базиса для реализации схемы осуществляется самостоятельно из состава элементов программы Multisim 2001.

Общее замечание к выполнению заданий. Предложенные для синтеза функциональные узлы относятся к комбинационным схемам с несколькими выходами, каждый из которых описывается своей булевой функцией. Поэтому оптимальная схема узла может быть получена лишь при совместной минимизации системы булевых функций (см. соответствующий раздел математической логики), выявляющей общие компоненты (простые импликанты) для различных объединений их этих функций.

Задание 1.1. Пятиразрядный преобразователь прямого кода в дополнительный и обратно (один разряд знаковый, четыре - цифровых) Логический базис $\infty, \&, "0"$.

ПОЯСНЕНИЯ к решению [Л.2].

Сопоставление прямого и дополнительного кодов показывает, что последний (для отрицательных чисел) отличается от первого инверсными значениями старших цифровых разрядов после первого справа разряда, содержащего "1". Младший цифровой и знаковый разряд всегда остаётся равными для обоих кодов. Данное правило, применительно к n-разрядному коду (a_i - разряд числа на входе преобразователя, b_i - на выходе), можно записать в следующем виде ((n-1)-й - знаковый разряд):

$$b_i = a_i \oplus (a_{i-1} \vee \dots \vee a_0), \quad i = n-2, n-3, \dots, 1 \text{ и}$$

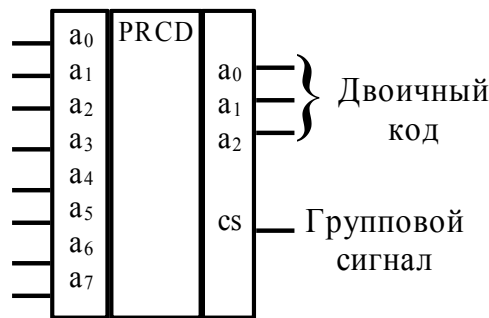
$$b_i = a_i, \text{ для } i = 0; n-1.$$

Для положительных чисел:

$$b_i = a_i, \quad i = n-1, \dots, 0.$$

Схема должна быть единой и выполнять предписанные ей функции независимо от того, какие числа подаются на её вход - положительные или отрицательные в каком-либо из рассматриваемых кодов.

Задание 1.2. Приоритетный шифратор PRCD (8→3) для преобразования 8-разрядного входного кода в двоичный код числа i , где i - номер позиции старшей единицы во входном коде. Логический базис ИЛИ-НЕ.



а)

a_7	a_6	a_5	a_4	a_3	a_2	a_1	a_0	GS	A ₂	A ₁	A ₀
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	0	0	0
0	0	0	0	0	0	1	x	1	0	0	1
0	0	0	0	0	1	x	x	1	0	1	0
			.	.	.						
0	1	x	x	x	x	x	x	1	1	1	0
1	x	x	x	x	x	x	x	1	1	1	1

Рис. 1. Приоритетный шифратор $8 \rightarrow 3$ (а) и таблица истинности его работы (б)

ПОЯСНЕНИЯ к решению [Л.3].

Получение минимальной формы для каждой из функций приоритетного шифратора рис. 1 с помощью классических методов минимизации вызывает затруднение, так как число аргументов функции $n=8$. Однако минимальные формы можно быстро получить, используя два правила из булевой алгебры:

- правило склеивания
 $x \vee x \bar{y} = x$;
- следствие из дистрибутивного закона
 $x \vee y = x \vee y$.

Так, например, применяя первое правило к отмеченной строке таблицы истинности для A_1 , можно получить импликанту $\bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot \bar{a}_4 \cdot \bar{a}_3 \cdot a_2$, а их совместное использование для двух последних строк позволяет получить $a_7 \vee \bar{a}_7 \cdot a_6 = a_7 \vee a_6$.

Итак, следуя данным рекомендациям, вы быстро определите минимальные формы для каждой из функций.

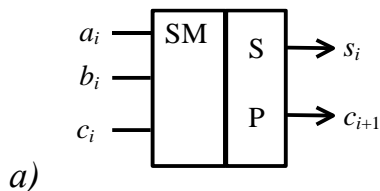
Работу схемы сравнить с интегральной схемой 74148 приоритетного шифратора $8 \rightarrow 3$ (отечественный аналог 155ИВ1).

Задание 1.3. Включает две части:

- построение одноразрядного сумматора на сдвоенном мультиплексоре $4 \rightarrow 1$ (74153 или К155КП2);
- разработку схемы сопряжения мультиплексоров $8 \rightarrow 1$ (74151 или 155КП7) и $4 \rightarrow 1$ (74153) с целью получения устройства с функциями мультиплексора $16 \rightarrow 1$.

ПОЯСНЕНИЯ к решению [Л.4]. Изображение сумматора и мультиплексора на функциональной схеме приведено соответственно на рис. 2, а и б, где приняты следующие обозначения: a_i и b_i - одноимённые i - разряды слагаемых, s_i - разряд суммы, а c_i и c_{i+1} - переносы в i -й и $(i+1)$ - разряды соответственно.

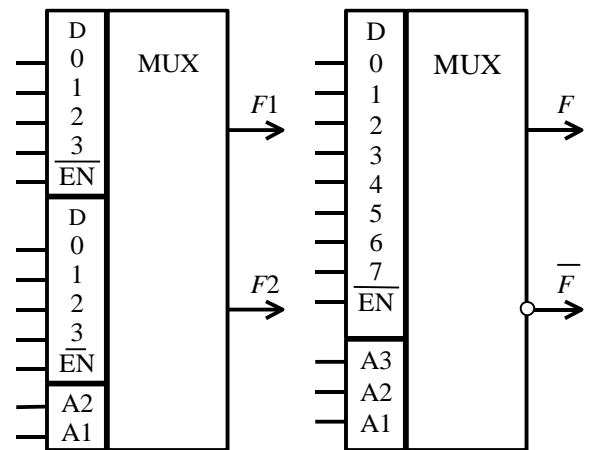
Рис. 2. Одноразрядный сумматор (а), сдвоенный мультиплексор $4 \rightarrow 1$ (б), мультиплексор $8 \rightarrow 1$ (в), таблица истинности одной половины сдвоенного мультиплексора КП2 (г).



a)

Адресные входы		“Верхняя” половина MS					
A2	A1	Входы					Выход
		0	1	2	3	EN	F1
x	x	x	x	x	x	1	0
0	0	D0	x	x	x	0	D0
0	1	x	D1	x	x	0	D1
1	0	x	x	D2	x	0	D2
1	1	x	x	x	D3	0	D3

з)



б) К155КП2

в) К155КП7

Мультиплексор имеет входы информационные $D0...D3$ и адресные $A2, A1$. Двоичный код адреса означает номер того информационного входа, который коммутируется на выход $F1$ ($F2$). (см. таблицу истинности рис.2, г). Адресные входы для сдвоенного мультиплексора являются общими для обеих половин схемы.

Одним из полезных применений мультиплексора является использование его в качестве универсального логического модуля для воспроизведения булевых функций. Как следует из таблицы истинности мультиплексора К155КП2 (рис. 2, г), уравнение, описывающее его работу для одного из выходов $F1$, имеет вид

$$F1 = \bar{E} \cdot (\bar{A2} \cdot \bar{A1} \cdot D0 + \bar{A2} \cdot A1 \cdot D1 + A2 \cdot \bar{A1} \cdot D2 + A2 \cdot A1 \cdot D3) \quad (1)$$

Поставленная выше задача требует реализации на данном мультиплексоре двух функции от трёх переменных ($s_i = \varphi_1(a_i, b_i, c_i)$ и $c_{i+1} = \varphi_2(a_i, b_i, c_i)$). В общем случае на основе мультиплексора могут быть воспроизведены булевы функции от числа переменных $n \geq m$, где m - число адресных входов мультиплексора. Случай $n=m$ считается тривиальным в отличие от $n > m$, когда требуется предварительное разложение искомой функции в ряд Шеннона по m переменным.

Пусть $n=m+1=3$ (т.е. $m=2$). Представим произвольную булеву функцию $y=f(x_3, x_2, x_1)$ её разложением по переменным x_2 и x_1 (т.е. тем переменным, которые задаются на адресные входы):

$$y = f(x_3, x_2, x_1) = \bar{x}_2 \cdot \bar{x}_1 \cdot f_0(x_3, 0, 0) + \bar{x}_2 \cdot x_1 \cdot f_1(x_3, 0, 1) + x_2 \cdot \bar{x}_1 \cdot f_2(x_3, 1, 0) + x_2 \cdot x_1 \cdot f_3(x_3, 1, 1). \quad (2)$$

Здесь f_0, f_1, f_2, f_3 – остаточные функции от одного аргумента – переменной x_3 . Сравнение уравнений (1) и (2), позволяет выработать подход к реализации метода. В заключение отметим, что функцию s_i требуется получить на выходе F1 мультиплексора, а функцию c_{i+1} – на выходе F2.

Задание 1.4. Включает две части:

- построение одноразрядного вычитателя на сдвоенном мультиплексоре 4→1 (74153 или К155КП2);
- разработку схемы сопряжения двух дешифраторов DC 3→8 (74138 или К531ИД7) с целью получения устройства с функциями дешифратора 4→16.

ПОЯСНЕНИЯ к решению [Л. 2, 3, 4].

На рис. 3, а приведено условное изображение вычитателя и стандартное функциональное обозначение дешифратора DC 3→8 (К531ИД7, рис. 3, б). Для вычитателя приняты следующие обозначения входов и выходов: a_i и d_i – одноимённые разряды операндов вычитателя, s_i – разряд разности, b_i – заём из i -го разряда, а b_{i+1} – заём из $i+1$ разряда.

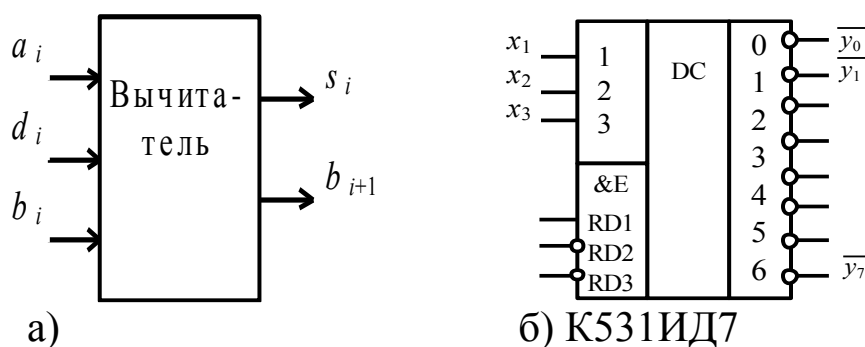


Рис. 3 Вычитатель (а) и дешифратор К531ИД7 (б)

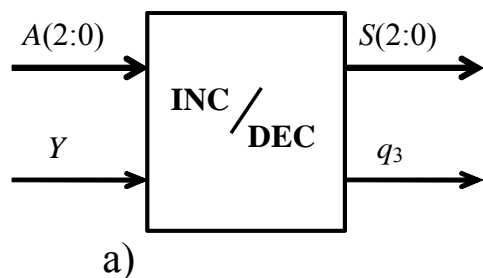
Дешифратор относится к схемам, преобразующим двоичный код на его входах в активный сигнал на одном из его выходов. Полный дешифратор на n -входов имеет 2^n выходов. Поэтому при определении дешифратора допустимо сокращённое обозначение его типа DC "3-8" – дешифратор тремя входами и восьмью выходами.

Дешифратор К531ИД7 имеет инверсные выходы (активный низкий уровень).

Задание 1.5. Синтез комбинационной схемы 3-разрядной схемы инкрементора/декрементора, условное изображение которого, с учётом назначений входов и выходов, приведено на рис. 4. Логический базис И-НЕ.

ПОЯСНЕНИЯ к решению [Л.3].

Из функционального назначения схемы следует, что при $Y=0$ между значением разряда a_i входного слова A и переносом в этот разряд $q_i=c_i$ должна выполняться операция сложения, а при $Y=1$ между разрядом a_i и заёмом $q_i=b_i$ – вычитания. Структура таблицы истинности приведена в таблице 1.



$$S(2:0) = \begin{cases} A(2:0) + 1, & \text{при } Y = 0, \\ A(2:0) - 1, & \text{при } Y = 1, \end{cases}$$

$$q_3 = \begin{cases} c_3 - \text{перенос}, & \text{при } Y = 0, \\ b_3 - \text{заём}, & \text{при } Y = 1, \end{cases}$$

Y – управляющий сигнал

б)

Рис. 4. Инкрементор/декрементор (а) и его функциональное описание (б)

Таблица 1

Y	a_i	q_i	s_i	q_{i+1}	Режим
0	0	0	0	0	Инкремент
0	0	1	1	0	
0	1	0	1	0	
0	1	1	0	1	
1	0	0	0	0	Декремент
1	0	1	1	1	
1	1	0	1	0	
1	1	1	0	0	

Определив значения для функций выходов s_i и q_{i+1} , можно получить необходимые логические соотношения, которые будут справедливыми для $i=1, 2$. В дальнейшем надо только определиться с начальными значениями переноса/заёма при формировании функций s_0 и q_1 ($i=0$).

Задание 1.6. Преобразователь 4-разрядного двоичного кода в код Грея и обратно. Логический базис – элемент $\oplus, \&, "1"$.

ПОЯСНЕНИЯ к решению [Л. 2, 3, 4].

В некоторых случаях необходим числовой код, построенный таким образом, чтобы при переходе от одного числа к следующему изменялся бы всегда только один двоичный разряд. Этим свойством обладает код Грея, использующийся, например, при разметки координат клеток карт Карно, в преобразователях углового положения

вала в цифровой код и в других случаях. Соответствие между двоичным кодом и кода Грея для четырехразрядных чисел отражено в таблице 2.

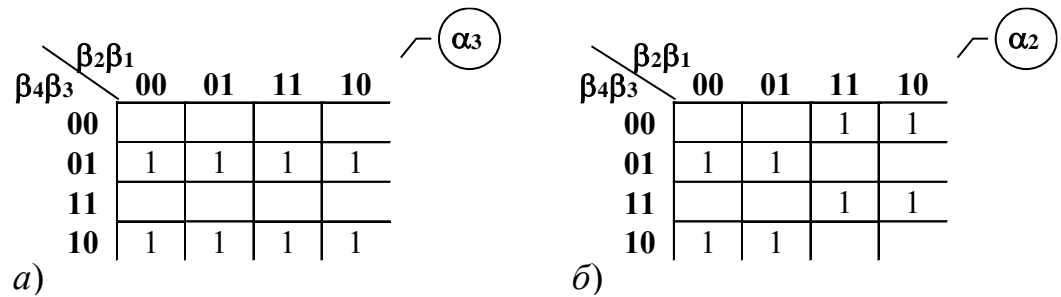


Рис. 5 Карты Карно для переменных α_3 и α_2

Используя стандартную методику синтеза с минимизацией на картах Карно, можно легко решить прямую задачу. Решение обратной задачи (преобразования кода Грея в двоичный код) – сложнее. Сложность заключается в преобразовании минимальных логических форм типа И/ИЛИ к виду, использующему только операцию ИСКЛЮЧАЮЩЕЕ ИЛИ (mod 2). Решение можно значительно упростить, если рассмотреть карты Карно для функций выходов α_i ($i=1, 2, 3, 4$) как объекты преобразования одной функции в другую на основе операции ИСКЛЮЧАЮЩЕЕ ИЛИ. Для пояснения высказанного предложения на рис. 5 приведены карты Карно для функций выходов α_3 и α_2 . Сравнение этих карт Карно между собой позволяет убедиться в преобразовании карты Карно для α_3 в карту для α_2 на основе соотношения: $\alpha_2 = \alpha_3 \oplus \beta_2 = \alpha_3 \overline{\beta_2} \vee \overline{\alpha_3} \beta_2$.

Если это понятно, то решение обратной задачи не вызывает затруднений.

Задание 1.7. Исследование работы многоразрядного сумматора с последовательным и параллельным переносами. Логический базис ИЛИ-НЕ.

ПОЯСНЕНИЯ к решению [Л.3, 4, 8]. Исследование работы многоразрядного сумматора провести в три этапа.

- Трёхразрядный сумматор (3...4 разряда) с последовательным переносом на основе одноразрядного сумматора, который представить в виде подсхемы (Subcircuit).

- На основе выведенных соотношений для межразрядных переносов построить и провести исследование трёхразрядной схемы сумматора с параллельным переносом.

- Выполнить описание (назначение выводов) 4-разрядного сумматора с параллельным переносом К155ИМ6 (74283).

Задание 1.8. Синтез схемы преобразователя прямого кода двоичных чисел (4 разряда, включая знаковый) в дополнительный код (вариант 2). Логический базис $\oplus, \&, "1"$

Правило преобразования. Для преобразования дополнительного (прямого) кода отрицательного числа в прямой (дополнительный) код необходимо проинвертировать цифровые разряды исходного числа и, к полученному результату, прибавить «1». Положительные числа имеют одинаковое представление в обоих кодах.

ПОЯСНЕНИЯ к решению.

Инвертированием цифровых разрядов α_i управляет знаковый разряд α_s на основе использования логической операции Искключающее

ИЛИ

$$\alpha_s \oplus \alpha_i \quad i=1, 2, 3.$$

Прибавление +1 выполнить с использованием сумматора на ИС К155ИМ6 (74283), представ-

Двоичный код				Код Грея			
α_4	α_3	α_2	α_1	β_4	β_3	β_2	β_1
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

ленный на рис. 6.

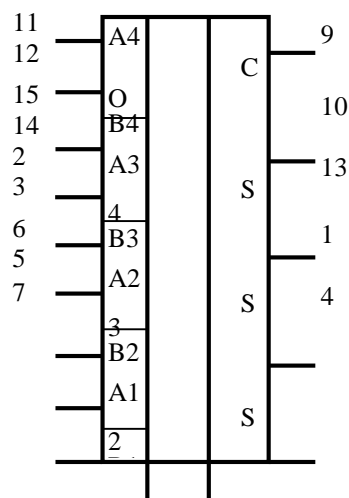


Рис. 6. 4-разрядный двоичный сумматор с ускоренным переносом 555ИМ6 (SN 74283)

Задание 1.9. 3-разрядный цифровой компаратор, определяющий отношения «равно» и «больше» для двоичных чисел А и В. Логический базис И-НЕ.

ПОЯСНЕНИЯ к решению. Предлагается на выбор два способа.

- Анализ на истинность указанных соотношений на основе выполнения поразрядных логических операций над одноимёнными разрядами обоих чисел. Данный способ подробно изложен в [Л. 2, 8].

- Выполнение операции вычитания А-В на многоразрядном сумматоре (пусть это будет ИС К155ИМ6 (74283)) с последующим анализом результата вычитания (флагов). Для этого достаточно проанализировать результат выполнения ассемблерной команды `Sub dst, src` для беззнаковых операндов. Можно также обратиться и к литературе [Л. 3].

Задание 1.10. Схема вычитания двух 4-разрядных двоичных чисел с вычислением абсолютной величины и знака разности, использующей циклический перенос. Логический базис $\infty, \&, "0"$.

ПОЯСНЕНИЯ к решению. Предварительно рассмотрим реализацию операции вычитания двоичных чисел А и В, заменив её сложением числа А с поразрядным дополнением числа В. Поразрядное дополнение числа В вводится соотношением $2^n - 1 - B$ и, фактически, сводится к простому инвертированию всех разрядов числа

$$A - B = A + 2^n - 1 - B = 2^n + (A - B) - 1. \quad (3)$$

В зависимости от знака разности возможны два случая.

1. $A - B > 0$. В этом случае реализация соотношения (3) приводит к формированию переноса из старшего разряда $CF = 2^n$ и для получения правильного результата необходимо выполнить операцию циклического сложения с образовавшимся переносом.

$$\begin{array}{r}
 2^n + (A - B) - 1 \\
 + \quad \longleftarrow \leftarrow 2^0 \\
 \hline
 \end{array}$$

$$A - B > 0 \text{ или } |A - B|$$

Отметим, что здесь знак разности можно получить как $\alpha_s = cf$

Пример.

$$A = 5 = 0101_{(2)}$$

$$B = 3 = 0011_{(2)}$$

$$A = 0101_{(2)}$$

$$2^n - 1 - B = 1100_{(2)}$$

$$\begin{array}{r}
 1\ 0001_{(2)} \\
 \longleftarrow \leftarrow 1 \text{ Сложение с циклическим пе-} \\
 \hline
 \end{array}$$

реносом

$$0010_{(2)}=2$$

Графическая иллюстрация рассмотренного случая приведена на рис. 7.

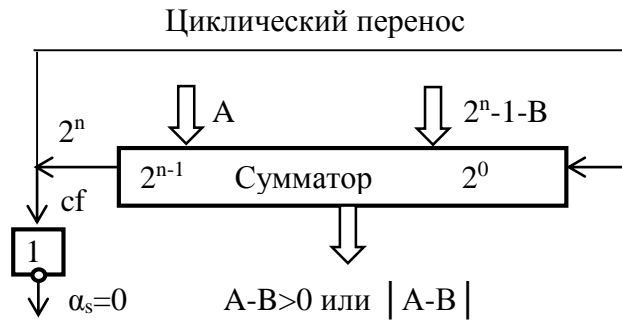


Рис.7 Схема вычитания на основе сложения ($A-B > 0$)

$A-B \leq 0$. В этом случае перенос при реализации выражения (3) не возникает (убедитесь в этом самостоятельно), а вычитание равных чисел приводит к формированию числа 11...1.

Модифицируем данный случай на удовлетворения требования, сформулированного в задании – получения модуля разности с указанием её знака. Для этого схемным путём сформируем искусственный перенос, который бы инициировал операцию поразрядного дополнения величины (3) и указывал на наличие отрицательной разности

$$2^n - 1 - (2^n + (A - B) - 1) = (B - A) = |A - B| \quad (4)$$

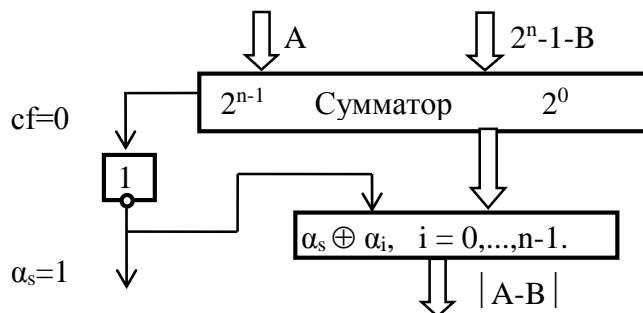


Рис. 8. Схема вычитания на основе сложения ($A-B \leq 0$)

Для выполнения задания нужно объединить схемы рис. 7 и 8 в одну.

Задание 1.11. Устройство контроля чётности при передаче данных. Логический базис ИЛИ-НЕ.

ПОЯСНЕНИЯ к решению. Простейший способ обнаружения ошибок при передаче данных заключается в передаче разряда проверки на чётность P. (рис. 9). В контрольный разряд (КР) чётности записывается «0», если число единиц

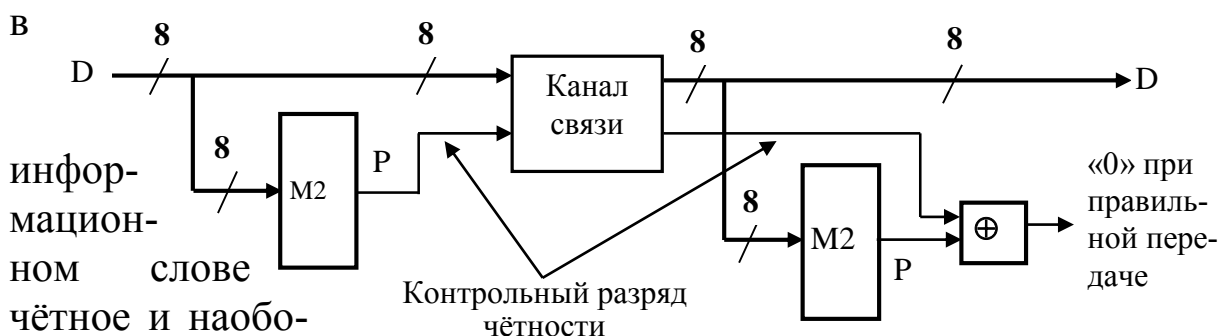


Рис. 9. Передача данных при проверке на чётность

рот - в слу- чае нечёт- ного числа. При этом общее количество передаваемых единиц по каналу связи, включая КР, всегда будет чётным. На принимающей стороне КР вычисляется тем же способом для информационных разрядов и сравнивается с переданным КР. При несовпадении фиксируется ошибка передачи. Исправить ошибку, к сожалению, невозможно, - надо использовать более сложные способы помехоустойчивого кодирования данных.

При выполнении задания произведите синтез блока формирования КР, а также покажите возможность использования в схеме ИС 1533ИП5 (SN 74280).

Задание 1.12 Преобразователь кода 8-4-2-1 в 7-разрядный код семисегментного индикатора для представления 16-теричных чисел 0, ..., 9, A, b, C, d, E, F. Логический базис $\infty, \&, "0"$.

ПОЯСНЕНИЯ к решению. Для вывода чисел широко применяются семисегментные индикаторы, в которых семь сегментов-диодов расположены так, что при зажигании определённой их комбинации высвечивается тот или иной символ (рис. 10, а). Выпускаются семисегментные индикаторы с общим анодом или катодом. Для управления сегментами удобны элементы с выходом типа «общий коллектор», так как в этом случае подключается внешний резистор, сопротивление которого можно задать с учётом характеристик применяемых светодиодов (рис. 10, б – сегмент зажигается, когда выходной транзистор управляющего элемента отпирается; рис. 10, в – отпирается).

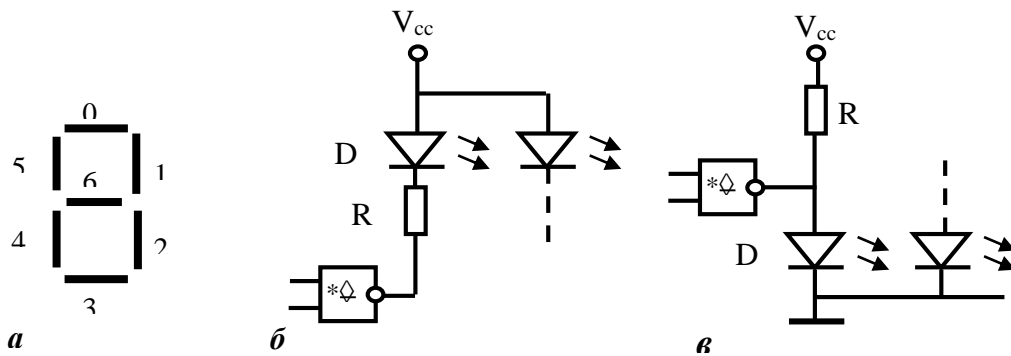


Рис. 10. Семисегментный индикатор (а) и схемы управления сегментом с общим анодом (б) и общим катодом (в)

Таблица 3

16-теричная цифра	Код 8-4-2-1	7-сегментный выход
		7 6 5 4 - 3 2 1 0
0	0000	0 1 1 1 - 1 1 1 1
1	0001	0 0 0 0 - 0 1 1 0
2	0010	0 1 0 1 - 1 1 0 1
...
A	1010	0 1 1 1 - 0 1 1 1
b	1011	0 1 1 1 - 1 1 0 0
...
F	1111	0 1 1 1 - 0 0 0 1

Преобразователь кода 8-4-2-1 в 7-разрядный код семисегментного индикатора для представления 16-теричных чисел 0, ..., 9, A, b, C, d, E, F должен работать в соответствии с таблицей истинности таблице 3. Проверку работы дешифратора произвести путём подключения к его выходам семисегментного индикатора из библиотеки Multisim 2001.

Задание 1.13. Преобразователь 4-разрядного двоичного кода в код Эйкена 2-4-2-1 (см таблица 4) и обратно. Логический базис $\infty, \&, "0"$.

ПОЯСНЕНИЯ к решению [Л. 2, 3, 4].

Используя стандартную методику синтеза с минимизацией на картах Карно, можно легко решить прямую задачу. Решение обратной задачи (преобразования кода Эйкена в двоичный код) – сложнее.

Таблица 4

Двоичный код 8-4-2-1	Двоичный код Эйкена 2-4-2-1
0000	0000
0001	0001
0010	0010
0011	0011
0100	0100
0101	1011
0110	1100
0111	1101
1000	1110
1001	1111

Задание 1.14. Пятиразрядный преобразователь прямого кода в обратный и обратно в базисе $\infty, \&, "0"$ (один разряд знаковый, четыре - цифровых).

ПОЯСНЕНИЯ к решению [Л.2].

Сопоставление прямого и обратного кодов показывает, что последний (для отрицательных чисел) отличается от первого инверсными значениями. Знаковый разряд всегда остаётся равными для обоих кодов. Данное правило, применительно к n -разрядному коду (a_i - разряд числа на входе преобразователя, b_i - на выходе), можно записать в следующем виде (($n-1$)-й - знаковый разряд):

$$b_i = \bar{a}_i, \quad i = n-2, n-3, \dots, 1 \quad \text{и} \quad b_i = a_i, \quad n-1.$$

Для положительных чисел:

$$b_i = a_i, \quad i = n-1, \dots, 0.$$

Схема должна быть единой и выполнять предписанные ей функции независимо от того, какие числа подаются на её вход - положительные или отрицательные в каком-либо из рассматриваемых кодов.

Задание 1.15. 3-разрядный цифровой компаратор, определяющий отношения «равно» и «меньше» для двоичных чисел А и В. Логический базис ИЛИ-НЕ

ПОЯСНЕНИЯ к решению. Предлагается на выбор два способа.

- Анализ на истинность указанных соотношений на основе выполнения поразрядных логических операций над одноимёнными разрядами обоих чисел. Данный способ подробно изложен в [Л. 2, 8].

- Выполнение операции вычитания А-В на многоразрядном сумматоре (пусть это будет ИС К155ИМ6 (74283)) с последующим анализом результата вычитания (флагов). Для этого достаточно проанализировать результат выполнения ассемблерной команды `Str dst, src` для беззнаковых операндов. Можно также обратиться и к литературе [Л. 3].

Задание 1.16. Синтез схемы десятичного дешифратора в базисе И-НЕ.

ПОЯСНЕНИЯ к решению. Десятичный код обычно отображается одним битом на одну десятичную цифру. В десятичном коде десять цифр, поэтому для отображения одного десятичного разряда требуется десять выходов дешифратора. Сигнал с этих выводов необходимо подать на семисегментный индикатор. Составить таблицу истинности десятичного дешифратора.

Задание 1.17. 3-разрядный цифровой компаратор, определяющий отношения «больше» и «меньше» для двоичных чисел А и В. Логический базис $\oplus, \&, "1"$.

ПОЯСНЕНИЯ к решению. Предлагается на выбор два способа.

- Анализ на истинность указанных соотношений на основе выполнения поразрядных логических операций над одноимёнными разрядами обоих чисел. Данный способ подробно изложен в [Л.2,8].

Задание 1.18. Построить шифратор, который позволяет вводить цифры от 0 до 9 в базисе $\infty, \&, "0"$.

Одно из основных применений шифратора – ввод данных с клавиатуры, при котором нажатие клавиши с десятичной цифрой должно приводить к передаче в устройство двоичного кода данной

цифры (тетрады двоично-десятичного кода). В этом случае нужен неполный шифратор 10 – 4.

Задание 1.19. Мультиплексор в режиме сдвигателя. Логический базис И-НЕ.

ПОЯСНЕНИЯ к решению [1.19].

Сдвигателем называется цифровой комбинационный узел, предназначенный для сдвига n -разрядного слова на любое число разрядов в диапазоне от 0 до m за один такт. Смена однопозиционного управляющего сигнала вызывает немедленное (через время, определяемое задержками распространения сигналов через логические элементы) выполнение требуемой микрооперации. Уравнения для сдвигателя с параметрами $n = 4$, $m = 3$ (разрядность входного слова X $n = 4$, разрядность выходного слова Y $n \vee m = 7$, сдвиг может быть реализован на 0, 1, 2 и максимум на три разряда).

Таблица 5

N набора	a1	a0	m
0	0	0	0
1	0	1	1
2	1	0	2
3	1	1	3

$$\begin{aligned}
 y_0 &= S_0x_0 \\
 y_1 &= S_0x_1 \vee S_1x_0 \\
 y_2 &= \\
 &S_0x_2 \vee S_1x_1 \vee S_2x_0 \\
 y_3 &= \\
 &S_0x_3 \vee S_1x_2 \vee S_2x_1 \vee S_3x_0 \\
 y_4 &= \\
 &S_1x_3 \vee S_2x_2 \vee S_3x_1 \\
 y_5 &= S_2x_3 \vee S_3x_2 \\
 y_6 &= S_3x_3,
 \end{aligned}$$

где S_0 — однопозиционный управляющий сигнал; при его активном состоянии $S_0 = 1$ и $S_1 = S_2 = S_3 = 0$ обеспечивается передача входного слова на выход без сдвига, при $S_1 = 1$ и $S_0 = S_2 = S_3 = 0$ осуществляется сдвиг входного слова на один разряд и т. д.

Для реализации этих уравнений требуются двухвходовые элементы И и элементы ИЛИ на 2, 3 и 4 входа. Так как в данном случае выполняется четыре микрооперации ($m = 0, 1, 2$ или 3), то наиболее просто реализовать такой сдвигатель на семи одноразрядных MS 4 $\rightarrow 1$, используя их адресные входы как управляющий код числа m (см таблицу 5). На свободные входы мультиплексоров подаются сиг-

налы, характер которых определяется конкретным алгоритмом, реализуемым операционным узлом (логический, арифметический, циклический сдвиг и т. п.)

Задание 1.20. Реализовать компаратор двух 2-разрядных чисел, используя один MS 8 → 1 и один инвертор.

ПОЯСНЕНИЯ к решению задания 1.20.

Мультиплексор в составе компаратора двух чисел, вырабатывающего осведомительный сигнал $A = B$. Если нет специализированного компаратора, то его можно реализовать, используя совместно дешифратор и мультиплексор. На рис. 11 приведена схема компаратора, сравнивающего два 3-разрядных числа. В ней используются дешифратор «1 из 8» с активной единицей выхода и мультиплексор MS 8 в 1 с прямым выходом. При $A = B$ активная единица с выхода дешифратора передается на выход мультиплексора и, следовательно, $Fa=b=1$. При $A \neq B$ на выход будет передаваться сигнал 0 ($Fa=b=0$).

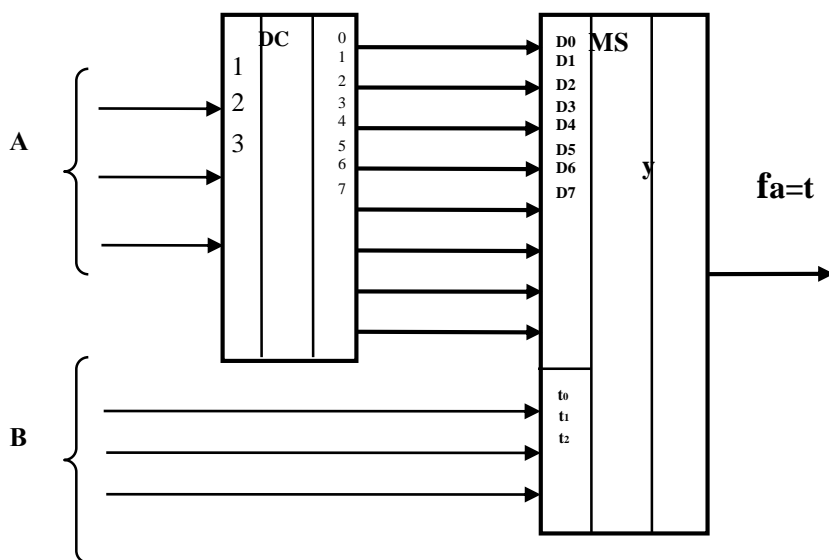


Рис. 11. Мультиплексор в составе компаратора

Задание 1.21. Синтез схемы демультиплексора «1 → 8» в базисе $\oplus, \&, \neg$.

ПОЯСНЕНИЯ к решению. Демультиплексор - комбинационное устройство, обеспечивающее коммутацию единственного входа на один из выходов под управлением сигналов на адресных входах. Демультиплексор имеет один информационный вход, n адресующих (управляющих) входов и 2^n выходов. Составить таблицу истинности демультиплексора.

Схемная реализация демультиплексора «1 → 4» в базисе И представлена на рис. 12

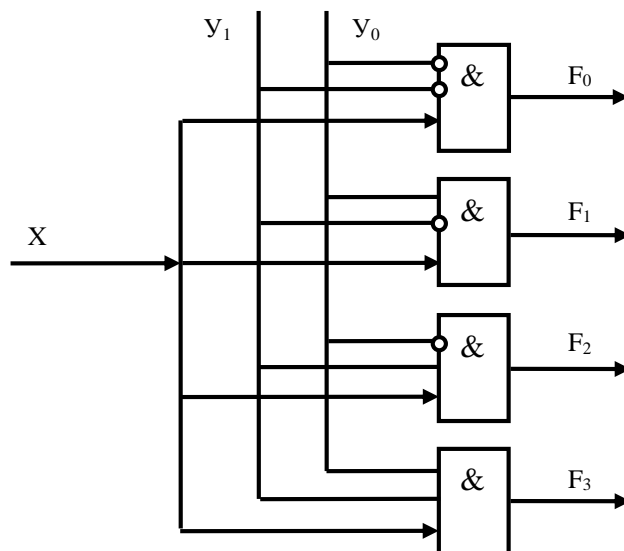


Рис. 12. Схема демультиплексора

Задание 1.22. Смоделировать дешифратор на 32 выхода, используя дешифраторы на 3 входа (К555ИД7) и дешифратор на 2 входа (К155ИД4) рис. 13.

Любой нужный дешифратор может быть построен по пирамидальной структуре. При этом входное слово делится на поля, разрядность которых соответствует числу входов имеющихся дешифраторов, а затем из этих дешифраторов строится пирамидальная структура. Дешифраторы имеют стробирующие (разрешающие) входы.

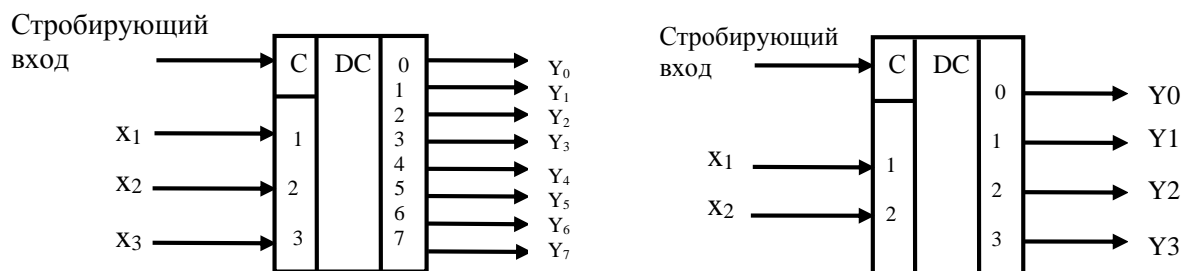


Рис. 13. Схемы дешифраторов

Задание 1.23. Смоделировать мультиплексор на элементах: И, ИЛИ, дешифратор на 2 входа (К155ИД4). Мультиплексор имеет стробирующий (разрешающий) вход рис. 14.

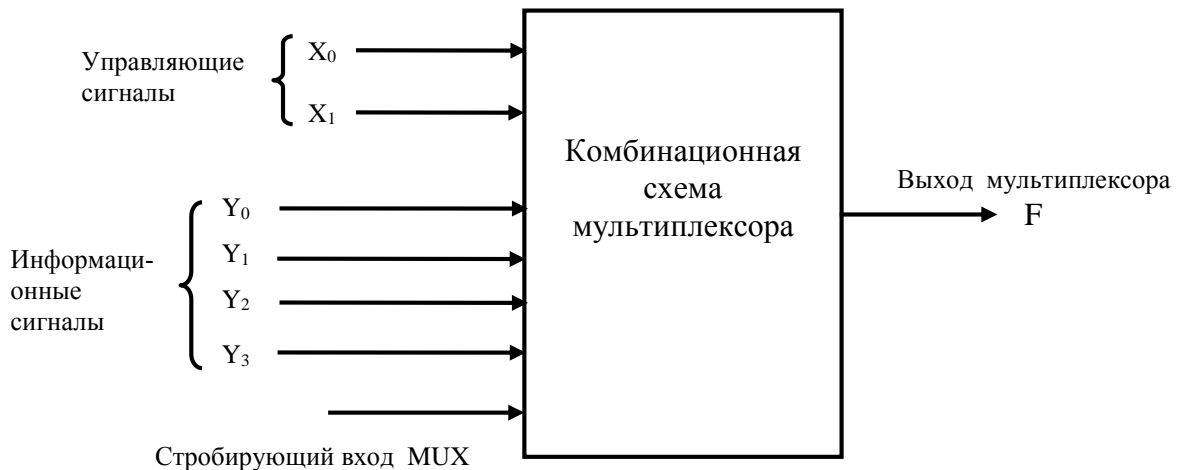


Рис. 14. Комбинационная схем мультиплексора

Задание 2.1. Пятиразрядный преобразователь прямого кода в дополнительный и обратно (один разряд знаковый, четыре - цифровых) Логический базис $\oplus, \&, "1"$.

ПОЯСНЕНИЯ к решению [Л.2].

Сопоставление прямого и дополнительного кодов показывает, что последний (для отрицательных чисел) отличается от первого инверсными значениями старших цифровых разрядов после первого справа разряда, содержащего "1". Младший цифровой и знаковый разряд всегда остаётся равными для обоих кодов. Данное правило, применительно к n-разрядному коду (a_i - разряд числа на входе преобразователя, b_i - на выходе), можно записать в следующем виде ((n-1)-й - знаковый разряд):

$$b_i = a_i \oplus (a_{i-1} \vee \dots \vee a_0), \quad i = n-2, n-3, \dots, 1 \text{ и}$$

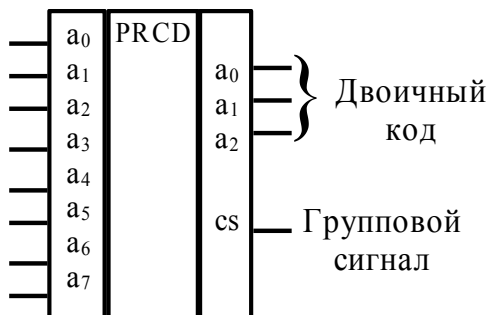
$$b_i = a_i, \text{ для } i = 0; n-1.$$

Для положительных чисел:

$$b_i = a_i, \quad i = n-1, \dots, 0.$$

Схема должна быть единой и выполнять предписанные ей функции независимо от того, какие числа подаются на её вход - положительные или отрицательные в каком-либо из рассматриваемых кодов.

Задание 2.2. Приоритетный шифратор PRCD ($8 \rightarrow 3$) для преобразования 8-разрядного входного кода в двоичный код числа i , где i - номер позиции старшей единицы во входном коде (рис. 15). Логический базис И-НЕ.



ПОЯСНЕНИЯ к решению [Л.3].

Получение минимальной формы для каждой из функций приоритетного шифратора рис. 15 с помощью классических методов минимизации вызывает затруднение, так как число аргументов функции $n=8$. Однако минимальные формы можно быстро получить, используя два правила из булевой алгебры:

- правило склеивания
 $x \vee x \bar{y} = x$;
- следствие из дистрибутивного закона
 $x \vee \bar{x} y = x \vee y$.

Так, например, применяя первое правило к отмеченной строке таблицы истинности для A1, можно получить импликанту $\bar{a}_7 \cdot \bar{a}_6 \cdot \bar{a}_5 \cdot \bar{a}_4 \cdot \bar{a}_3 \cdot a_2$, а их совместное использование для двух последних строк позволяет получить $a_7 \vee \bar{a}_7 \cdot a_6 = a_7 \vee a_6$.

Итак, следуя данным рекомендациям, вы быстро определите минимальные формы для каждой из функций.

Работу схемы сравнить с интегральной схемой 74148 приоритетного шифратора $8 \rightarrow 3$ (отечественный аналог 155ИВ1).

Задание 2.3. Включает две части:

- построение одноразрядного сумматора на сдвоенном мультиплексоре $4 \rightarrow 1$ (74153 или К155КП2);
- разработку схемы сопряжения мультиплексоров $8 \rightarrow 1$ (74151 или 155КП7) и $4 \rightarrow 1$ (74153) с целью получения устройства с функциями мультиплексора $16 \rightarrow 1$.

ПОЯСНЕНИЯ к решению [Л.4]. Изображение сумматора и мультиплексора на функциональной схеме приведено соответственно на рис. 16, а и б, где приняты следующие обозначения: a_i и b_i - одноимённые i - разряды слагаемых, s_i - разряд суммы, а c_i и c_{i+1} - переносы в i -й и $(i+1)$ - разряды соответственно.

a7	a6	a5	a4	a3	a2	a1	a0	GS	A ₂	A ₁	A ₀
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	0	0	0
0	0	0	0	0	0	1	x	1	0	0	1
0	0	0	0	0	1	x	x	1	0	1	0
0	1	x	x	x	x	x	x	1	1	1	0
1	x	x	x	x	x	x	x	1	1	1	1

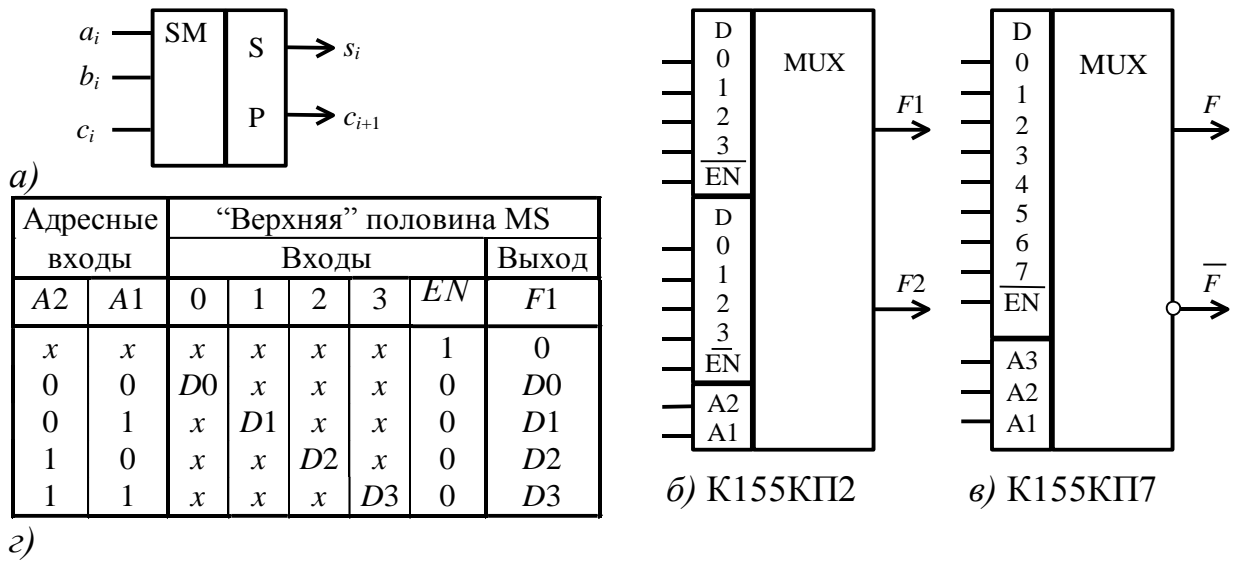


Рис. 16. Одноразрядный сумматор (а), двоянный мультиплексор 4→1 (б), мультиплексор 8→1 (в), таблица истинности одной половины двоянного мультиплексора КП2 (г).

Мультиплексор имеет входы информационные D0...D3 и адресные A2, A1. Двоичный код адреса означает номер того информационного входа, который коммутируется на выход F1 (F2). (см. таблицу истинности рис. 2, г). Адресные входы для двоянного мультиплексора являются общими для обеих половин схемы.

Одним из полезных применений мультиплексора является использование его в качестве универсального логического модуля для воспроизведения булевых функций. Как следует из таблицы истинности мультиплексора K155КП2 (рис. 2, г), уравнение, описывающее его работу для одного из выходов F1, имеет вид

$$F1 = \bar{E} \cdot (\bar{A2} \cdot \bar{A1} \cdot D0 + \bar{A2} \cdot A1 \cdot D1 + A2 \cdot \bar{A1} \cdot D2 + A2 \cdot A1 \cdot D3) \quad (1)$$

Поставленная выше задача требует реализации на данном мультиплексоре двух функции от трёх переменных ($s_i = \varphi_1(a_i, b_i, c_i)$ и $c_{i+1} = \varphi_2(a_i, b_i, c_i)$). В общем случае на основе мультиплексора могут быть воспроизведены булевые функции от числа переменных $n \geq m$, где m - число адресных входов мультиплексора. Случай $n=m$ считается тривиальным в отличие от $n > m$, когда требуется предварительное разложение искомой функции в ряд Шеннона по m переменным.

Пусть $n=m+1=3$ (т.е. $m=2$). Представим произвольную булеву функцию $y=f(x_3, x_2, x_1)$ её разложением по переменным x_2 и x_1 (т.е. тем переменным, которые задаются на адресные входы):

$$y = f(x_3, x_2, x_1) = \overline{x_2} \cdot \overline{x_1} \cdot f_0(x_3, 0, 0) + \overline{x_2} \cdot x_1 \cdot f_1(x_3, 0, 1) + x_2 \cdot \overline{x_1} \cdot f_2(x_3, 1, 0) + x_2 \cdot x_1 \cdot f_3(x_3, 1, 1). \quad (2)$$

Здесь f_0, f_1, f_2, f_3 – остаточные функции от одного аргумента – переменной x_3 . Сравнение уравнений (1) и (2), позволяет выработать подход к реализации метода. В заключение отметим, что функцию s_i требуется получить на выходе F1 мультиплексора, а функцию c_{i+1} – на выходе F2. При затруднении с решением, как первой, так и второй частей **Задания 3** обратитесь к литературе [Л.2,3,4].

Задание 2.4. Включает две части:

- построение одноразрядного вычитателя на сдвоенном мультиплексоре 4→1 (74153 или К155КП2);
- разработку схемы сопряжения двух дешифраторов DC 3→8 (74138 или К531ИД7) с целью получения устройства с функциями дешифратора 4→16.

ПОЯСНЕНИЯ к решению [Л. 2, 3, 4].

На рис. 17, а приведено условное изображение вычитателя и стандартное функциональное обозначение дешифратора DC 3→8 (К531ИД7, рис. 17, б). Для вычитателя приняты следующие обозначения входов и выходов: a_i и d_i – одноимённые разряды операндов вычитателя, s_i – разряд разности, b_i – заём из i -го разряда, а b_{i+1} – заём из $i+1$ разряда.

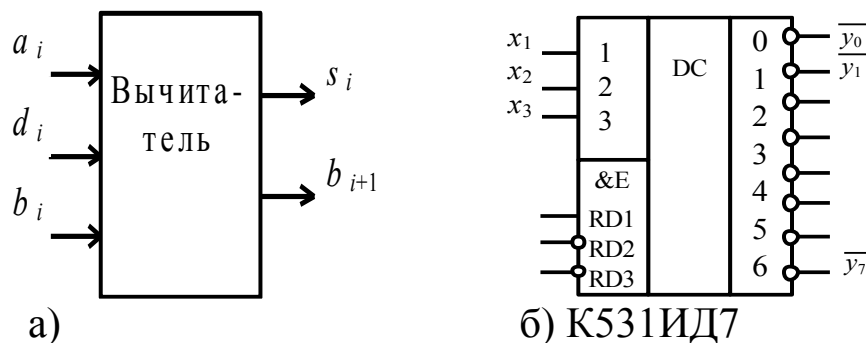


Рис. 17. Вычитатель (а) и дешифратор К531ИД7 (б)

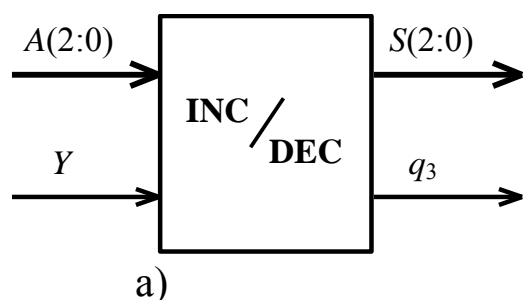
Дешифратор относится к схемам, преобразующим двоичный код на его входах в активный сигнал на одном из его выходов. Полный дешифратор на n -входов имеет 2^n выходов. Поэтому при определении дешифратора допустимо сокращённое обозначение его типа DC "3-8" – дешифратор тремя входами и восьмью выходами.

Дешифратор К531ИД7 имеет инверсные выходы (активный низкий уровень).

Задание 2.5. Синтез комбинационной схемы 3-разрядной схемы инкрементора/декрементора, условное изображение которого, с учётом назначений входов и выходов, приведено на рис. 18. Логический базис ИЛИ-НЕ.

ПОЯСНЕНИЯ к решению [Л.3].

Из функционального назначения схемы следует, что при $Y=0$ между значением разряда a_i входного слова A и переносом в этот разряд $q_i=c_i$ должна выполняться операция сложения, а при $Y=1$ между разрядом a_i и заёмом $q_i=b_i$ – вычитания. Структура таблицы истинности приведена в таблице 6.



$$S(2:0) = \begin{cases} A(2:0) + 1, & \text{при } Y = 0, \\ A(2:0) - 1, & \text{при } Y = 1, \end{cases}$$

$$q_3 = \begin{cases} c_3 - \text{перенос}, & \text{при } Y = 0, \\ b_3 - \text{заём}, & \text{при } Y = 1, \end{cases}$$

Y – управляющий сигнал

Рис. 18. Инкрементор/декрементор (а) и его функциональное описание (б)

Таблица 6

Определив значения для функций выходов s_i и q_{i+1} , можно получить необходимые логические соотношения, которые будут справедливыми для $i=1, 2$. В дальнейшем надо только определиться с начальными значениями переноса/заёма при формировании функций s_0 и q_1 ($i=0$).

Y	a_i	q_i	s_i	q_{i+1}	Режим
0	0	0	0	0	Инкремент
0	0	1	1	0	
0	1	0	1	0	
0	1	1	0	1	
1	0	0	0	0	Декремент
1	0	1	1	1	
1	1	0	1	0	
1	1	1	0	0	

Задание 2.6. Преобразователь 4-разрядного двоичного кода в код Грея и обратно. Логический базис – $\wedge, \&, \neg$.

ПОЯСНЕНИЯ к решению [Л. 2, 3, 4].

Таблица 7

Решение 2 Двоичный код				Код Грея			
α_4	α_3	α_2	α_1	β_4	β_3	β_2	β_1

В некоторых случаях необходим числовой код, построенный таким образом, чтобы при переходе от одного числа к следующему изменялся бы всегда

0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

только один двоичный разряд. Этим свойством обладает код Грея, использующийся, например, при разметки координат клеток карт Карно, в преобразователях углового положения вала в цифровой код и в других случаях. Соответствие между двоичным кодом и кода Грея для четырехразрядных чисел отражено в таблице 7.

Используя стандартную методику синтеза с минимизацией на картах Карно, можно легко решить прямую задачу. Решение обратной задачи (преобразования кода Грея в двоичный код) –

сложнее. Сложность заключается в преобразовании минимальных логических форм типа И/ИЛИ к виду, использующему только операцию ИСКЛЮЧАЮЩЕЕ ИЛИ ($\text{mod } 2$). Можно значительно упростить, если рассмотреть карты Карно для функций выходов α_i ($i=1, 2, 3, 4$) как объекты преобразования одной функции в другую на основе операции ИСКЛЮЧАЮЩЕЕ ИЛИ. Для пояснения высказанного предложения на рис.19 приведены карты Карно для функций выходов α_3 и α_2 . Сравнение этих карт Карно между собой позволяет убедиться в преобразовании карты Карно для α_3 в карту для α_2 на основе соотношения:

$$\alpha_2 = \alpha_3 \oplus \beta_2 = \alpha_3 \overline{\beta_2} \vee \overline{\alpha_3} \beta_2.$$

Если это понятно, то решение обратной задачи не вызывает затруднений.

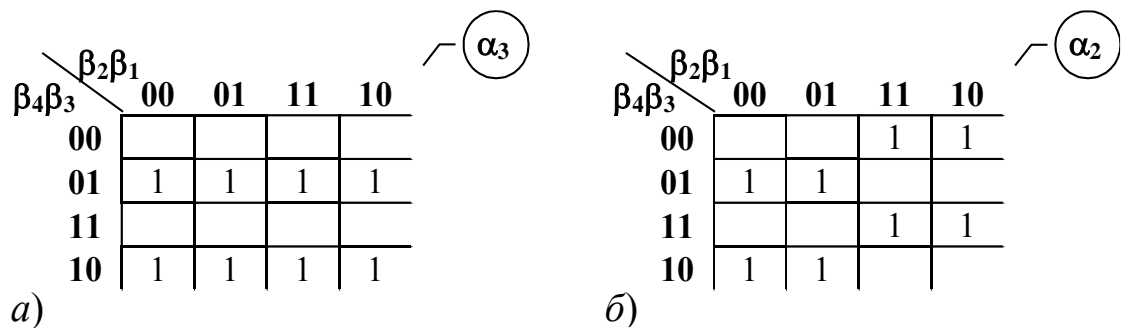


Рис. 19. Карты Карно для переменных α_3 и α_2

Задание 2.7. Исследование работы многоразрядного сумматора с последовательным и параллельным переносами. Логический базис И-НЕ.

ПОЯСНЕНИЯ к решению [Л.3, 4, 8]. Исследование работы многоразрядного сумматора провести в три этапа.

- Трёхразрядный сумматор (3...4 разряда) с последовательным переносом на основе одnorазрядного сумматора, который представить в виде подсхемы (Subcircuit).
- На основе выведенных соотношений для межразрядных переносов построить и провести исследование трёхразрядной схемы сумматора с параллельным переносом.
- Выполнить описание (назначение выводов) 4-разрядного сумматора с параллельным переносом К155ИМ6 (74283).

Задание 2.8. Синтез схемы преобразователя прямого кода двоичных чисел (4 разряда, включая знаковый) в дополнительный код (вариант 2). Логический базис $\infty, \&, "0"$.

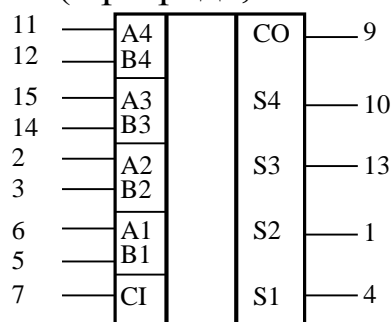


Рис. 20. 4-разрядный двоичный сумматор с ускоренным переносом 555ИМ6 (SN 74283)

Для преобразования дополнительного (прямого) кода отрицательного числа в прямой (дополнительный) код необходимо проинвертировать цифровые разряды исходного числа и, к полученному результату, прибавить «1». Положительные числа имеют одинаковое представление в обоих кодах.

Правило преобразования. Для преобразования дополнительного (прямого) кода отрицательного числа в прямой (дополнительный) код необходимо проинвертировать цифровые разряды исходного числа и, к полученному результату, прибавить «1».

Положительные числа имеют одинаковое представление в обоих кодах.

ПОЯСНЕНИЯ к решению. Инвертированием цифровых разрядов α_i управляет знаковый разряд α_s на основе использования логической операции Исключающее ИЛИ

$$\alpha_s \oplus \alpha_i \quad i=1, 2, 3.$$

Прибавление +1 выполнить с использованием сумматора на ИС К155ИМ6 (74283), представленный на рис. 20.

Задание 2.9. 3-разрядный цифровой компаратор, определяющий отношения «равно» и «больше» для двоичных чисел А и В. Логический базис ИЛИ-НЕ.

ПОЯСНЕНИЯ к решению. Предлагается на выбор два способа.

- Анализ на истинность указанных соотношений на основе выполнения поразрядных логических операций над одноимёнными разрядами обоих чисел. Данный способ подробно изложен в [Л.2,8].

- Выполнение операции вычитания А-В на многоразрядном сумматоре (пусть это будет ИС К155ИМ6 (74283)) с последующим анализом результата вычитания (флагов). Для этого достаточно проанализировать результат выполнения ассемблерной команды `Sub dst, src` для беззнаковых операндов. Можно также обратиться и к литературе [Л. 3].

Задание 2.10. Схема вычитания двух 4-разрядных двоичных чисел с вычислением абсолютной величины и знака разности, использующей циклический перенос. Логический базис $\oplus, \&, "1"$.

ПОЯСНЕНИЯ к решению. Предварительно рассмотрим реализацию операции вычитания двоичных чисел А и В, заменив её сложением числа А с поразрядным дополнением числа В.

Поразрядное дополнение числа В вводится соотношением $2^n - 1 - В$ и, фактически, сводится к простому инвертированию всех разрядов числа

$$A - B = A + 2^n - 1 - B = 2^n + (A - B) - 1. \quad (3)$$

В зависимости от знака разности возможны два случая.

2. $A - B > 0$. В этом случае реализация соотношения (3) приводит к формированию переноса из старшего разряда $CF = 2^n$ и для получения правильного результата необходимо выполнить операцию циклического сложения с образовавшимся переносом.

$$\begin{array}{r}
 2^n + (A - B) - 1 \\
 + \quad \longleftarrow 2^0 \\
 \hline
 \end{array}$$

$$A-B > 0 \text{ или } |A-B|$$

Отметим, что здесь знак разности можно получить как $\alpha_s = cf$

Пример.

$$A=5=0101_{(2)}$$

$$B=3=0011_{(2)}$$

$$A = 0101_{(2)}$$

$$2^n-1-B = 1100_{(2)}$$

$$\underline{1\ 0001_{(2)}}$$

←1 Сложение с циклическим пе-

реносом

$$\underline{0010_{(2)}} = 2$$

Графическая иллюстрация рассмотренного случая приведена на рис. 21.

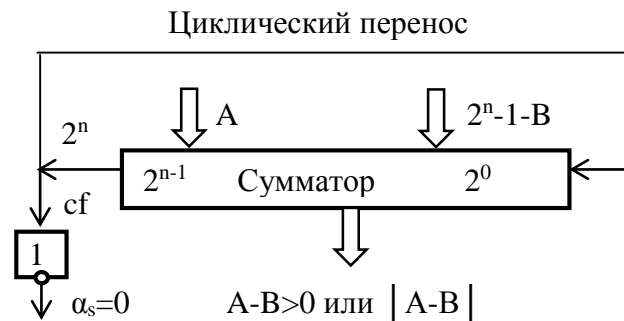


Рис. 21. Схема вычитания на основе сложения ($A-B > 0$)

3. $A-B \leq 0$. В этом случае перенос при реализации выражения (3) не возникает (убедитесь в этом самостоятельно), а вычитание равных чисел приводит к формированию числа $11...1$.

Модифицируем данный случай на удовлетворения требования, сформулированного в задании – получения модуля разности с указанием её знака. Для этого схемным путём сформируем искусственный перенос, который бы инициировал операцию поразрядного дополнения величины (3) и указывал на наличие отрицательной разности

$$2^n-1-(2^n+(A-B)-1) = (B-A) = |A-B| \quad (4)$$

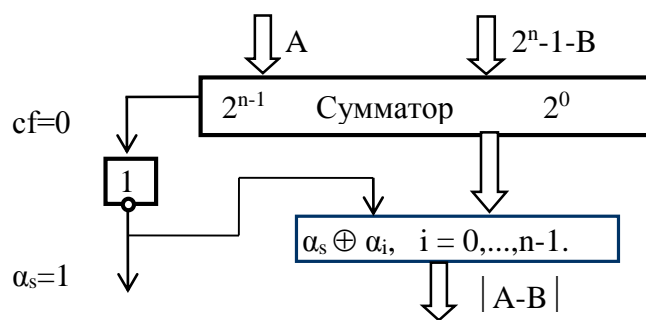


Рис. 22. Схема вычитания на основе сложения ($A-B \leq 0$)

Для выполнения задания нужно объединить схемы рис. 21 и 22 в одну.

Задание 2.11. Устройство контроля чётности при передаче данных. Логический базис И-НЕ.

ПОЯСНЕНИЯ к решению. Простейший способ обнаружения ошибок при передаче данных заключается в передаче разряда проверки на чётность P . (рис. 23). В контрольный разряд (КР) чётности записывается «0», если число единиц

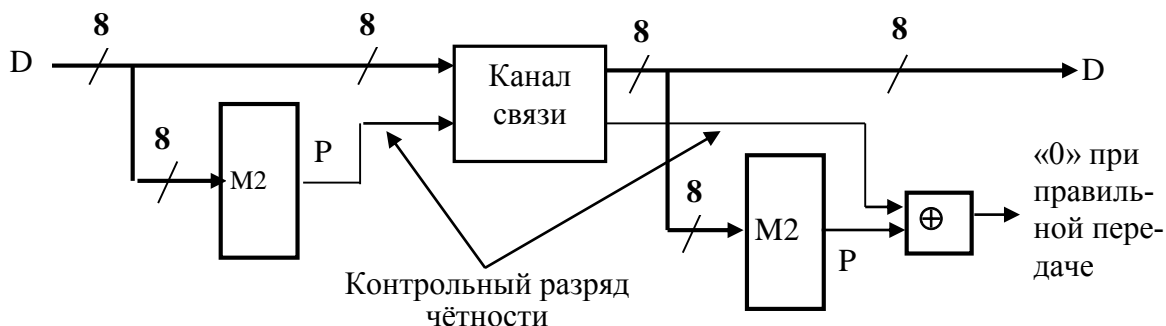


Рис. 23. Передача данных при проверке на чётность

в информационном слове чётное и наоборот - в случае нечётного числа. При этом общее количество передаваемых единиц по каналу связи, включая КР, всегда будет чётным. На принимающей стороне КР вычисляется тем же способом для информационных разрядов и сравнивается с переданным КР. При несовпадении фиксируется ошибка передачи. Исправить ошибку, к сожалению, невозможно, - надо использовать более сложные способы помехоустойчивого кодирования данных.

При выполнении задания произведите синтез блока формирования КР, а также покажите возможность использования в схеме ИС 1533ИП5 (SN 74280).

Задание 2.12. Преобразователь кода 8-4-2-1 в 7-разрядный код семисегментного индикатора для представления 16-тиричных чисел $0, \dots, 9, A, b, C, d, E, F$. Логический базис $\oplus, \&, \text{''}1\text{''}$

ПОЯСНЕНИЯ к решению. Для вывода чисел широко применяются семисегментные индикаторы, в которых семь сегментов-диодов расположены так, что при зажигании определённой их комбинации высвечивается тот или иной символ (рис. 24, а). Выпускаются семисегментные индикаторы с общим анодом или катодом. Для управления сегментами удобны элементы с выходом типа «общий коллектор», так как в этом случае подключается внешний резистор, сопротивление которого можно задать с учётом характеристик применяемых светодиодов (рис. 24, б – сегмент зажигается, когда выходной транзистор управляющего элемента отпирается; рис. 24, в – отпирается).

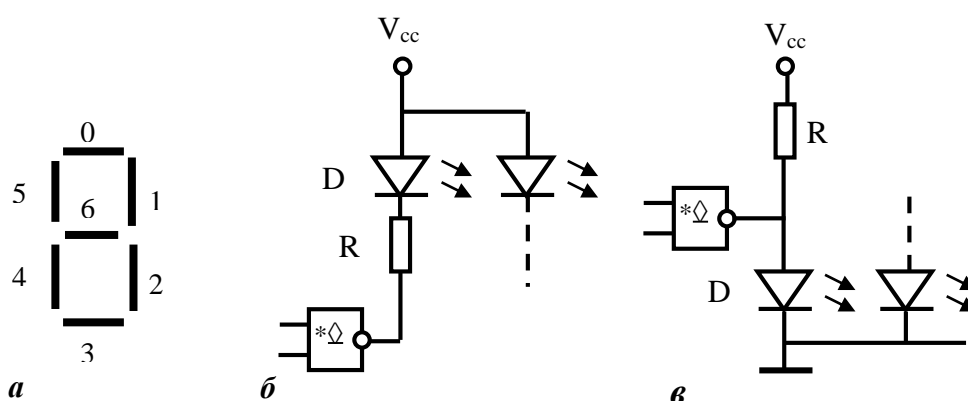


Рис. 24. Семисегментный индикатор (а) и схемы управления сегментом с общим анодом (б) и общим катодом (в)

Таблица 8

16-ричная цифра	Код 8-4-2-1	7-сегментный выход
		7 6 5 4 - 3 2 1 0
0	0000	0 1 1 1 - 1 1 1 1
1	0001	0 0 0 0 - 0 1 1 0
2	0010	0 1 0 1 - 1 1 0 1
...
A	1010	0 1 1 1 - 0 1 1 1
b	1011	0 1 1 1 - 1 1 0 0
...
F	1111	0 1 1 1 - 0 0 0 1

Преобразователь кода 8-4-2-1 в 7-разрядный код семисегментного индикатора для представления 16-теричных чисел 0, ..., 9, A, b, C, d, E, F должен работать в соответствии с таблицей истинности

табл. 8. Проверку работы дешифратора произвести путём подключения к его выходам семисегментного индикатора из библиотеки Multisim 2001.

Задание 2.13. Преобразователь 4-разрядного двоичного кода в код Эйкена **2-4-2-1** (см таблица 9) и обратно. Логический базис $\oplus, \&, "1"$

ПОЯСНЕНИЯ к решению [Л. 2, 3, 4].

Используя стандартную методику синтеза с минимизацией на картах Карно, можно легко решить прямую задачу. Решение обратной задачи (преобразования кода Эйкена в двоичный код) – сложнее.

Таблица 9

Двоичный код 8-4-2-1	Двоичный код Эйкена 2-4-2-1
0000	0000
0001	0001
0010	0010
0011	0011
0100	0100
0101	1011
0110	1100
0111	1101
1000	1110
1001	1111

Задание 2.14. Пятиразрядный преобразователь прямого кода в обратный и обратно в базисе $\oplus, \&, "1"$ (один разряд знаковый, четыре - цифровых).

ПОЯСНЕНИЯ к решению [Л.2]. Сопоставление прямого и обратного кодов показывает, что последний (для отрицательных чисел) отличается от первого инверсными значениями. Знаковый разряд всегда остаётся равными для обоих кодов. Данное правило, применительно к n-разрядному коду (a_i - разряд числа на входе преобразователя, b_i - на выходе), можно записать в следующем виде ((n-1)-й - знаковый разряд):

$$b_i = \bar{a}_i, \quad i = n-2, n-3, \dots, 1 \text{ и}$$
$$b_i = a_i, \quad n-1.$$

Для положительных чисел:

$$b_i = a_i, \quad i = n-1, \dots, 0.$$

Схема должна быть единой и выполнять предписанные ей функции независимо от того, какие числа подаются на её вход - положительные или отрицательные в каком-либо из рассматриваемых кодов.

Задание 2.15. 3-разрядный цифровой компаратор, определяющий отношения «равно» и «меньше» для двоичных чисел А и В. Логический базис И-НЕ

ПОЯСНЕНИЯ к решению. Предлагается на выбор два способа.

- Анализ на истинность указанных соотношений на основе выполнения поразрядных логических операций над одноимёнными разрядами обоих чисел. Данный способ подробно изложен в [Л.2,8].
- Выполнение операции вычитания А-В на многоразрядном сумматоре (пусть это будет ИС К155ИМ6 (74283)) с последующим анализом результата вычитания (флагов). Для этого достаточно проанализировать результат выполнения ассемблерной команды `Str dst, src` для беззнаковых операндов. Можно также обратиться и к литературе [Л. 3].

Задание 2.16. Синтез схемы десятичного дешифратора в базисе ИЛИ-НЕ.

ПОЯСНЕНИЯ к решению. Десятичный код обычно отображается одним битом на одну десятичную цифру. В десятичном коде десять цифр, поэтому для отображения одного десятичного разряда требуется десять выходов дешифратора. Сигнал с этих выводов необходимо подать на семисегментный индикатор. Составить таблицу истинности десятичного дешифратора.

Задание 2.17. 3-разрядный цифровой компаратор, определяющий отношения «больше» и «меньше» для двоичных чисел А и В. Логический базис $\bar{\wedge}, \bar{\vee}, \bar{\neg}$.

ПОЯСНЕНИЯ к решению. Предлагается на выбор два способа.

- Анализ на истинность указанных соотношений на основе выполнения поразрядных логических операций над одноимёнными разрядами обоих чисел. Данный способ подробно изложен в [Л.2,8].

Задание 2.18. Построить шифратор, который позволяет вводить цифры от 0 до 9 в базисе $\oplus, \&, "1"$.

Одно из основных применений шифратора – ввод данных с клавиатуры, при котором нажатие клавиши с десятичной цифрой должно приводить к передаче в устройство двоичного кода данной цифры (тетрады двоично-десятичного кода). В этом случае нужен неполный шифратор 10 – 4.

Задание 2.19. Мультиплексор в режиме сдвигателя. Логический базис ИЛИ-НЕ. Сдвигателем называется цифровой комбинационный узел, предназначенный для сдвига n -разрядного слова на любое число разрядов в диапазоне от 0 до m за один такт. Смена однопозиционного управляющего сигнала вызывает немедленное (через время, определяемое задержками распространения сигналов через логические элементы) выполнение требуемой микрооперации. Уравнения для сдвигателя с параметрами $n = 4, m = 3$ (разрядность входного слова $X n = 4$, разрядность выходного слова $Y nVm = 7$, сдвиг может быть реализован на 0, 1, 2 и максимум на три разряда).

Таблица 10

N набора	a1	a0	m
0	0	0	0
1	0	1	1
2	1	0	2
3	1	1	3

$$\begin{aligned}
 y_0 &= S_0x_0 \\
 y_1 &= S_0x_1 \vee S_1x_0 \\
 y_2 &= S_0x_2 \vee S_1x_1 \vee S_2x_0 \\
 y_3 &= S_0x_3 \vee S_1x_2 \vee S_2x_1 \vee S_3x_0 \\
 y_4 &= S_1x_3 \vee S_2x_2 \vee S_3x_1 \\
 y_5 &= S_2x_3 \vee S_3x_2 \\
 y_6 &= S_3x_3,
 \end{aligned}$$

где S_0 — однопозиционный управляющий сигнал; при его активном состоянии $S_0 = 1$ и $S_1 = S_2 = S_3 = 0$ обеспечивается передача входного слова на выход без сдвига, при $S_1 = 1$ и $S_0 = S_2 = S_3 = 0$ осуществляется сдвиг входного слова на один разряд и т. д. Для реализации этих уравнений требуются двухвходовые элементы И и элементы ИЛИ на 2, 3 и 4 входа. Так как в данном случае выполняется четыре микрооперации ($m = 0, 1, 2$ или 3), то наиболее просто реали-

зовать такой сдвигатель на семи одноразрядных MS 4 → 1, используя их адресные входы как управляющий код числа m (см таблицу 10). На свободные входы мультиплексоров подаются сигналы, характер которых определяется конкретным алгоритмом, реализуемым операционным узлом (логический, арифметический, циклический сдвиг и т. п.)

Задание 2.20. Построить на ЛЭ схему сравнения на равенство двух 4-разрядных чисел. Для примера построим на ЛЭ схему сравнения на равенство двух 8-разрядных чисел. Для ее решения практически невозможно построить таблицу: число строк в ней будет $2^{(8+8)} = 65536$. Подобные задачи решают иначе – методом декомпозиции задачи - разбиения ее на более мелкие подзадачи. Два числа равны, если попарно равны их одноименные разряды. Структурная схема компаратора показана на рис. 25 а. Известно, что функция равенства двух аргументов – это инверсия их суммы по модулю 2. Чтобы исключить из проектируемой схемы 8 инверторов воспользуемся соотношением:

$$\bigwedge_{i=0}^7 (a_i \equiv b_i) = \bigvee_{i=0}^7 \overline{(a_i \oplus b_i)} = \bigvee_{i=0}^7 (a_i \oplus b_i)$$

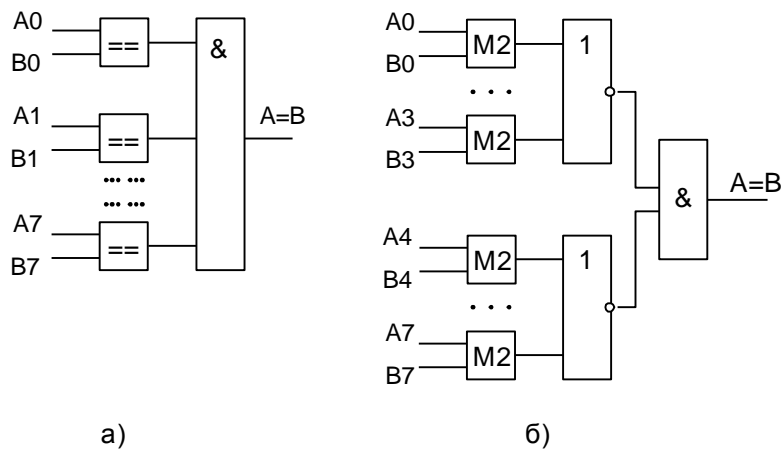


Рис. 25. б Узел сравнения на равенство.

Это решение показано на рис. 12, б. Оно учитывает, что в семействах ЛЭ нет элемента 8ИЛИ - НЕ, а есть только 4ИЛИ – НЕ.

Задание 2.21. Реализовать многоканальный селектор для случая $n = m = 4$. Многоканальным селектором называется цифровой комбинационный узел, имеющий n входов и m выходов, с возможностью передачи данных с любого входа в любой выход при использовании между входами и выходами минимального числа линий

связи. Рассмотрим конкретную схему для случая $n = m = 8$. Общая идея: из 8 входов передадим данные в одну линию с помощью мультиплексора, а затем из этой линии передадим данные на 8 выходов с помощью однобитового селектора. Схема приведена на рис. 26, где обозначено: *src* (source) — источник, *dst* (destination) — приемник, *A* — адрес источника, *B* — адрес приемника. В качестве однобитового селектора используется двоично-десятичный дешифратор с активным нулем на выходах. При $A = B$ реализуется алгоритм передачи данных $src_i \rightarrow dst_i$, а при $A \neq B$ — $src_i \rightarrow dst_j$, $i = 0..7, j = 0..7$.

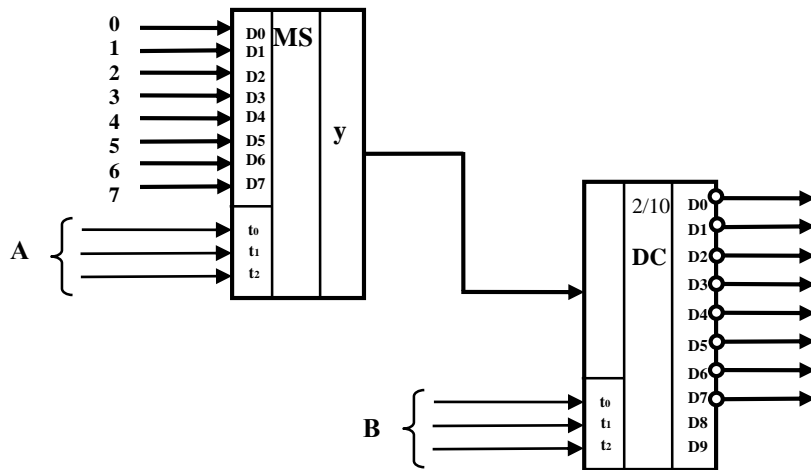


Рис. 26. Многоканальный селектор

Задание 2.22. Синтез схемы демультимплексора «1 → 8» в базисе $\infty, \&, "0"$.

ПОЯСНЕНИЯ к решению. Демультимплексор - комбинационное устройство, обеспечивающее коммутацию единственного входа на один из выходов под управлением сигналов на адресных входах. Демультимплексор имеет один информационный вход, n адресующих (управляющих) входов и 2^n выходов. Составить таблицу истинности демультимплексора.

Схемная реализация демультимплексора «1 → 4» в базисе И представлена на рис. 27.

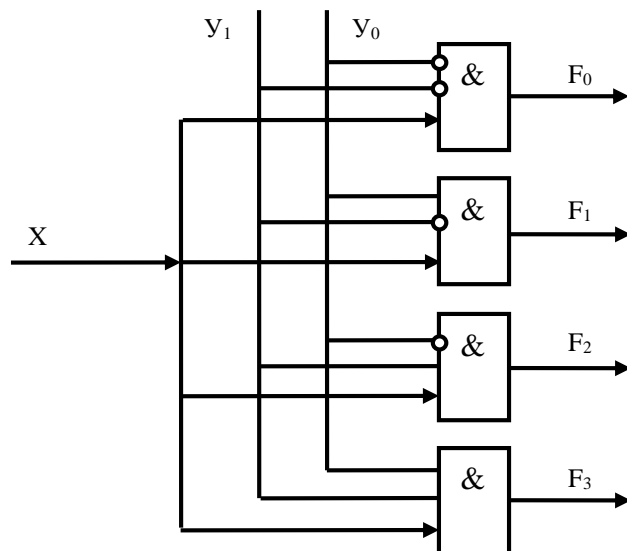


Рис. 27. Схема Демультимплектора «1 → 4»

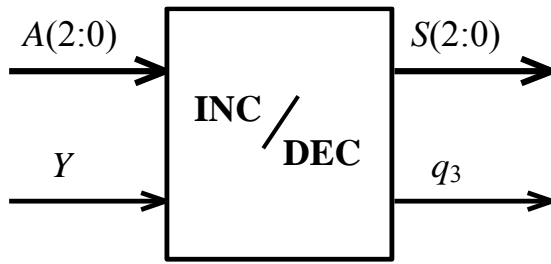
Таблица 11

Y	a_i	q_i	s_i	q_{i+1}	Режим
0	0	0	0	0	Инкремент
0	0	1	1	0	
0	1	0	1	0	
0	1	1	0	1	
1	0	0	0	0	Декремент
1	0	1	1	1	
1	1	0	1	0	
1	1	1	0	0	

Задание 2.23. Синтез комбинационной схемы 4-разрядной схемы инкрементора / декрементора, условное изображение которого, с учётом назначений входов и выходов, приведено на рис. 28. Логический базис ИЛИ-НЕ.

ПОЯСНЕНИЯ к решению [Л.3].

Из функционального назначения схемы следует, что при $Y=0$ между значением разряда a_i входного слова A и переносом в этот разряд $q_i=s_i$ должна выполняться операция сложения, а при $Y=1$ между разрядом a_i и заёмом $q_i=b_i$ – вычитания. Структура таблицы истинности приведена в таблице 11.



$$S(2:0) = \begin{cases} A(2:0) + 1, & \text{при } Y = 0, \\ A(2:0) - 1, & \text{при } Y = 1, \end{cases}$$

$$q_3 = \begin{cases} c_3 - \text{перенос}, & \text{при } Y = 0, \\ b_3 - \text{заём}, & \text{при } Y = 1, \end{cases}$$

Y – управляющий сигнал

а)

б)

Рис. 28. Инкрементор/декрементор (а) и его функциональное описание (б)

Определив значения для функций выходов s_i и q_{i+1} , можно получить необходимые логические соотношения, которые будут справедливыми для $i=1, 2$. В дальнейшем надо только определиться с начальными значениями переноса/заёма при формировании функций s_0 и q_1 ($i=0$).

3. Контрольные вопросы

1. На какие классы подразделяются электронные схемы.
2. С какими сигналами оперируют цифровые схемы, аналоговые схемы.
3. Дайте определение комбинационной схеме. Какие функции она выполняет.
4. Какие задачи решаются при анализе комбинационных схем.
5. Назовите этапы синтеза комбинационных схем.
6. Как преобразуется прямой код в дополнительный и обратный.
7. Дайте определение приоритетному шифратору, какие функции выполняет этот функциональный блок.
8. Какую функцию выполняет мультиплексор, дайте определение этому блоку.
9. Какие существуют основные этапы построения комбинационных схем сумматора и вычитателя.
10. Какие обозначения входов и выходов приняты для сумматоров и вычитателей. Как формируются переносы и заемы при суммировании и вычитании.
11. Дайте определение преобразователям кода. Назовите основные функции этих комбинационных схем.
12. Какие функции выполняет дешифратор. К каким схемам относится дешифратор.
13. Как осуществляется синтез комбинационной 3-разрядной схемы инкрементора/декрементора.
14. Какие основные этапы построения 4-разрядного преобразователя двоичного кода в код Грея и обратно известны.
15. Дайте определение цифровому компаратору. Какие функции выполняет этот функциональный блок.
16. Какие основные функции выполняет устройство контроля четности.
17. Как произвести проверку работы дешифратора с помощью семи-сегментного индикатора.
18. Какой код называется кодом Эйкена.
19. Как осуществляется построение комбинационной схемы десятичного дешифратора.
20. Дайте определение демультимплексору. Какую функцию выполняет указанный функциональный блок.

4. Библиографический список

1. Каган Б.М. Электронные вычислительные машины и системы: Учебное пособие для вузов. – М.: Энергоатомиздат, 1991.-592 с: ил.
2. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ: Учеб. пособие для вузов. – М.: Высшая Школа, 1987.-318 с.: ил.
3. Потемкин И. С. Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988.-320 с.: ил.
4. Зельдин Е. А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986.-280 с.: ил.
5. Пухальский Г.И., Новосельцева Т. Я. Проектирование дискретных устройств на интегральных микросхемах: Справочник. -М.: Радио и связь, 1990.-304 с.: ил.
6. Цифровые ЭВМ: Практикум / К.Г.Самофалов, В.И.Корнейчук, В.П.Тарасенко; Под общ. ред. К.Г.Самофалова. - К.: Выща шк.,1990.-225с.:Ил
7. Скляр В. А. Синтез автоматов на матричных БИС / Под. Ред. С. И. Баранова. – Минск: Наука и техника, 1984.-288 с.: ил.
8. . Угрюмов Е. П. Цифровая схемотехника.- СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.: ил.