

Документ подписан простой электронной подписью
Информация о владельце:
ФИО: Локтионова Оксана Геннадьевна
Должность: проректор по учебной работе
Дата подписания: 17.12.2021 10:16:37
Уникальный программный ключ:
0b817ca911e6668abb13a5d426d39e5f1c11eabbf73e943df4a4851fda56d089

МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение высшего образования
«Юго-Западный государственный университет»
(ЮЗГУ)

Кафедра информационной безопасности

УТВЕРЖДАЮ
Проректор по учебной работе
О.Г. Локтионова
« 17 » 02 2018 г.



**МАТЕМАТИЧЕСКОЕ МОДЕЛИРОВАНИЕ
ТЕХНИЧЕСКИХ ОБЪЕКТОВ И СИСТЕМ УПРАВЛЕНИЯ**

Методические рекомендации для лабораторных работ для студентов укрупненной группы специальностей и направлений подготовки 10.00.00 «Информационная безопасность»

Курск 2018

УДК 004

Составитель: С.С. Шевелев

Рецензент

Кандидат технических наук, доцент кафедры «Информационная безопасность» А.Л. Марухленко

Математическое моделирование технических объектов и систем управления [Текст] : методические рекомендации для лабораторных работ по дисциплине «Аппаратные средства вычислительной техники/ Юго-Зап. гос. ун-т; сост.: С.С. Шевелев – Курск, 2018. – 34 с.: ил. 16, табл. 5. – Библиогр.: с. 34.

Содержат сведения по вопросам работы с логическими элементами и функциями, методами минимизации. Указывается порядок выполнения лабораторных работ. Методические рекомендации соответствуют требованиям программы, утвержденной учебно-методическим объединением по специальности.

Предназначены для студентов укрупненной группы специальностей и направлений подготовки 10.00.00 «Информационная безопасность».

Текст печатается в авторской редакции

Подписано в печать 1.02.18. Формат 60x84 1/16.

Усл.печ. л. 1,97. Уч.-изд. л. 1,78. Тираж 100 экз. Заказ. Бесплатно. 226

Юго-Западный государственный университет.

305040, г. Курск, ул. 50 лет Октября, 94.

СОДЕРЖАНИЕ

Цель работы	<u>4</u>
Основные теоретические понятия	<u>4</u>
Представление информации физическими сигналами.	6
Логические функции.....	7
Произвольные функции и логические схемы	12
Минимизация функций.....	13
Интегральные логические элементы.....	<u>20</u>
Серии ЛЭ.....	<u>21</u>
Правила схемного включения ЛЭ	<u>24</u>
Этапы построения (синтеза) комбинационной схемы	<u>25</u>

Логические элементы и функции. Методы минимизации булевых функций. Синтез комбинационных схем.

Целью работы является освоение метода минимизации булевых функций картами Карно, перевод минимизированной булевой функции в заданный базис, основных этапов синтеза комбинационных схем с использованием механизма имитационного моделирования программы Multisim 2001.

1. Основные теоретические понятия

Все цифровые вычислительные устройства построены на элементах, которые выполняют те или иные логические операции. Для формального описания логической стороны процессов в цифровых устройствах используется алгебра логики (АЛ).

АЛ имеет дело с логическими переменными, которые могут принимать только два значения (ИСТИНА и ЛОЖЬ, TRUE и FALSE, ДА и НЕТ, 1 и 0). Наиболее распространено последнее обозначение. При этом 1 и 0 нельзя трактовать как числа, над ними нельзя производить арифметические действия.

Логические переменные хорошо описывают состояния таких объектов, как реле, тумблеры, кнопки, т.е. объектов, которые могут находиться в двух четко различимых состояниях: включено - выключено. К таким объектам относятся и полупроводниковые логические элементы, на выходе которых может быть лишь один из двух четко различимых уровней напряжения - ВЫСОКИЙ (HIGH) уровень принимается за логическую единицу, и низкий НИЗКИЙ (LOW) - за логический нуль.

Представление информации физическими сигналами.

Физическими аналогами логических переменных "0" и "1" служат сигналы, способные принимать два хорошо различимых состояния, например, потенциал низкого и высокого уровней, разомкнутое и замкнутое состояние.

В схемах цифровых устройств (ЦУ) переменные и соответствующие им сигналы изменяются не непрерывно, а лишь в дискретные моменты, обозначаемые целыми неотрицательными числами: 0, 1, 2, .. i ... Временной интервал между двумя соседними моментами дискретного времени называется **тактом**. Обычно ЦУ содержат специальный блок, вырабатывающий синхронизирующие сигналы, отмечающие моменты дискретного времени.

В современных ЦУ применяется потенциальный способ представления информации. Потенциальный сигнал сохраняет постоянный уровень в течение такта, а его значение в переходные моменты не является определенным (рис. 1.1)

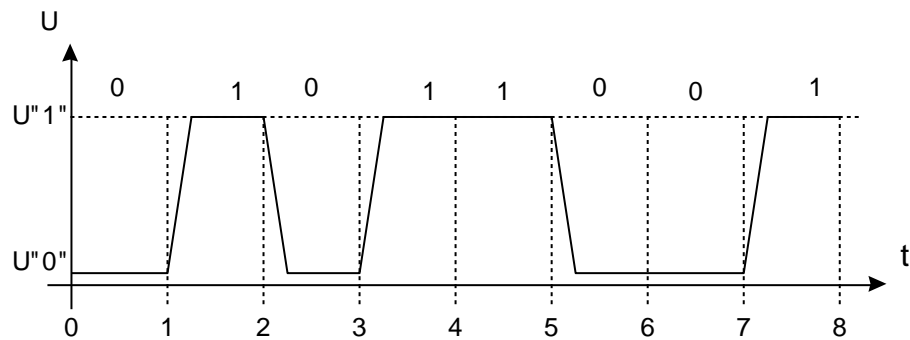
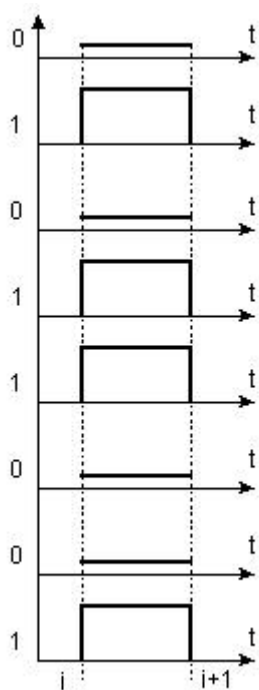


Рис. 1.1. Представление цифровой информации сигналами потенциального типа (последовательный код).



Слово информации может быть представлено последовательным или параллельным кодом.

При последовательном коде каждый временной такт предназначен для отображения одного разряда кода слова (рис. 1.1). В этом случае все разряды слова фиксируются по очереди одним и тем же элементом и проходят через одну линию передачи информации.

При параллельном коде все разряды двоичного слова представляются в одном временном такте, фиксируются отдельными элементами и проходят через отдельные линии, каждая из которых служит для представления и передачи только одного разряда слова. Код слова развертывается не во времени, а в пространстве, т.к. значения всех разрядов слова передаются по нескольким линиям одновременно (рис. 1.2).

Рис. 1.2. Представление информации параллельным кодом.

Логические функции.

Функции АЛ принимают значения 1 или 0 в зависимости от значений своих аргументов. Одна из форм задания логической функции - табличная. Таблицы, отображающие соответствие всех возможных

комбинаций значений двоичных аргументов значениям логической функции, называют **таблицами истинности**.

Как бы ни была сложна логическая связь между логической функцией и ее аргументами, эту связь всегда можно представить в виде совокупности трех простейших логических операций: НЕ, И, ИЛИ. Этот набор называют булевым базисом, в честь английского математика Д.Буля (1815-1864), разработавшего основные положения АЛ.

Функция НЕ (другие названия: отрицание, инверсия) - это функция одного аргумента. Она равна 1, когда ее аргумент равен 0, и наоборот. Обычное обозначение $Q = \bar{a}$. Встречаются и другие обозначения $Q = \text{НЕ } a$, $Q = \neg a$. Читается « Q есть не a ».

Электронный логический элемент (ЛЭ), реализующий функцию НЕ в виде определенных уровней напряжения, называют **инвертором**. Инвертор на схемах изображается, как показано на рис. 1.3,а. Вход - слева, выход - справа, кружок - символ инверсии. Условное изображение инвертора (или любого другого ЛЭ) на схеме может быть повернуто на 90° (вход - сверху, выход - снизу, рис. 1.3,б). Другие углы поворота и направления входов и выходов **не допускаются**.

В релейно-контактной технике функцию НЕ реализует нормально замкнутый контакт (рис. 1.3,в), т.е. такой контакт реле, который замкнут, пока в обмотке нет токового сигнала a , и размыкается при подаче тока a .

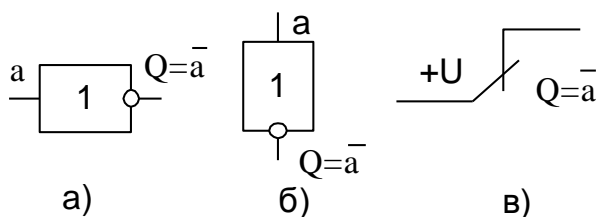


Рис.1.3. Инвертор

а) предпочтительное изображение

б) допустимое изображение

в) реализация НЕ в релейно-контактной технике

Функция И (другие названия: конъюнкция, логическое умножение, AND)- это функция двух или большего числа аргументов.

Обозначение: $Q = a \& b$; $Q = a \wedge b$; $Q = a \cdot b$; $Q = ab$. Читается « Q есть a и b ».

Функция И равна 1 тогда и только тогда, когда все ее аргументы равны 1. В релейно-контактной технике функция И реализуется последовательным включением нормально разомкнутых контактов (рис. 1.4,а). Ток в цепи пойдет, когда контакты замкнуты, т.е. находятся в единичном состоянии.

Значения функции И для всех комбинаций аргументов a и b приведены в таблице 1.1. Там же приведены значения и других часто используемых функций, о которых речь будет вестись ниже.

Элемент, реализующий функцию И, называют элемент И или **конъюнктор**. Элемент И часто используют для управления потоком информации. При этом на один его вход поступают логические сигналы, несущие некоторую информацию, а на другой - управляющий сигнал: пропускать - 1, не пропускать - 0. Элемент И, используемый таким образом, называют вентиль (gate).

Таблица 1

Аргументы		Функции					
a	b	И	ИЛИ	И-НЕ	ИЛИ-НЕ	\oplus M2	∞ $\overline{M2}$
0	0	0	0	1	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	1	0	0	0	1

Функцию И можно построить от любого числа аргументов. На рис. 1.4,б и в показаны условные изображения двух- и четырехвходового конъюнкторов.

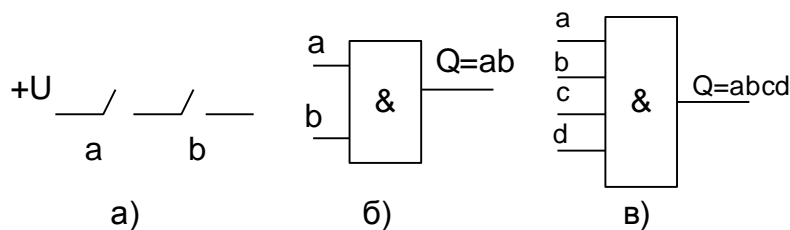


Рис. 1.4. Конъюнктор

- а) реализация операции И на контактах реле
- б) условное изображение двухвходового конъюнктора 2И (AND2)
- в) то же для четырехвходового - 4И (AND4)

Функция И-НЕ (другие названия: штрих Шеффера /)- это функция двух или большего числа аргументов. Функция И-НЕ равна 1, если хотя бы один из ее аргументов равен 0. Обозначение: $Q = \overline{a \& b} = a/b$. Читается: «Q есть a штрих Шеффера b».

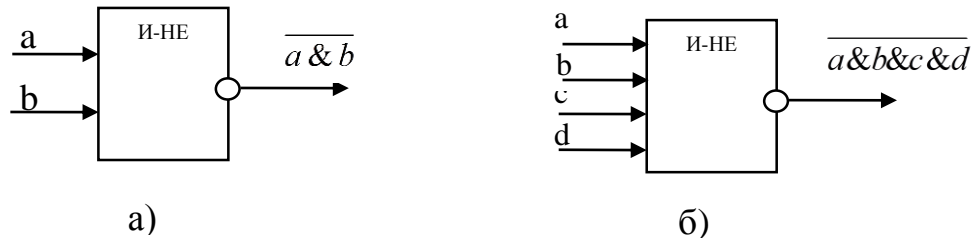


Рис. 1.5. Логическая схема И-НЕ

а) реализация двухвходовой схемы И-НЕ

б) реализация четырехвходовой схемы И-НЕ

Функция ИЛИ (другие названия: дизъюнкция \vee , OR)- это функция двух или большего числа аргументов. Функция ИЛИ равна 1, если хотя бы один из ее аргументов равен 1. Обозначение: $Q = a \vee b$. Читается: «Q есть a или b».

Условное изображение трехвходового дизъюнктора (ЗИЛИ, OR3) показано на рис. 1.6,а. В релейно-контактных схемах функция ИЛИ реализуется параллельным включением контактов (рис. 1.6,б)

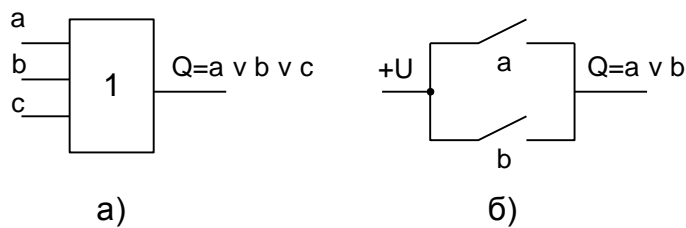


Рис. 1.6. Дизъюнктор

а) условное изображение

б) реализация ИЛИ на контактах

Функция ИЛИ-НЕ (другие названия: функция Вебба, стрелка Пирса \downarrow)- это функция двух или большего числа аргументов. Функция ИЛИ-НЕ равна 0, если хотя бы один из ее аргументов равен 1. Обозначение: $Q = \overline{a \vee b} = a \downarrow b$. Читается: «Q есть a стрелка Пирса b».

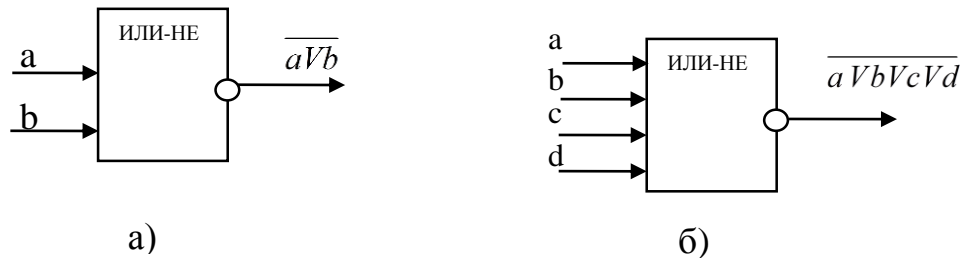


Рис. 1.7. Логическая схема ИЛИ-НЕ
 а) реализация двухвходовой схемы ИЛИ-НЕ
 б) реализация четырехвходовой схемы ИЛИ-НЕ

Функция суммы по модулю 2 (другие названия: исключающая ИЛИ, неравнозначность, \oplus , $=1$) - это функция двух аргументов. Функция сумма по модулю 2 равна 0, если два аргумента равны между собой, и равна 1, если аргументы не равны между собой. Обозначение: $Q=a \oplus b$. Читается: «Q есть a сумма по модулю 2 b».

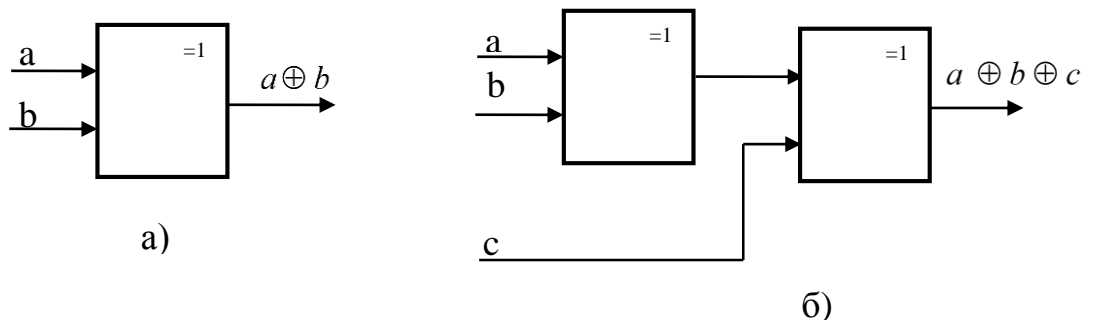


Рис. 1.8. Логическая схема суммы по модулю 2
 а) реализация двухвходовой схемы суммы по модулю 2
 б) реализация трехвходовой схемы суммы по модулю 2

Функция эквивалентность (обозначение: ∞ , $\bar{\oplus}$) – это функция двух аргументов. Функция эквивалентность равна 0, если два аргумента не равны между собой, и равна 1, если аргументы равны между собой. Обозначение: $Q=a \infty b$. Читается: «Q есть a эквивалентно b».

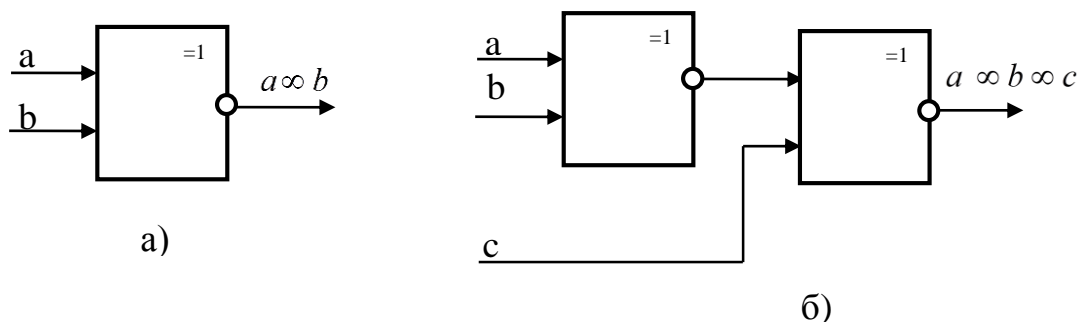


Рис. 1.9. Логическая схема функции эквивалентность
 а) реализация двухвходовой схемы эквивалентности
 б) реализация трехвходовой схемы эквивалентности

Произвольные функции и логические схемы

Поскольку значениями логических функций могут быть только 0 или 1, то любые логические функции можно использовать как аргументы других логических функций, т.е. строить из простых функций более сложные. Пусть в таблице 1.2. задана произвольная функция Y трех аргументов, и ее нужно выразить с помощью простых функций НЕ, И, ИЛИ.

Очевидно, что $Y = 1$, когда или $a\bar{b}c = 1$ (строка 1), или $\bar{a}bc = 1$ (строка 3), или $abc = 1$ (строка 6), или $abc = 1$ (строка 7).

Таблица 2

№	Аргументы			Функция	№	Аргументы			Функция
	a	b	c			a	b	c	
0	0	0	0	0	4	1	0	0	0
1	0	0	1	0	5	1	0	1	1
2	0	1	0	0	6	1	1	0	1
3	0	1	1	1	7	1	1	1	1

Все это можно записать в виде одного общего аналитического выражения:

$$Y = \bar{a}bc \vee a\bar{b}c \vee abc \vee abc \quad (1.1)$$

Полученное аналитическое выражение называют совершенной дизъюнктивной нормальной формой (СДНФ). СДНФ состоит из элементарных конъюнкций, соединенных знаками дизъюнкций. Конъюнкцию называют элементарной, если в нее не входит по несколько

одинаковых букв. Число элементарных конъюнкций в СДНФ обязательно равно числу единичных значений функции в таблице истинности. В каждую элементарную конъюнкцию СДНФ входят обязательно все аргументы функции в прямой или инверсной форме.

Поскольку процедуру построения СДНФ в принципе можно применить к таблице, содержащей любое число аргументов при любом расположении единичных значений функции, то можно сделать важный вывод: с помощью набора функций НЕ, И, ИЛИ можно выразить любую логическую функцию. Такой полный набор называют логическим базисом или просто **базисом**.

Нетрудно показать, что базисами являются также и другие наборы: И-ИЛИ-НЕ; И-НЕ и ИЛИ-НЕ.

Для построения логической схемы, реализующей функцию, заданную таблицей истинности, обычно удобнее аналитическая форма представления функции. В данном случае - это выражение (1.1). Схема, реализующая (1.1), показана на рис. 1.10. Она состоит из трех ярусов. В первом ярусе расположены инверторы. Очевидно, что максимальное число инверторов не

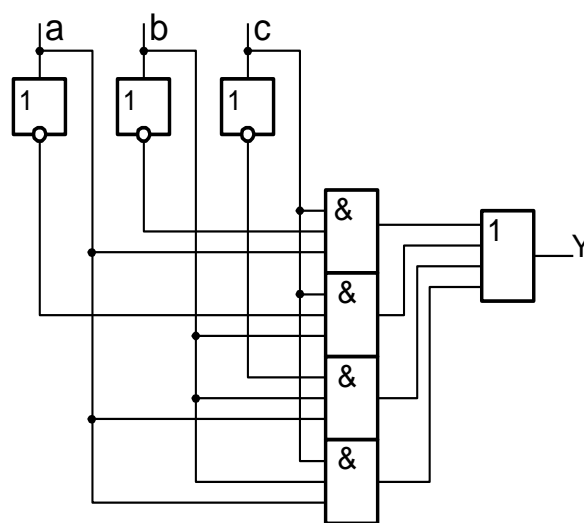


Рис.1.10.

превышает числа аргументов. Во втором ярусе расположены элементы И, реализующие входящие в формулу элементарные конъюнкции. Число входов каждого элемента равно числу аргументов реализуемой функции, а число элементов - числу элементарных конъюнкций в формуле. В третьем ярусе схемы стоит элемент ИЛИ, число входов которого равно числу дизъюнкций в формуле.

Минимизация функций

Запись функции в СДНФ не единственно возможная и, как правило, не самая короткая. Чем меньше элементов содержит аналитическое выражение, тем проще логическая схема.

Выражение (1.1) можно упростить, если добавить в него дважды abc (закон тавтологии), сгруппировать попарно части функции (сочетательный закон) и исключить (закон склеивания) переменные, которые в группе меняют свои значения.

$$Y = \bar{a}\bar{b}c \vee \bar{a}b\bar{c} \vee a\bar{b}\bar{c} \vee abc \vee abc \vee abc = (abc \vee a\bar{b}c) \vee (\bar{a}bc \vee \bar{a}b\bar{c}) \vee (abc \vee ab\bar{c}) = ac(b \vee \bar{b}) \vee bc(a \vee \bar{a}) \vee ac(c \vee \bar{c}) = ac \vee bc \vee ac \quad (1.2)$$

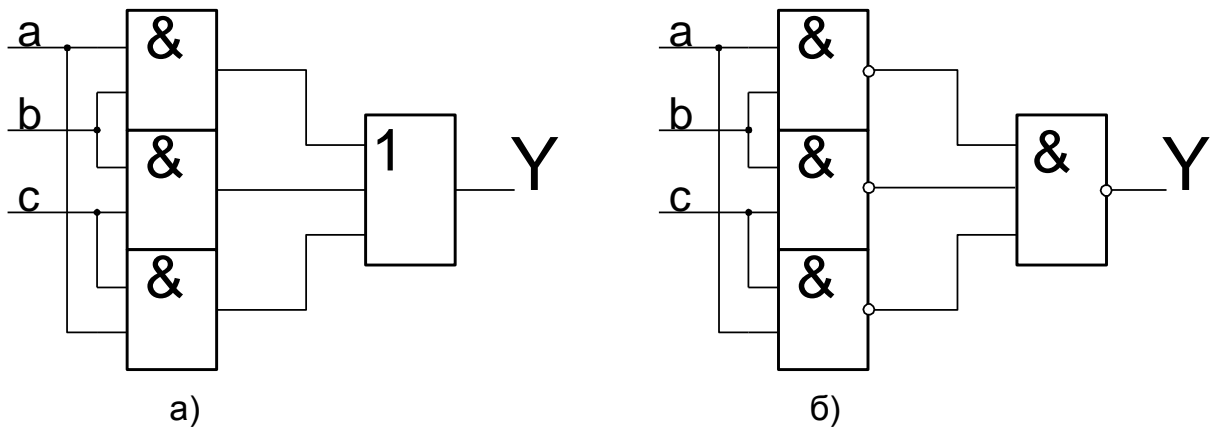


Рис. 1.11. Схема, реализующая (1.2).
 а) в булевском базисе; б) в базисе И-НЕ.

В инженерной практике для минимизации наиболее часто применяют карты Карнау (Карно).

Карты Карно – это графическое представление таблиц истинности логических функций. Структура карт для функций двух, трех и четырех переменных показана ниже.

Таблица истинности (а) и структура карты Карно (б) для функции двух переменных.

x1	x2	f(x1,x2)
0	0	f(0,0)
0	1	f(0,1)
1	0	f(1,0)
1	1	f(1,1)

б)

	x2	0	1
x1	0	f(0,0)	f(0,1)
1	f(1,0)	f(1,1)	

Таблица истинности (а) и структура карты Карно (б) для функции трех переменных.

	x1	x2	x3	f(x1,x2,x3)	
	0	0	0	f(0,0,0)	
	0	0	1	f(0,0,1)	
	0	1	0	f(0,1,0)	
	0	1	1	f(0,1,1)	
	1	0	0	f(1,0,0)	
	1	0	1	f(1,0,1)	
x	x2,x	00	01	11	10
	1	1	0	1	
	0 1	f(0,0,0)	f(0,0,1)	f(0,1,1)	f(0,1,0)
	1	f(1,0,0)	f(1,0,1)	f(1,1,1)	f(1,1,0)

б)

Структура карты Карно для функции четырех переменных.

	x3,x4	00	01	11	10
x1,x2					
	00	f(0,0,0,0)	f(0,0,0,1)	f(0,0,1,1)	f(0,0,1,0)
	01	f(0,1,0,0)	f(0,1,0,1)	f(0,1,1,1)	f(0,1,1,0)
	11	f(1,1,0,0)	f(1,1,0,1)	f(1,1,1,1)	f(1,1,1,0)
	10	f(1,0,0,0)	f(1,0,0,1)	f(1,0,1,1)	f(1,0,1,0)

Карта размечается системой координат, соответствующих значениям входных переменных. Например, верхняя строка карты для функции от трех переменных соответствует нулевому значению переменной $x1$, а нижняя – ее единичному значению. Каждый столбец этой карты характеризуется значениями двух переменных: $x2$ и $x3$.

Обратим внимание на то, что координаты строк и столбцов следуют не в естественном порядке возрастания двоичных кодов, а в порядке 00, 01, 11, 10. Это код Грея. Изменение порядка следования наборов сделано для того, чтобы соседние наборы (отличающиеся между собой лишь цифрой одного разряда) были соседними в геометрическом смысле.

Ячейки, в которых функция принимает единичное значение, заполняются единицами. В остальные ячейки записываются нули. Процесс минимизации использует закон склеивания и заключается в формировании прямоугольников, содержащих по 2^k ячеек, где k – целое число. В прямоугольники объединяются соседние ячейки, со-

ответствующие соседним элементарным произведениям. Те переменные, которые в прямоугольнике изменяют свои значения, исчезают.

Совокупность прямоугольников, покрывающих все единицы, называется покрытием или контуром. Заметим, что одна и та же ячейка может покрываться несколько раз.

Рассмотрим несколько примеров.

x1 \ x3 x	0	0	1	1
00	0	1	0	0
01	0	1	0	1
11	0	1	0	0
10	0	1	0	0

а)

x1 \ x3.	00	0	11	10
00	0	0	1	0
01	1	0	0	1
11	1	0	0	1
10	0	0	1	0

б)

x1 \ x3.	00	0	11	10
00	1	0	0	1
01	0	0	0	1
11	0	0	0	0
10	1	0	0	1

Рис. 1.12. Карты Карно для функций четырех переменных.

Чем больше ячеек в прямоугольнике, тем меньше переменных содержится в соответствующем ему элементарном произведении. Например, для карты Карно, изображенной на рис. 1.8.а, прямоугольнику, содержащему четыре ячейки, соответствует функция $\bar{x}_3 * x_4$, а квадрату из одной ячейки – функция $\bar{x}_1 * x_2 * x_3 * \bar{x}_4$. Функция Q, соответствующая этому покрытию, имеет вид:

$$Q = \bar{x}_3 * x_4 \vee \bar{x}_1 * x_2 * x_3 * \bar{x}_4.$$

Формула, получающаяся в результате минимизации логической функции с помощью карт Карно, содержит столько элементарных операций И между переменными, сколько имеется в покрытиях. Части функции связаны между собой через логическую операцию ИЛИ.

Несмотря на то, что карты Карно изображаются на плоскости, соседство ячеек устанавливается на поверхности тора. Верхняя и нижняя границы карты Карно как бы «склеиваются», образуя поверхность цилиндра. При склеивании боковых границ образуется тороидальная поверхность. Так ячейки с координатами 1011 и 0011 (рис. 1.12,б) являются соседними и объединяются в один прямоугольник. Действительно, указанным ячейкам соответствует логическая операция ИЛИ элементарных логических операций И:

$$x_1 * \bar{x}_2 * x_3 * x_4 \vee x_1 * \bar{x}_2 * \bar{x}_3 * x_4 = (x_1 \vee \bar{x}_1) * \bar{x}_2 * x_3 * x_4 = \bar{x}_2 * x_3 * x_4.$$

Аналогично объединяются и остальные четыре единичные ячейки. В результате их объединения получается элементарная логическая функция И $x_2 * \bar{x}_4$. Окончательно функция P , соответствующая покрытию, изображенному на рис. 1.12.б, имеет вид:

$$P = x_2 * \bar{x}_4 \vee \bar{x}_2 * x_3 * x_4$$

Карта Карно, показанная на рис.1.8.в, содержит единичные ячейки по углам. Все они являются соседними, и после объединения дадут элементарную логическую функцию И $\bar{x}_2 * \bar{x}_4$.

Рассмотренные примеры позволяют сформулировать последовательность действий, выполненных для минимизации логических функций с использованием карт Карно:

Изображается таблица для n переменных и производится разметка ее сторон.

Ячейки таблицы, соответствующие наборам переменных, обращающих функцию в единицу, заполняются единицами, остальные – нулями.

Выбирается наилучшее покрытие таблицы прямоугольниками. Наилучшим считается такое покрытие, которое образовано минимальным числом прямоугольников, а если таких вариантов несколько, то из них выбирается тот, который дает максимальную суммарную площадь прямоугольников.

Сократить работу по минимизации иногда можно за счет работы не с самой заданной функцией, а с ее инверсией. Если число единиц в таблице истинности превышает половину числа комбинаций аргументов, то СДНФ для инверсии функции будет содержать меньше конъюнкций, чем СДНФ прямой функции. При аппаратной реализации к выходу схемы, обрабатывающей инверсию заданной функции, нужно подключить инвертор.

Пример.

Построить схему, реализующую функцию, заданную таблицей:

a	b	c	Y	\bar{Y}	a	b	c	Y	\bar{Y}
0	0	0	1	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	1	0
0	1	1	1	0	1	1	1	0	1

СДНФ требуемой функции: $Y = \bar{a}\bar{b}\bar{c} \vee \bar{a}\bar{b}c \vee \bar{a}b\bar{c} \vee \bar{a}bc \vee a\bar{b}\bar{c} \vee abc$

Для \bar{Y} СДНФ будет значительно проще: $\bar{Y} = abc \vee abc$.

Последнее выражение более обозримо и легко минимизируется:

$$\bar{Y} = ac(\bar{b} \vee b) = ac, \text{ откуда } Y = \bar{ac}.$$

Для реализации необходим один двухвходовой элемент 2И–НЕ.

Рассмотрим особенности минимизации **недоопределенных** функций.

Недоопределенной называют функцию, значения которой при некоторых комбинациях не определены или, как говорят, безразличны. Например, при двоично-десятичном кодировании десятичные цифры представляются четырьмя двоичными разрядами. Из 16 возможных кодовых комбинаций используются лишь 10, остальные запрещены и никогда появиться не могут.

В таблице истинности не определенные значения функции отмечают прочерками.

Пример

Построить схему, реализующую функцию Y , не определенную на наборах 000 и 111 и заданную таблицей.

bc \ a	00	01	11	10
0	* 0	1	1	0
1	0	1	* 1	1

При двух звездочках четыре способа доопределения. Каждый из них дает работоспособную схему, но по аппаратурным затратам они будут разными. Самая простая схема получится, если доопределить функцию так, как показано на рис. 1.9,а.

В этом случае схема строится на двух ЛЭ: 2И и 2ИЛИ. (рис. 1.13.б)

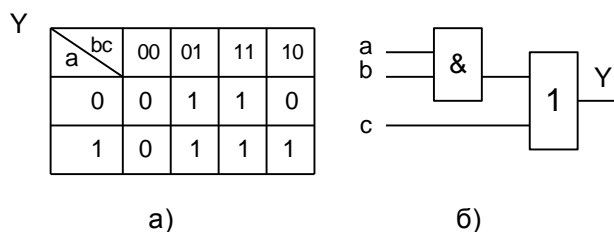


Рис. 1.13. Реализация недоопределенной функции.

В форме КНФ для примера задана булева функция

$$F = (X_1 \vee X_2 \vee X_3 \vee \bar{X}_4) \& (X_1 \vee X_2 \vee \bar{X}_3 \vee \bar{X}_4) \& (X_1 \vee \bar{X}_2 \vee X_3 \vee X_4) \& (X_1 \vee \bar{X}_2 \vee \bar{X}_3 \vee \bar{X}_4) \& (\bar{X}_1 \vee \bar{X}_2 \vee X_3 \vee X_4) \& (\bar{X}_1 \vee \bar{X}_2 \vee \bar{X}_3 \vee \bar{X}_4) \& (\bar{X}_1 \vee \bar{X}_2 \vee \bar{X}_3 \vee X_4) \& (\bar{X}_1 \vee X_2 \vee X_3 \vee \bar{X}_4) \& (\bar{X}_1 \vee X_2 \vee \bar{X}_3 \vee \bar{X}_4)$$

Минимизация КНФ производится аналогично минимизации ДНФ булевых функций. Отличие состоит лишь в том, что анализируются нулевые наборы и переменные выписываются с инверсиями. Результат записывается в форме КНФ. Карта Карно этой булевой функции представлена на рис. 1.14.

	x3,x4	00	01	11	10
x1,x2					
00		1	0	0	1
01		0	1	0	1
11		0	1	0	0
10		1	0	0	1

Рис. 1.14. Карты Карно для функций четырех переменных в форме КНФ.

Минимальной совершенной конъюнктивной формой СКНФ является булева функция

$$F_{\text{СКНФ}} = (\bar{X}_3 \vee \bar{X}_4) \& (X_2 \vee \bar{X}_4) \& (\bar{X}_2 \vee X_3 \vee X_4) \& (\bar{X}_1 \vee \bar{X}_2 \vee \bar{X}_3)$$

Интегральные логические элементы.

Современные логические элементы (ЛЭ) реализуются исключительно в виде интегральных микросхем. Наибольшее распространение получили микросхемы транзисторно-транзисторной логики

(ТТЛ) и схемы на МОП (металл-окисел- полупроводник) – структурах.

Характеристики ЛЭ.

ЛЭ характеризуются быстродействием, нагрузочной способностью (коэффициентом разветвления по выходу), коэффициентом объединения по входу (числом входов ЛЭ), помехоустойчивостью, потребляемой мощностью, напряжением питания и уровнем сигналов.

Быстродействие – один из важнейших параметров, характеризующий средним временем задержки распространения сигнала (рис. 2.1.)

Для современных ЛЭ задержка распространения составляет обычно единицы наносекунд.

Нагрузочная способность показывает, на сколько логических входов может быть одновременно нагружен выход данного ЛЭ без нарушения его работоспособности. Для большинства ЛЭ нагрузочная способность обычно не превышает 10 входов. Для специальных буферных ЛЭ она может достигать 30-40.

Коэффициент объединения по входу определяет максимальное возможное число входов ЛЭ. Увеличение числа входов расширяет логические возможности схемы, однако при этом ухудшаются быстродействие и помехоустойчивость. У известных ЛЭ максимальное число входов – 8.

Помехоустойчивость характеризует способность ЛЭ правильно функционировать при наличии помех и определяется максимально допустимым напряжением помехи.

Потребляемая мощность $P_{cp}=0,5(P_0 + P_1)$, где P_0 и P_1 – соответственно потребляемые мощности при состоянии выхода «0» и «1». При этом считается, что в сложном устройстве половина ЛЭ находится в состоянии «0», а половина – в «1». Однако P_{cp} зависит от частоты переключений. Поэтому необходимо учитывать P_{cp} при максимально допустимой частоте следования переключения импульсов. ЛЭ характеризуются еще значением **напряжения питания и уровнем**

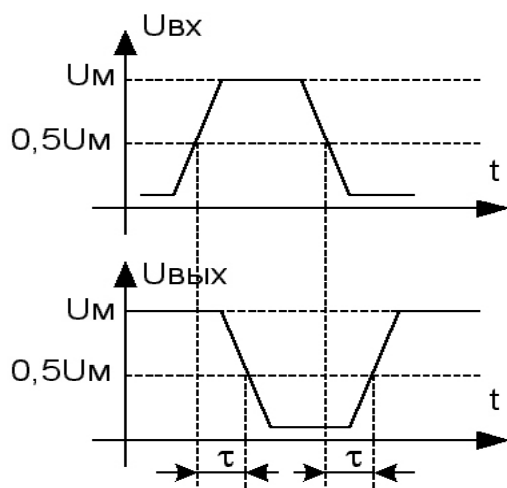


Рис. 2.1. Задержка переключения логических сигналов, соответствующих «0» и «1».

Серии ЛЭ

Серией микросхем называют группу микросхем, выполненных по одинаковой или близкой технологии, имеющих сходные технические характеристики и предназначенные для совместной работы в составе цифровой аппаратуры.

Условное обозначение логической микросхемы состоит из следующих элементов : 1) буквы, в большой степени характеризующие стойкость микросхемы к воздействию окружающей среды и связанный с этим тип корпуса (отсутствие буквы рассматривается как своего рода «нулевая буква»); 2) трёх или четырёх цифр, обозначающих номер серии; 3) двух букв, характеризующих выполняемую функцию; 4) одной или двух цифр, обозначающих тип микросхемы внутри функциональной группы; 5) буквы, характеризующие возможные вариации значений некоторых параметров. Чаще всего этой буквы не бывает.

Пример : К555ЛА2 - микросхема серии К555, выполняющая функцию И-НЕ, второго типа (в серии К555 этот тип имеет 8 входов).

Микросхемы заключены в стандартные корпуса, в основном с двумя типами выводов:

1) перпендикулярными плоскости корпуса, с шагом 2,5 мм, которые вставляются в отверстия монтажной платы и распаиваются на стороне платы, противоположной корпусу. Такие корпуса называют корпусами типа **DIP** (**D**ual **I**n **l**ine **P**ackage - корпус с двумя рядами

выводов). В корпуса DIP чаще всего заключаются микросхемы широкого применения, имеющие перед номером серии буквы К, КМ или КР ;

2) плоскими (планарными), которые накладываются на плату и распаиваются на той же её стороне, где находится и сам корпус; шаг выводов 1,25 мм. В таких корпусах обычно выпускаются серии специального применения без буквы перед номером.

Габариты микросхемы определяет не кристалл кремния, а выводы из корпуса. Поэтому если элементы простые, то в корпусе размещают несколько одинаковых элементов.

Простые ЛЭ обычно размещают в корпусах DIP14 с 14 выводами, из которых один вывод - это питание и один вывод - общий провод всех логических входов, выходов и питания, кратко называемый **общий** или, менее строго - **земля**. Оставшиеся 12 выводов - логические.

Примеры состава корпусов: 6 x НЕ - шесть инверторов (Заняты все 12 выводов); 4 x 2И- четыре двухвходовых элемента И (заняты все выводы); 2 x 4И-НЕ - два четырёхвходовых элемента И-НЕ (не использованы два вывода). Более сложные логические узлы размещают в корпусах с 16, 24 и большим числом выводов.

В настоящее время наиболее распространены две технологии изготовления ЛЭ : ТТЛ и КМОП.

Для технологии ТТЛ (транзисторно-транзисторной логики) самыми удобными для изготовления являются элементы И-НЕ.

Элементы ТТЛ, а тем более их модификация с диодами Шоттки - ТТЛШ, имеют хорошее быстродействие, удовлетворительные электрические и эксплуатационные характеристики. Большинство микропроцессорных больших интегральных схем (БИС) и БИС памяти согласованы по питанию и уровням сигналов с элементами ТТЛ. Серии ТТЛ и ТТЛШ - наиболее распространённые и популярные у разработчиков цифровых устройств.

Комплементарные (взаимно дополняющие) МОП (метал-окисел-полупроводник) - структуры, построенные на основе МОП-транзисторов с различным типом проводимости. Элементы КМОП исключительно экономны по потребляемой мощности, что является их основным достоинством. Они способны работать в широком диапазоне напряжений питания (3-15 В), имеют высокую помехоустойчивость. Недостатком их является пока ещё меньшее, чем у ТТЛ быст-

родействие. КМОП микросхемы нуждаются в более бережном обращении, чем другие микросхемы, т.к. из-за очень высокого входного сопротивления для них опасно статическое электричество.

В табл.2.1 приведены наборы микросхем отдельных ЛЭ, выпускаемых в рамках некоторых широко распространённых серий ТТЛ, ТТЛШ. КМОП. Из таблицы видно, что наиболее полно во всех сериях представлены элементы И-НЕ.

Таблица 2.1

Основные параметры и выполняемые функция	Технология. Серия		
	ТТЛ	ТТЛ Ш	КМО П
	133	533	564
	K155	K555	K561
Типовая средняя задержка, нС	18	20	80
Типовая средняя потребляемая мощность одним ЛЭ в статике	20 мВт	4 мВт	0,7 мкВт
6×И-НЕ	ЛН1	ЛН1	ЛН1
4×2И-НЕ	ЛА3	ЛА3	ЛА7
3×3И-НЕ	ЛА4	ЛА4	ЛА9
2×4И-НЕ	ЛА1	ЛА1	ЛА8
8И-НЕ	ЛА2	ЛА2	-
4×2И	ЛИ1	ЛИ1	-
3×3И	-	ЛИ3	-
2×4И	-	ЛИ6	-
4×2ИЛИ	ЛЛ1	ЛЛ1	-
4×2М2	ЛП5	ЛП5	ЛП2
4×2ИЛИ-НЕ	ЛЕ1	ЛЕ1	ЛЕ5
3×3ИЛИ-НЕ	-	-	ЛЕ10
2×4ИЛИ-НЕ	ЛЕ2	-	ЛЕ6
2×2-2И-2ИЛИ-НЕ	ЛР1	-	-
4-4И-2ИЛИ-НЕ	ЛР4	-	-
2-2-2-3И-4ИЛИ-НЕ	ЛР3	-	-

Правила схемного включения ЛЭ

Ограничение по нагрузочной способности ЛЭ задаётся максимальным числом входов ЛЭ той же серии, которые можно подклю-

чить к выходу данного элемента. Различные элементы различных серий имеют коэффициент разветвления по выходу $K_{раз}=5-20$, типовое значение -10. Специальные буферные ЛЭ имеют $K_{раз}\geq 30$.

Неиспользованные входы И в большинстве серий не должны оставаться ни к чему не подключёнными. В ТТЛ- и ТТЛШ-сериях сигнал от свободного входа воспринимается элементом как логическая «1», но при этом снижаются помехоустойчивость и быстродействие ЛЭ. В сериях ТТЛ И ТТЛШ неиспользованные И-входы либо объединяют с другими, если при этом не превышает допустимая нагрузка источника сигнала, либо подключают к источнику логической «1». В качестве последнего используют или элемент И-НЕ, входы которого заземлены, или резистор с сопротивлением 1 кОм, подключённый к источнику питания +5В. К такому источнику разрешается подключать до 20 неиспользованных входов И.

В КМОП-элементах ни в коем случае не должно быть свободных входов. Их можно подключать к источнику питания без резистора или объединять с рабочими.

Неиспользованные входы ИЛИ в любых сериях должны быть соединены с логическим «0», т.е. с общим проводом.

Если некоторые ЛЭ, входящие в состав корпуса, не используются, то на входы неиспользуемых ЛЭ ТТЛ-серий нужно подать такие сигналы, чтобы на их выходах была «1»: в таком состоянии ЛЭ потребляют меньший ток и его можно использовать как источник логической «1».

Неиспользуемые КМОП-элементы можно фиксировать в любом состоянии, только не оставлять в безразличном.

ЛЭ с тремя состояниями выхода

В общем случае выходы обычных ЛЭ соединять между собой нельзя. Допускается соединение выходов, если между собой соединяются и входы, т.е. значения сигналов на входах и выходах ЛЭ всегда совпадают. Это делают для увеличения нагрузочной способности элементов.

Современные цифровые системы строятся по, так называемому, **магистральному** принципу, когда для взаимного обмена данными различные устройства подключены к единой для всей системы магистральной шине данных.

Для предотвращения конфликта сигналов устройства, подключение своими выходами к магистрали, **должны иметь возможность**

отключения от нее. Такую возможность предоставляют специальные ЛЭ с тремя состояниями выхода: два состояния – "0" и "1" как у обычных ЛЭ, а третье состояние – "отключено", когда элемент приобретает высокий выходной импеданс.

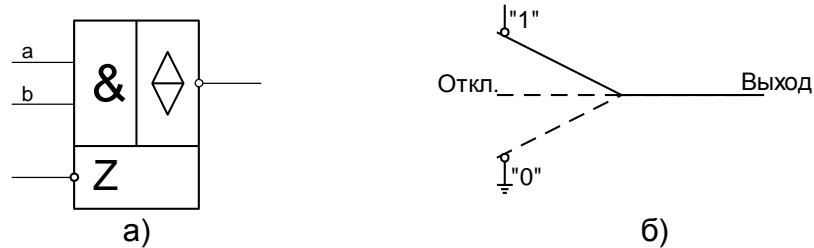


Рис.2.2. Элементы с тремя состояниями.

Условное обозначение ЛЭ с тремя состояниями показано на рис.2.2,а, а его электромеханический аналог со стороны выхода на рис.2.2,б. Таблица 2.2 иллюстрирует его работу.

Таблица 2.2

Входы			Выход	Входы			Выход
Z	a	b		Z	a	b	
1	X	X	Откл.	0	X	0	1
0	0	X	1	0	1	1	0

Из таблицы видно, что при $Z=0$ ЛЭ не отличается от обычного 2И-НЕ элемента, но при $Z=1$ выход ЛЭ переходит в состояние "отключен".

Примеры ЛЭ с тремя состояниями, имеющих высокую нагрузочную способность и называемых шинными формирователями (bus drivers), - микросхемы КР580ВА86, КР580ВА87.

Способ обмена с помощью магистралей помимо небольших затрат оборудования очень удобен для расширения системы, когда в процессе эксплуатации требуется подключение дополнительных устройств.

Этапы построения (синтеза) комбинационной схемы.

Этап 1. Наиболее часто встречающийся на практике способ задания схемы – это объяснение ее работы на понятийном уровне. Сложность этапа связана с тем, что задание описывается неформальными терминами, допускающими неоднозначную трактовку. Основная цель этапа – **формализация** задания, в процессе которой определяются количество входных логических переменных (аргументов)

и значения выходной переменной (функции) для каждой комбинации значений аргументов. Результат этапа – таблица истинности. О уже задание, неоднозначное толкование которого невозможно. Наиболее трудно обнаруживаемые ошибки возникают именно на этапе формализации.

Этап 2. Если функция определена не на всех наборах аргументов, то нужно ликвидировать неоднозначность таблицы.

Этап 3. Составить ДНФ или КНФ для нескольких вариантов доопределения.

Этап 4. Минимизировать ДНФ или КНФ любыми доступными методами.

Этап 5. Реализовать получившиеся СДНФ или СКНФ в заданном логическом базисе.

Для сравнения между собой различных вариантов схем, реализующих одну и ту же функцию, нужно уметь как-то оценивать их качество.

Наиболее распространена оценка схемы по двум параметрам – задержке - T и аппаратным затратам - W . Подсчёт W удобно производить в двенадцатых долях корпуса : 12 - это число логических выводов корпуса наименьшего размера.

Пример. На логических микросхемах серии К155 (табл. 2.1) построить несколько вариантов схем, реализующих заданную минимальную ДНФ $Y = \bar{a} \cdot \bar{c} \vee \bar{b} \cdot \bar{c} \vee \bar{d}$ Сравнить полученные результаты.

Схемная реализация в базисе НЕ, И, ИЛИ показана на рис.2.3,а. Аппаратурные затраты состоят из четырёх инверторов- (ЛН1), каждый из которых занимает 1/6 корпуса, двух элементов 2И- (ЛА3) и двух элементов 2ИЛИ- (ЛЛ1), каждый из которых занимает 1/4 корпуса. Считая, что задержки всех элементов одинаковы получим: $T=4\tau$. $W=4 \cdot 1/6 + 2 \cdot 1/4 + 2 \cdot 1/4 = 20/12$. Неиспользованные элементы частично занятых корпусов не учитываются, поскольку они могут быть использованы в других узлах. 11

Реализация Q с использованием микросхем ЛР3 показана на рис. 3.1,б. Для неё нужно пять инверторов ЛН1 и целиком микросхему ЛР3 : $T=3\tau$; $W=5 \cdot 1/6 + 1 = 22/12$ корпуса. Затраты W немного возросли, а задержка уменьшилась до 3τ .

Применив к функции Q правило де Моргана, получим $Y = \overline{\bar{a} \cdot \bar{c} \cdot \bar{b} \cdot \bar{c} \cdot \bar{d}}$ (рис.3.1,в), $T=3\tau$; $W=3 \cdot 1/6 + 2 \cdot 1/4 + 1 \cdot 1/3 = 16/12$ корпуса. Схема оказалась заметно экономичнее при том же быстродействии.

Можно попытаться использовать формулы де Моргана для уменьшения числа входных инверторов. Тогда $Y = \overline{a \cdot b \vee c \vee d}$ (рис.2.3,г), $T=2\tau$; $W = 11/12$ корпуса. Удалось выиграть и в быстродействии и в оборудовании.

Ещё одно применение формулы де Моргана даёт $Y = \overline{(a \cdot b \vee c) \cdot d}$ (рис.2.3, д) $T=3\tau$; $W=9/12$ корпуса. Схема хотя и более медленная, но очень экономичная.

Отметим, что хотя за основу была взята минимальная ДНФ, её схемная реализация оказалась самой неэкономичной из всех. Противоречия здесь нет. Минимальная ДНФ минимальна лишь в определённом смысле: это выражение, имеющее минимальное суммарное число букв. Переводя на язык аппаратуры, можно сказать, что это соответствует минимуму суммы входов всех конъюнкторов, реализующих элементарные конъюнкции ДНФ в трёхъярусной схеме НЕ-И-ИЛИ типа показанной на рис.3.1,а. Затраты инверторов и дизъюнкторов этот критерий игнорирует. Отсюда не следует, что минимизация не нужна вообще: чем компактнее выражение, тем легче обрабатывать его дальше.

Несколько полезных рекомендаций:

- сократить число инверторов, применив формулу де Моргана;
- использовать элементы И-ИЛИ-НЕ - они логически мощнее, чем И-НЕ, ИЛИ-НЕ;
- подбирать такие элементы, чтобы по возможности использовались все их входы;
- если выражение плохо минимизируется, попытаться применить элементы M2;
- вместо прямой функции реализовать её инверсию.

Алгоритма, который позволял бы целенаправленно строить хорошие схемы, в общем случае не существует. Не существует и чётких признаков окончания поиска хорошей схемы. В этом смысле разобранный пример не следует воспринимать как требование всегда проводить такую тщательную обработку любого выражения. Это просто иллюстрация характера работы при логическом проектировании. То же самое можно сказать и о процессе построения более сложных блоков из микросхем средней и большой интеграции. Слабо алгоритмизированный, поисковый, изобретательный стиль работы характерен для всех этапов функционально-логического проектирования цифровых устройств.

Если в последнем выражении раскрыть скобки, то получим ещё один вариант схемы $Y = \overline{a \cdot b \cdot d} \vee c \cdot d$ (рис.2.3,е), $T=\tau$; $W=12/12$ корпуса. Задержка этой схемы оказалась наименьшей из всех рассмотренных.

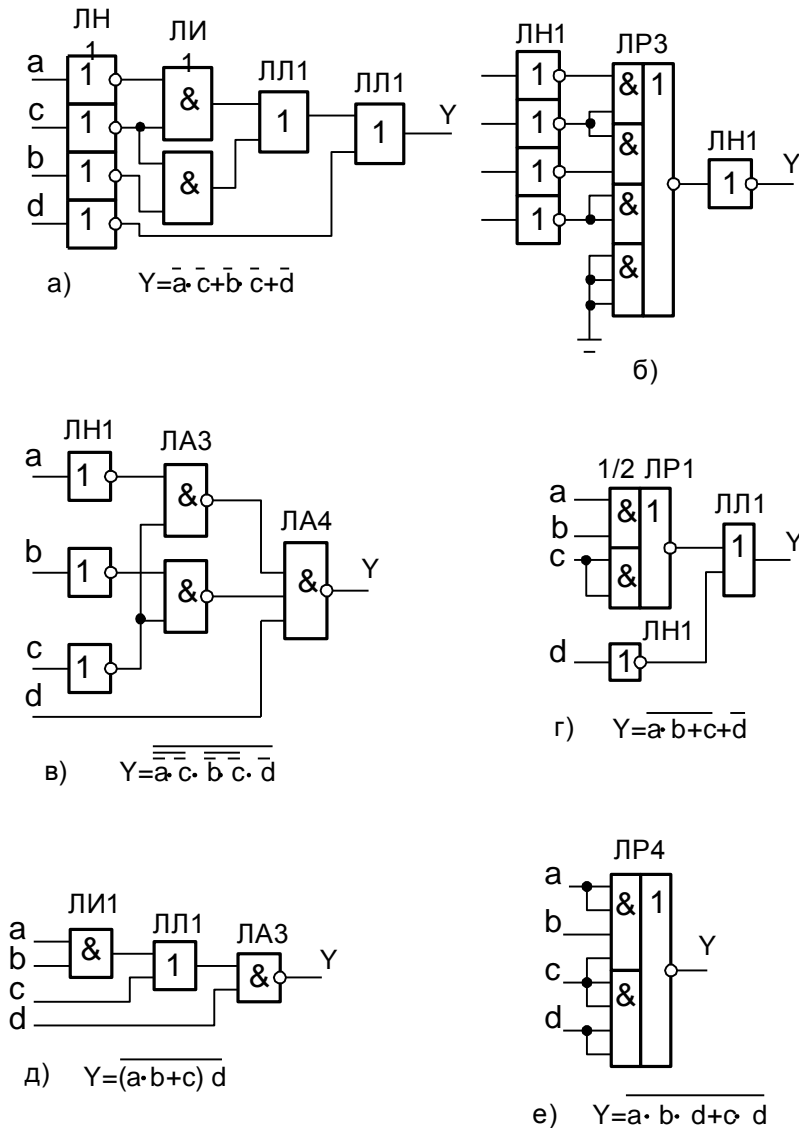


Рис. 2.3,а. Варианты реализации функции Y.

2. Индивидуальные задания

Индивидуальные задания к работе включают синтез комбинационных схем практически важных функциональных узлов, использующихся в схемотехнике вычислительных устройств. Выбор логического базиса для реализации схемы осуществляется самостоятельно из состава элементов программы Multisim 2001.

Общее замечание к выполнению заданий. Предложенные для синтеза функциональные узлы относятся к комбинационным схемам с несколькими выходами, каждый из которых описывается своей булевой функцией. Поэтому оптимальная схема узла может быть получена лишь при совместной минимизации системы булевых функций (см. соответствующий раздел математической логики), выявляющей общие компоненты (простые импликанты) для различных объединений их этих функций.

Задание к лабораторной работе №1

1. Изучить интегрированную среду программы Multisim 2001.
2. Промоделировать работу микросхем логических базисов И-ИЛИ-НЕ, И-НЕ, ИЛИ-НЕ, \oplus , $\&$, "1", ∞ , $\&$, "0".
3. Выполнить индивидуальное задание, номер которого указан в таблице 3. Первое число варианта в таблице 3 соответствует второй цифре группы, второе число варианта соответствует номеру студента по списку группы. Построить комбинационную схему в указанном базисе. Для выполнения этого задания необходимо:
 - 3.1. Минимизировать заданную булеву функцию методом карт Карно в заданной форме ДНФ или КНФ.
 - 3.2. Полученную булеву функцию в форме СДНФ или СКНФ представить в указанном базисе.
 - 3.3. Реализовать комбинационную схему на элементах программы Multisim 2001.
4. Выбор логического базиса для реализации схемы осуществляется самостоятельно из состава элементов программы Multisim 2001.

Таблица 3.

№ п/п	Булева функция	Базис
1.1	$(X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \& (\bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \& (\bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \& (\bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \&$ $\& (\bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \& (X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \& (X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \& (X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4) \&$	И-НЕ

2.12	$(\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V X_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V X_2 V X_3 V \bar{X}_4)$	ИЛИ-НЕ
2.13	$X_1 X_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V$ $V \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V X_1 \bar{X}_2 \bar{X}_3 X_4 V X_1 X_2 X_3 \bar{X}_4 V \bar{X}_1 X_2 X_3 \bar{X}_4$	И-НЕ
2.14	$X_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 X_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V$ $V \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4 V X_1 X_2 X_3 X_4 V X_1 X_2 X_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4$	$\oplus, \&, "1"$
2.15	$(\bar{X}_1 V \bar{X}_2 V X_3 V X_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V X_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (X_1 V \bar{X}_2 V X_3 V X_4)$	ИЛИ-НЕ
2.16	$\bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V$ $V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 \bar{X}_3 X_4 V X_1 X_2 X_3 \bar{X}_4 V X_1 X_2 X_3 \bar{X}_4$	И-НЕ
2.17	$(X_1 V \bar{X}_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V X_2 V X_3 V X_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V \bar{X}_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (X_1 V X_2 V X_3 V \bar{X}_4)$	$\infty, \&, "0"$
2.18	$X_1 X_2 \bar{X}_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 X_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V$ $V \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 X_4 V X_1 X_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4$	И-ИЛИ-НЕ
2.19	$(\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V \bar{X}_2 V X_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V X_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (X_1 V X_2 V X_3 V \bar{X}_4)$	ИЛИ-НЕ
2.20	$X_1 X_2 X_3 X_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V$ $V \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 X_4 V \bar{X}_1 X_2 X_3 \bar{X}_4 V X_1 X_2 X_3 \bar{X}_4$	И-НЕ
2.21	$(\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V X_4) \& (X_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V \bar{X}_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V \bar{X}_4) \& (\bar{X}_1 V X_2 V X_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V \bar{X}_2 V X_3 V \bar{X}_4) \& (X_1 V X_2 V X_3 V \bar{X}_4)$	$\infty, \&, "0"$
2.22	$X_1 X_2 X_3 X_4 V X_1 \bar{X}_2 X_3 \bar{X}_4 V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 X_4 V$ $V \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 V X_1 \bar{X}_2 \bar{X}_3 X_4 V X_1 X_2 X_3 \bar{X}_4 V \bar{X}_1 X_2 X_3 \bar{X}_4$	$\oplus, \&, "1"$
2.23	$(X_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V X_4) \& (\bar{X}_1 V \bar{X}_2 V X_3 V \bar{X}_4) \& (\bar{X}_1 V X_2 V X_3 V X_4) \& (\bar{X}_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V \bar{X}_3 V X_4) \& (X_1 V X_2 V X_3 V \bar{X}_4)$	И-НЕ
2.24	$X_1 X_2 \bar{X}_3 X_4 V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 X_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 \bar{X}_3 X_4 V$ $V \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 X_4 V X_1 X_2 X_3 \bar{X}_4 V X_1 \bar{X}_2 X_3 \bar{X}_4$	ИЛИ-НЕ

Контрольные вопросы

1. Назовите логические элементы, какие функции они выполняют.
2. Для чего используется алгебра логики.
3. На каких элементах построены цифровые вычислительные устройства.

4. Состояния, каких объектов описывают логические переменные.
5. Каким образом информация представляется с помощью физических сигналов.
6. Какой сигнал называют тактом, какие блоки вырабатывают синхронизирующие сигналы.
7. Какие значения принимают переменные и функции алгебры логики.
8. Какие таблицы называют таблицами истинности.
9. Какой логический элемент в виде определенных уровней напряжения называют инвертором.
10. Как называют логические элементы, реализующие функции И, ИЛИ.
11. Как реализуются логические операции И, ИЛИ, сумма по модулю два.
12. Как реализуются операции И-НЕ, ИЛИ-НЕ, как они обозначаются.
13. Какую функцию называют эквивалентностью, как она обозначается.
14. Какое аналитическое выражение называют совершенной дизъюнктивной нормальной формой (СДНФ).
15. Какой полный набор называют логическим базисом.
16. Что такое минимизация, и какие способы минимизации известны.
17. Что такое карты Карно, какую структуру имеют карты Карно.
18. Как формируются контуры в карте Карно, какие основные принципы при этом соблюдаются.
19. В чем особенности минимизации недоопределенных функций.
20. Какое аналитическое выражение называют совершенной конъюнктивной нормальной формой (СКНФ).
21. Дайте определение быстродействию, помехоустойчивости, потребляемой мощности логических элементов.
22. Что называют серией микросхем, для каких целей они предназначены.

Библиографический список

1. *Самофалов К.Г., Романкевич А.М., Валуйский В.Н.* Прикладная теория цифровых автоматов. – Киев: Высш. шк., 1987 – 374 с. : ил.

2. *Угрюмов Е. П.* Проектирование элементов и узлов ЭВМ: Учеб. пособие для вузов. – М.: Высшая Школа, 1987.-318 с.: ил.
3. *Потемкин И. С.* Функциональные узлы цифровой автоматики. – М.: Энергоатомиздат, 1988.-320 с.: ил.
4. *Зельдин Е. А.* Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986.-280 с.: ил.
5. *Пухальский Г.И., Новосельцева Т. Я.* Проектирование дискретных устройств на интегральных микросхемах: Справочник. -М.: Радио и связь, 1990.-304 с.: ил.
6. *Цифровые ЭВМ: Практикум / К.Г.Самофалов, В.И.Корнейчук, В.П.Тарасенко; Под общ. ред. К.Г.Самофалова.* - К.: Выща шк.,1990.-225с.:Ил
7. *Скляр В. А.* Синтез автоматов на матричных БИС / Под. Ред. С. И. Баранова. – Минск: Наука и техника, 1984.-288 с.: ил.
8. *Угрюмов Е. П.* Цифровая схемотехника.- СПб.: БХВ – Санкт-Петербург, 2000. – 528 с.: ил.
9. *Каган Б.М.* Электронные вычислительные машины и системы: Учебное пособие для вузов. – М.: Энергоатомиздат, 1991.-592 с: ил.